

## 基于割线法的显示面板定阻值布线方法

程佳文<sup>1,2)</sup>, 梁文杰<sup>1,2)</sup>, 李凌劼<sup>1,2)</sup>, 喻文健<sup>1,2)\*</sup>

<sup>1)</sup> (清华大学计算机科学与技术系 北京 100084)

<sup>2)</sup> (北京信息科学与技术国家研究中心 北京 100084)

(yu-wj@tsinghua.edu.cn)

**摘要:** 针对异形面板设计中出现的定阻值布线问题, 提出一种基于割线法且全面考虑各种区域和端口特点的定阻值布线方法. 首先采用直角拐弯模型和带 45° 拐角模型对规则矩形区域进行布线, 采用逐段布线的方案对一般多边形区域进行布线, 并通过从左到右与从右到左的 2 遍布线和贴边布线模型增加布线成功率; 然后将确定满足电阻约束的连线形状问题类比为非线性方程的割线法迭代求解过程, 减少电阻求解器的调用次数, 从而缩短整体时间. 对多个来自实际显示面板设计中的布线问题的实验结果表明, 该方法能够适应各种复杂测例, 且运行时间比基于二分法的布线方法平均缩短约 15%.

**关键词:** 显示面板; 定阻值布线; 割线法

中图分类号: TP391.41      DOI: 10.3724/SP.J.1089.2022.18899

## A Secant Method Based Fixed-Resistance Routing Approach for the Design of Flat Panel Display

Cheng Jiawen<sup>1,2)</sup>, Liang Wenjie<sup>1,2)</sup>, Li Lingjie<sup>1,2)</sup>, and Yu Wenjian<sup>1,2)\*</sup>

<sup>1)</sup> (Department of Computer Science & Technology, Tsinghua University, Beijing 100084)

<sup>2)</sup> (Beijing National Research Center for Information Science and Technology, Beijing 100084)

**Abstract:** For the design of flat panel display (FPD), a secant method based fixed-resistance routing approach is proposed. It considers the characteristics of various shapes of routing regions and ports. A right-angle-turn routing model and a 45°-turn routing model are employed to construct the wire shape in the rectangular routing region, while a segment-by-segment routing scheme is used to generate the wire shape in irregular routing region. The whole routing scheme includes a 2-pass process with the from-left-to-right and from-right-to-left orders and a welt routing strategy, which largely increases the success rate of the routing. The problem of determining the shape of a wire satisfying the resistance constraint is compared to solving a nonlinear equation with the secant method. The derived approach reduces the invocations of resistance solver and thus the total computational time. The experimental results of several routing problems from actual FPD design demonstrate that the proposed approach is able to adapt to various configurations of routing region and ports. Meanwhile, its runtime is about 15% shorter than the bisection method based routing approach.

**Key words:** flat panel display; fixed-resistance routing; secant method

---

收稿日期: 2021-01-20; 修回日期: 2021-08-09. 程佳文(1999—), 男, 博士研究生, 主要研究方向为 EDA 算法; 梁文杰(1996—), 男, 硕士研究生, 主要研究方向为集成电路寄生参数提取与工艺转换; 李凌劼(1995—), 男, 博士研究生, 主要研究方向为电路模拟、数据压缩、数值算法及其并行化与机器学习的张量分解; 喻文健(1977—), 男, 博士, 副教授, 博士生导师, CCF 高级会员, 论文通信作者, 主要研究方向为数值计算方法、VLSI CAD 算法.

显示面板已成为现代社会广泛而重要的人机交互设备,无论是用于展示丰富信息的大面积、高亮度显示器,还是用于移动设备的小面积、高分辨率、低功耗显示器,它们都是计算机系统向用户提供信息的重要途径之一.根据发光机理的不同,显示面板可采用液晶显示技术或有机发光二极管技术等.设计高性能、低成本的显示面板已成为电子设计领域研究的一个热点问题<sup>[1-4]</sup>.

显示面板的设计与验证流程包括原理图设计、电路仿真、像素设计、版图设计、版图验证和掩模设计等多个步骤<sup>[5-6]</sup>.布线是版图设计的主要工作之一,它将显示驱动电路与各个显示像素点相连,实现信号的传输.根据不同的需求,有多种布线问题,如等电阻布线、基于像素阵列上的侧面布线等<sup>[7-9]</sup>.与集成电路(integrated circuit, IC)设计不同,显示面板设计追求的重要指标是信号到各个像素点的延迟几乎一样.由于连线的延迟受电阻值的影响最大,因此常用电阻值作为布线质量的标准.

为了实现高质量的显示面板设计,需要将问题分为多个区域的布线问题,包括从柔性电路端口到 IC 端口、从 IC 端口到 IC 端口,以及从 IC 端口到屏幕发光区端口等.对每个布线区域指定每根布线的最大电阻值,或者一定的电阻值及允许的偏差范围,以符合 IC 驱动芯片的负载规定;此外,还需要布线满足线宽和间距的设计规则约束,这就产生了定阻值布线问题.

在异形面板时代,非传统矩形形状的面板发光区和极端狭窄的边框对面板布线问题提出了异常艰巨的挑战,研究适应异形面板设计的高效率定阻值布线方法有非常重要的意义.虽然 IC 设计中的布线问题已有大量的研究工作<sup>[10-11]</sup>,但针对异形面板的布线,尤其是定阻值布线问题的工作非常少.文献[7]提出一种简单地将布线区域分段,然后在每段内根据设定阻值反比例分配线宽的布线思想,但没有考虑各种可能的布线区域形状,也没有给出保证电阻值达到要求的具体算法.本文考虑异形面板设计中出现的定阻值布线问题,提出一种基于割线法且全面考虑各种区域和端口特点的定阻值布线方法,其产生的布线结果满足设计规则约束,且每根连线的电阻值符合约定的电阻要求.对多个实际测例的实验结果表明,本文方法均能达到布线要求,且运行时间比基于二分法的方法平均缩短 15%,最多可缩短 18%.

## 1 问题背景

### 1.1 显示面板定阻值布线问题

显示面板通常具有数百万个像素,规模较大,且每个像素都需要进行布线,所以布线算法的速度与质量将对显示面板的整体设计造成极大的影响.布线算法的速度可以用布线时间衡量,其中较为耗时的环节是验证电阻.布线结果的质量可以用布线完成后的阻值差异来衡量,需保证差异在一定阈值内;此外,还需要满足布线的最小线宽和最小间距约束.由于布线有可能不成功(即不满足所有的要求和约束),能够适应各种布线区域、成功率高是评价布线算法质量的主要因素.

近年来,异形面板也开始广泛使用,它们是含有不规则形状的显示面板,如刘海屏、水滴屏、四面曲面屏、圆形手表屏等<sup>[10]</sup>.根据布线区域的不同,待求解的问题分为 3 种情况.

(1) 在矩形区域内对水平端口进行布线,起始端口为绿色实线,结束端口为红色实线,边界为黑色实线(下同),如图 1 所示.



图 1 第 1 种布线区域的例子

(2) 在多边形区域内对水平端口进行布线,水平端口指起始端口和结束端口分别位于多边形的 2 条相互平行的边上,如图 2 所示.

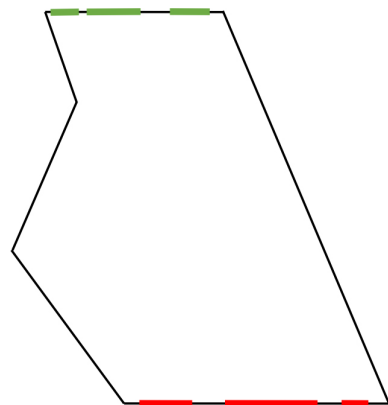


图 2 第 2 种布线区域的例子

(3) 在多边形区域内对非水平端口进行布线,起始端口和结束端口并非位于多边形的 2 条相互平行的边上,如图 3 所示.

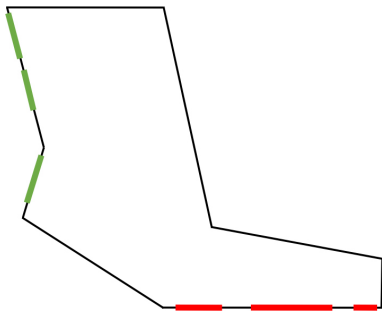


图 3 第 3 种布线区域的例子

### 1.2 非线性方程求解技术

非线性方程常常无法得到其解析解, 因而需要使用某种方法得到一个数值解. 牛顿法是常用的一种数值求解方法, 可以用于求解非线性方程

$$f(x) = 0 \quad (1)$$

其第  $k$  步迭代的计算公式<sup>[12]</sup>为

$$x_{k+1} = x_k - \frac{f(x_k)}{f'(x_k)}, k \in \mathbb{N}.$$

在实际应用中导数并不容易得到, 因此常使用割线近似切线, 由此得到求解非线性方程的割线法. 割线法利用前 2 步迭代计算得到的结果近似导数, 以减少计算量, 其迭代计算公式<sup>[12]</sup>为

$$x_{k+1} = x_k - \frac{f(x_k)(x_k - x_{k-1})}{f(x_k) - f(x_{k-1})}, k \in \mathbb{N} \quad (2)$$

布线算法需要不断地调整连线的形状, 使其电阻值达到要求. 该过程相当于用迭代法求解式 (1), 变量  $x$  为用于控制连线形状的参数, 而方程为连线的电阻值等于要求的值. 由于参数  $x$  与相应电阻值的函数关系无法用解析式表示, 该非线性方程适合采用二分法或割线法等求解技术进行求解.

## 2 本文方法

### 2.1 方法思路

该问题可看作一个复杂的带约束优化问题, 需要满足电阻值约束和几何约束条件, 同时使总计算时间最优. 电阻值的约束条件为每根连线的阻值与目标阻值的误差在一定范围内, 通过调用已有的电阻计算器可以容易地判断电阻值是否满足约束条件. 常见的电阻计算器有基于有限差分法的 Rapheal 软件<sup>[13]</sup>和基于边界元/解析混合算法的电阻计算器<sup>[5]</sup>等. 显示面板区域的形状通常极不规则, 几何约束条件较为复杂: 每根连线需在给定的区域内, 并且每根布线间的距离需大于一定

阈值. 针对时间最优的要求, 本文方法采用布一根线后使后续布线问题的搜索空间尽可能大的策略. 这些策略的运用使布线结果在满足阻值要求的情况下可以被较快地计算出, 而且占用较少的内存. 此外, 本文方法还采用多种连线形状的参数化模型, 将布线问题转化为若干单变量的非线性方程求解问题, 然后使用割线法求解, 达到较快的迭代收敛. 实际的布线要求通常是连线阻值与目标阻值的相对误差不超过给定的相对误差限  $\varepsilon$  (如在 5% 以内), 可以把这个要求作为割线法迭代过程终止的条件.

布线的整体流程如图 4 所示. 首先判断区域类型, 分为矩形区域内平行端口间布线、多边形区域平行端口间的布线、多边形区域非平行端口间的布线共 3 种情况; 然后对这些情况采用不同的连线模型; 最后采用相同的布线流程完成布线. 特别地, 对于多边形区域内平行端口间的布线, 在布线失败时还可采用贴边模型进行第 2 次布线, 以提高整体成功率. 下面分别介绍各类型区域的连线模型与整体布线流程.

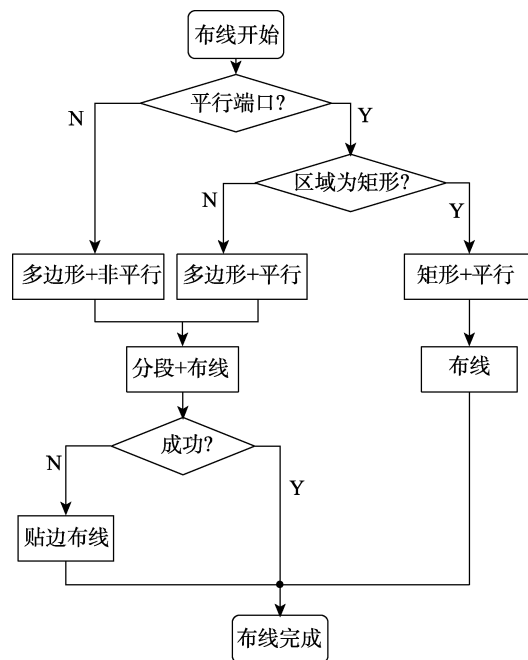


图 4 本文方法流程

### 2.2 矩形区域内平行端口间的连线模型

由于布线采取的策略是从两边到中间逐根布线, 使先布的连线所占用的区域约束后布的连线的可行区域, 因此当第  $i$  根连线被布下后, 将其右边界以最小间距进行扩展得到新的边界, 并把新的边界作为第  $i+1$  根连线的左边界, 这样只需要确

定右边界就可以得到连线形状. 使用 2 种单参数模型来描述连线形状, 并采用割线法调整参数使得阻值落在目标范围内, 同时在形状合法的前提下使得阻值尽量大, 为其他连线留出更多空间. 2 种模型描述如下.

### 2.2.1 直角拐弯模型

该模型示意图如图 5 所示. 左边界(黄色实线)由前一根连线的形状决定, 而右边界(蓝色实线)可以调整.

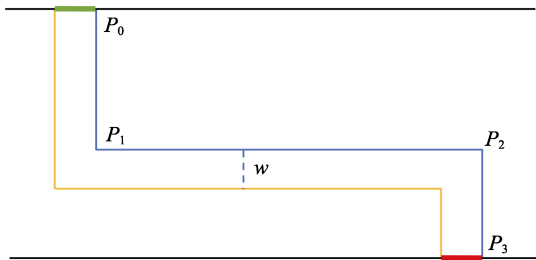


图 5 直角拐弯模型

为了减少参数的数量, 将  $P_0$  固定为起始端口(绿色实线)的右侧点,  $P_3$  固定为结束端口(红色实线)的右侧点, 用单参数  $w$  控制水平区域的宽度, 就可以得到连线形状, 从而得到阻值. 记阻值关于  $w$  的函数为  $r(w)$ , 目标阻值为  $R^*$ , 要求解方程

$$f(w) = r(w) - R^* = 0 \quad (3)$$

这是一个非线性方程, 且  $f(w)$  为单调递减函数, 使用割线法一定可以收敛. 考虑连线阻值与目标阻值的差不超过相对误差限  $\varepsilon$  的要求, 可以将

$$\left| \frac{r(w_k) - R^*}{R^*} \right| \leq \varepsilon \quad (4)$$

作为迭代过程终止的条件.

### 2.2.2 带 45° 拐角模型

类似地, 该模型右边界可以调整. 该模型同样由单参数进行控制, 用 6 个点描述, 以水平与倾斜 45° 部分的宽度  $w$  控制连线形状. 如图 6 所示, 给定的左边界为黄色实线, 连线形状右边界为蓝色实线,  $P_0, P_1, P_2$  为右边界的前 3 个点;  $P_3, P_4, P_5$  的

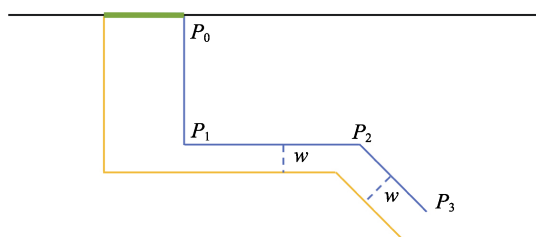


图 6 带 45° 拐角模型

情况类似. 其阻值关于  $w$  的函数同样单调递减, 可使用割线法进行求解.

2 种模型的选择方法如下: 记起始端口中点与结束端口中点连线与水平方向的夹角为  $\theta$ , 如图 7 所示. 当  $\tan \theta$  小于某个阈值时, 采用直角拐弯模型; 否则, 采用带 45° 拐角模型. 一个典型的阈值为 0.5.

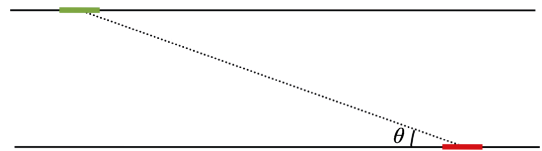


图 7 端口中点连线与水平方向的夹角

## 2.3 多边形区域平行端口间的连线模型

描述多边形区域内的连线较为复杂, 因此本文方法采取将问题分解为共同子问题的思路. 首先对多边形区域进行分段, 将整体区域分为多个四边形或三角形区域; 然后在每个子区域内分别计算出连线形状; 最后将每个分段内的连线进行拼接得到最终的连线. 其中, 每个子区域内的模型都使用相同的单参数进行控制, 因此整体模型仍由单参数控制, 可以使用割线法求解参数.

如图 8 所示, 黑色实线为可布线区域边界, 绿色实线为起始端口, 红色实线为结束端口, 左边界被定义为沿逆时针方向从结束端口到达起始端口的可布线区域边界, 右边界被定义为沿逆时针方向从起始端口到达结束端口的可布线区域边界.

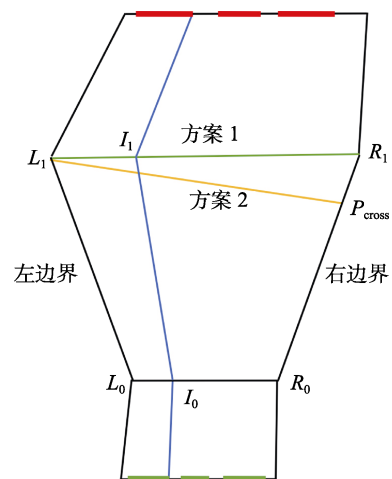


图 8 可布线区域的分段方案与子区域内的连线

需要为每个左边界上的多边形顶点寻找右边界上的匹配点, 再将它们连接完成分段. 如图 8 中  $L_1$  是左边界上待匹配的点, 有 2 种分段方案:



(1) 选择右边界上的某个多边形顶点;

(2) 通过左侧点做多边形内角的平分线, 选择角平分线与右边界的交点.

方案 1 直接将  $L_1$  与右边界上的顶点  $R_1$  进行连接, 构成四边形区域  $L_1L_0R_0R_1$ ; 方案 2 在右边界寻找点  $P_{cross}$  使线段  $L_1P_{cross}$  将  $\angle L_1$  平分, 构成四边形区域  $L_1L_0R_0P_{cross}$ . 由于分段的目标是使四边形区域尽量接近于矩形, 便于后续布线, 因此选择四边形区域最大角最小的方案作为最终方案. 此外, 为了尽量减少额外添加点的数量, 选择方案 2 且点  $P_{cross}$  与多边形顶点距离较近时, 将  $P_{cross}$  改为该顶点. 分段后, 使用参数  $\omega$  控制连线的每个子区域内连线的形状. 令中间节点

$$I_i = (1 - \omega)L_1 + \omega R_i, i \in \{0, 1\},$$

子区域内的连线形状即为  $L_0L_1I_1I_0$ . 计算出每个子区域内的连线后, 将它们拼接作为最终的连线, 如图 8 中蓝色实线、第 1 对端口以及左边界围成的区域, 其阻值关于  $\omega$  的函数仍是单调递减的.

然而, 对于分段结果中存在大量三角形的情况, 上述模型并不能很好地被应用于后续布线流程, 空间利用率低, 布线失败率较高. 如图 9 所示, 黄色实线与边界围成的区域中包含大量三角形.

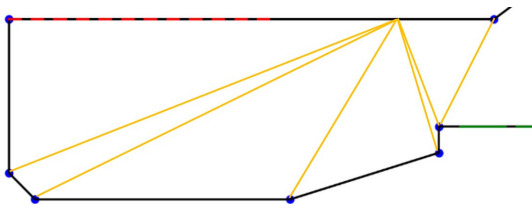


图 9 分段结果中存在大量三角形的例子

本文提出贴边模型解决这个问题, 即每根连线都沿边界扩展, 以充分利用给定的空间. 如图 10 所示, 将左边界以一定距离进行扩展, 得到蓝色实线作为连线的另一侧边界. 第 1 段与结束端口保持同样宽度, 最后一段由于垂直方向空间较窄, 将宽度设定为给定的最小宽度  $w_{min}$ , 其余段的宽度设定为参数  $w$ . 该模型依旧是单参数控制的, 因此可以使用割线法求解参数.

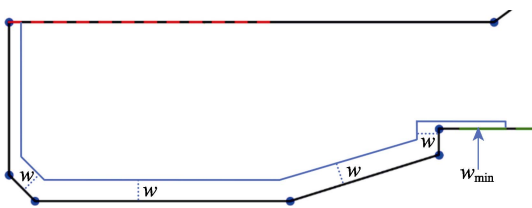


图 10 端口错位严重时采取的解决方案

### 2.4 多边形区域非平行端口间的连线模型

对于这种情况, 首先依旧是将多边形区域进行分段, 得到多个四边形区域; 然后逐段计算连线, 该过程与多边形区域内平行端口间的模型类似, 不同之处在于结束端口所在段需要特殊处理.

如图 11 所示,  $L_1$  为结束端口(红色实线)的一个端点, 蓝色线段为计算得到的连线边界. 若按第 2.3 节中的结束端口连接方法,  $S_0$  与  $L_1$  将被直接连接, 如绿色虚线, 导致无法满足最小线宽并且阻值过大, 所以改为计算中转点  $S_1 = S_0 + \overline{L_0L_1}$ , 再连接  $S_0S_1$  与  $S_1L_1$  作为连线边界, 如绿色实线.

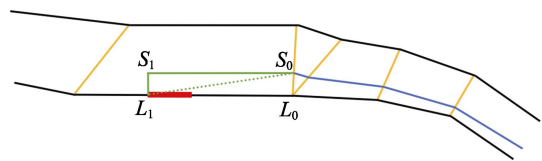


图 11 非平行端口情况下结束端口的连接

### 2.5 定阻值整体布线流程

输入. 布线区域、端口对数  $N$  与位置、电阻值约束.

输出. 所有连线的形状.

Step1. 判断布线问题类型.

Step2. 从左侧开始布线, 记成功布线的数量为  $N_1$ :

Step2.1. 设当前连线模型中的可变参数  $x$  为 0, 利用割线法求解式(3), 确定连线形状;

Step2.1.1. 判断式(4)是否满足, 若满足, 转 Step2.2; 否则, 转 Step2.1.2;

Step2.1.2. 若进入该步骤的次数小于 1000, 则用式(2)更新  $x$ , 转 Step2.1.1; 否则, 转 Step6;

Step2.2. 将  $N_1$  增加 1;

Step2.3. 将当前连线的右边界向右扩展最小间距  $w_{min}$  作为下一根连线的左边界, 转 Step2.1.

Step3. 将区域进行水平对称, 复用 Step2 的算法进行布线, 记成功布线的数量为  $N_2$ .

Step4. 若  $N_1 + N_2 \geq N$ , 转 Step5; 否则, 转 Step6.

Step5. 整体布线成功, 输出  $N_1 + N_2$  根连线中对应端口的  $N$  根连线, 转 Step7.

Step6. 将布线失败次数增加 1. 若布线失败次数为 1 且布线问题类型为多边形区域内水平端口间布线, 将模型切换为贴边模型, 转 Step2; 否则, 整体布线失败.

Step7. 布线结束.

其中, Step2.1 需考虑布线问题的不同采用不同的布线模型, 对于 3 种情况分别采用第 2.2 节~第 2.4 节中对应的模型. Step3 等价于从右侧布线. Step6 实现了在多边形区域内平行端口间的布线失败时采用贴边模型进行第 2 次布线.

### 3 实验及结果分析

本文用 C++ 实现了基于割线法的显示面板布线程序, 并对多个来自实际显示面板设计中的布线问题进行了实验. 该程序调用一个基于有限元法的二维电阻计算器计算任意连线形状对应的电阻值. 所有实验均运行于装有 Intel Xeon CPU 的 Linux 工作站, CPU 主频为 2.40 GHz, 内存大小为 512 GB. 各个测例的区域类型、端口对数和阻值误差要求如表 1 所示. 阻值误差要求中的“对每根连线均不超过  $\varepsilon$ ”指每根连线阻值的误差限均为  $\varepsilon$ , “ $\varepsilon_1 \sim \varepsilon_h$ ”指每根连线阻值的误差限不完全相同, 其中最小的误差限为  $\varepsilon_1$ , 最大的误差限为  $\varepsilon_h$ .

表 1 各个测例的参数

测例	问题类型	端口对数	阻值误差要求
1	矩形区域平行端口	19	对每根连线均不超 10%
2	多边形区域平行端口	12	5%~10%
3	多边形区域非平行端口	12	对每根连线均不超 5%
4	多边形区域非平行端口	13	3%~10%

实验结果表明, 程序在满足阻值的要求下, 可以较快地计算出布线结果, 并且占用很少的内存. 表 2 所示为布线程序的运行时间、占用内存与调用电阻计算器次数比较, 并与二分法作为求解参数方法的程序进行了对比.

表 2 基于割线法与二分法的布线结果对比

测例	时间/s		内存/MB		电阻计算器调用次数	
	割线法	二分法	割线法	二分法	割线法	二分法
1	79	95	4.084	4.005	294	355
2	55	67	3.600	3.623	236	280
3	31	36	3.776	3.712	111	135
4	35	41	3.752	3.778	130	150

从表 2 可以看出, 割线法在时间、占用内存、求解器调用次数上均优于二分法. 实际的布线结果如图 12 所示, 其中测例 4 因需要展示局部细节进行了截取. 可布线区域边界为黑色实线, 起始端口为绿色实线, 结束端口为红色实线, 布线完毕的连线为黄色区域. 从布线结果来看, 连线占据了大部分的区域, 并且会留有部分的空余. 这也体现了从两边向中间布线的策略和线会在满足阻值要求的情况下尽量占据较少的区域以方便后续布线的原则.

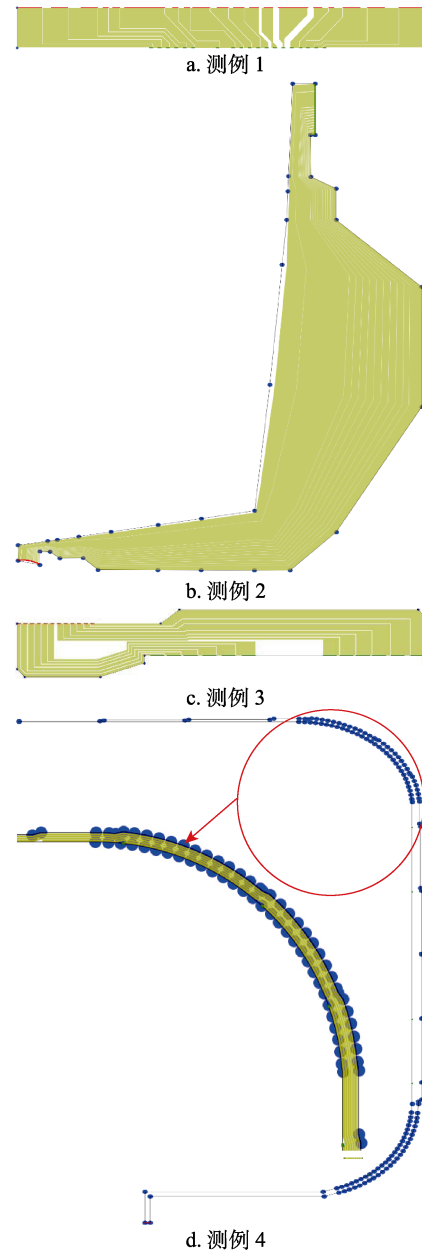


图 12 4 个测例的布线结果

### 4 结语

本文提出一种快速准确的、基于割线法的显示面板定阻值布线方法. 对不同形状的区域形状的实验的结果表明, 该方法占用内存少、速度快并且空间利用率高, 显著优于基于二分法的布线方法. 此外, 该方法具有以下特点.

(1) 将复杂的可布线区域转变为简单的单参数模型, 使得几何约束容易满足, 且原问题变得易于分析与求解.

(2) 采用逐条布线的方法, 并且每布一根线后都使后续布线问题的搜索空间尽可能大, 提高整

体问题布线成功的可能性。

(3) 考虑不同布线区域的形状, 利用左右对称性、整体分段等策略将原问题转化为若干有共同特点的子问题进行求解, 既简化了问题, 又易于编程实现。

(4) 使用割线法迭代过程求解满足阻值约束的连线形状, 只需较少的电阻提取器调用就可以收敛, 缩短了整体计算时间。

## 参考文献(References):

- [1] Takagi M, Yamaguchi K, Chida H, *et al.* Layout and reticle verification for FPD[C] //Proceedings of SPIE. Bellingham: Society of Photo-Optical Instrumentation Engineers, 2012, 8441: 162-165
- [2] Park H, Kim S, Kim S, *et al.* Electrical models of TFT-LCD panels for circuit simulations[J]. Journal of the Society for Information Display, 2008, 16(3): 509-515
- [3] Uchida Y, Tani S, Hashimoto M, *et al.* Interconnect capacitance extraction for system LCD circuits[C] //Proceedings of the 15th ACM Great Lakes symposium on VLSI. New York: ACM Press, 2005: 160-163
- [4] Yu W J, Zhao C S, Yang S Y, *et al.* The application of boundary element method to the resistance calculation problem in designing flat panel displays[J]. Journal of the Society for Information Display, 2016, 24(3): 177-186
- [5] Yang Siyu, Yu Wenjian. A hybrid boundary element and analytical method for calculating the wiring resistance in liquid crystal display panel[J]. Journal of Computer-Aided Design & Computer Graphics, 2013, 25(10): 1566-1573(in Chinese)  
(杨思宇, 喻文健. 面向液晶显示面板配线电阻计算的边界元/解析混合算法[J]. 计算机辅助设计与图形学学报, 2013, 25(10): 1566-1573)
- [6] Yu W J, Lu T T. Efficient algorithms for resistance and capacitance calculation problems in the design of flat panel display[C] //Proceedings of the 12th International Conference on ASIC. Los Alamitos: IEEE Computer Society Press, 2017: 973-976
- [7] Ding Bin, Yang Zusheng, Jiang Guangxia, *et al.* Implementation method of set resistance value wiring in flat-panel display design: China, 2013106861508[P]. 2015-06-17(in Chinese)  
(丁斌, 杨祖声, 姜广侠, 等. 一种平板显示器设计中的定阻值布线实现方法: 中国, 2013106861508[P]. 2015-06-17)
- [8] Ding Bin, Wang Mingying, Yang Zusheng, *et al.* Method for achieving equal-resistance snakelike wiring in flat-panel display design: China, 2012104869125[P]. 2014-06-04(in Chinese)  
(丁斌, 王明英, 杨祖声, 等. 一种平板显示器设计中的等电阻布线实现方法-蛇形布线: 中国, 2012104869125[P]. 2014-06-04)
- [9] Du Yu. Equal-resistance wiring method and device especially used for flat panel display: China, 2015105644870[P]. 2015-12-16(in Chinese)  
(杜宇. 一种尤其用于平板显示器的等电阻布线方法及装置: 中国, 2015105644870[P]. 2015-12-16)
- [10] Liu Weiping. Full design flow solution for flat panel display[J]. Micro/Nano Electronics and Intelligent Manufacturing, 2020, 2(2): 26-35(in Chinese)  
(刘伟平. 显示面板设计全流程解决方案[J]. 微纳电子与智能制造, 2020, 2(2): 26-35)
- [11] Xu Ning, Hong Xianlong. Physical design theory and algorithm of VLSI[M]. Beijing: Tsinghua University Press, 2009(in Chinese)  
(徐宁, 洪先龙. 超大规模集成电路物理设计理论与算法[M]. 北京: 清华大学出版社, 2009)
- [12] Yu Wenjian. Numerical analysis and algorithms[M]. 3rd ed. Beijing: Tsinghua University Press, 2020(in Chinese)  
(喻文健. 数值分析与算法[M]. 3版. 北京: 清华大学出版社, 2020)
- [13] Synopsys Inc. Raphael reference manual[M]. Version Y-2006. 03. Mountain View: Synopsys, 2006