

Apellidos _____

Nombre _____

DNI _____

A

Examen de Ingeniería de computadores. Área de Arquitectura y Tecnología de Computadores

Febrero. G: 15-02-2005

A

Instrucciones generales para la realización de este examen

La respuesta debe escribirse en el hueco existente a continuación de cada pregunta **con letra clara**.

Hay preguntas de valor 0,25 puntos y preguntas de valor 0,5 puntos. Las preguntas de valor 0,25 se distinguen por un cuadro de respuesta de simple línea y se puntúan como 0 ó 0,25, dependiendo de la respuesta. Las preguntas de valor 0,50 puntos se distinguen por un cuadro de respuesta de doble línea y se puntúan como 0, 0,25 ó 0,50, dependiendo de la respuesta. Cada respuesta incorrecta, ilegible o vacía no suma ni resta.

Se ha construido una CPU que requiere 4 ciclos (periodos de reloj) para ejecutar cualquier instrucción. Tras probar diferentes periodos de reloj se comprueba que el periodo mínimo con el que es capaz de trabajar correctamente es 2 ns.

— ¿Cuál es la máxima frecuencia de reloj que puede emplearse en la CPU anterior?

500 MHz

— ¿Cuántas instrucciones puede ejecutar por cada ciclo de reloj? Ejemplo: 1,2 instrucciones/ciclo.

0,25 instrucciones/ciclo

— ¿Cuántas insrtrucciones por segundo puede ejecutar?

125 millones de instrucciones/segundo

En la práctica, empleando la técnica de segmentación se consigue incrementar notablemente la frecuencia de reloj de la CPU, el número de instrucciones que puede ejecutar por ciclo de reloj y por lo tanto el número de instrucciones por segundo.

Para mejorar el rendimiento de la CPU anterior se ha dividido la ejecución de todas las instrucciones en 20 etapas, cada una de las cuales requiere un ciclo de reloj. Se han hecho pruebas haciendo que las 20 etapas trabajen en modo no segmentado (en este modo no hay paralelismo en la ejecución, pues en cada ciclo sólo hay una etapa activa) y se comprueba que la CPU es capaz de ejecutar a lo sumo 100 millones de instrucciones por segundo.

A continuación se ponen a trabajar las 20 etapas de forma paralela, empleando la técnica de segmentación.

— ¿Cuál es la máxima frecuencia de reloj que puede emplearse una vez segmentada la CPU?

2 GHz

— ¿Cuántas instrucciones puede ejecutar la CPU segmentada cada ciclo de reloj? Ejemplo: 1,2 instrucciones/ciclo.

1 instrucción/ciclo

— ¿Cuántas instrucciones por segundo puede ejecutar la CPU segmentada?

2000 millones de instrucciones/segundo

La CPU teórica no soporta sistemas operativos multitarea, entre otras cosas, debido a que cada vez que se produce una interrupción durante la ejecución de una tarea se guarda automáticamente en la pila de la tarea el valor de los registros de estado y contador de programa.

— ¿Por qué es esto un problema?

Una tarea malintencionada o programada erróneamente podría asignar un valor erróneo al puntero de pila y esperar por una interrupción. Esto permitiría que la tarea colgase el sistema o tomase el control del mismo.

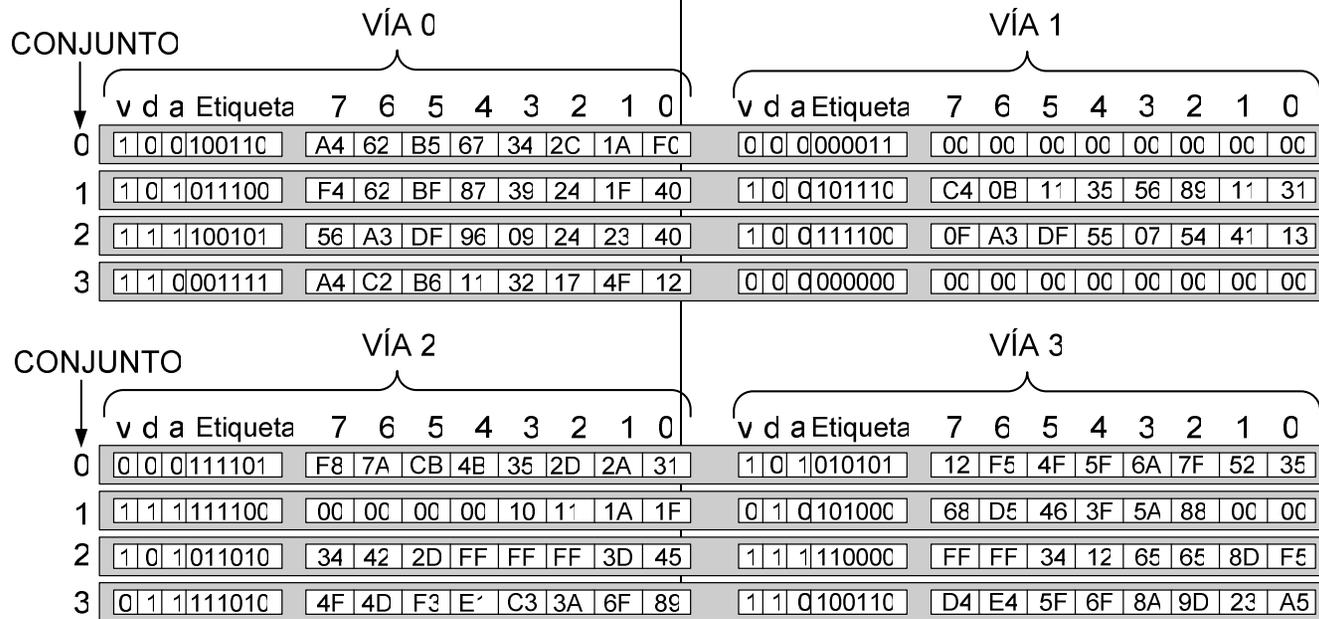
— Describe brevemente los espacios de direcciones de memoria disponibles en la arquitectura IA-32.

Espacio de direcciones lógicas: Direcciones segmentadas definidas por diferentes combinaciones de un selector (14 + 2 bits) y un desplazamiento (32 bits). Tamaño de $2^{(14+32)} = 64$ TB
Espacio de direcciones lineales: Direcciones paginadas de tamaño 32 bits.

A

Espacio de direcciones físicas: Cada dirección referencia un byte de la memoria física. Su tamaño es de 32 bits.

La figura muestra el estado de una memoria cache en un instante dado. A partir de la información mostrada debes responder a las siguientes preguntas:



— ¿Cuántos bloques de memoria principal están cacheados?

11

— ¿Cuál es el tamaño en bytes de la memoria principal?

2048 bytes

— ¿Cuántos bloques de memoria principal pueden ser cacheados en el conjunto 2?

$2^6 = 64$ bloques

— Si en lugar de emplear una correspondencia

asociativa por conjuntos se usase una correspondencia directa, ¿crees que en general la tasa de aciertos de la cache sería mayor, menor, o la misma? ¿por qué?

Sería menor, pues con la correspondencia directa cada bloque de memoria principal puede ir a un único bloque de cache, mientras que en la correspondencia asociativa por conjuntos se tiene mucha más libertad. En este último caso, cada bloque de cache puede ir a una cualquiera de las vías del conjunto.

El problema de la correspondencia directa proviene de acceder a bloques de memoria principal que se mapean en el mismo bloque de cache.

— Si la unidad de ejecución de la CPU intenta acceder a la dirección 36Bh se produce un fallo de cache. ¿En qué conjunto y vía se cacheará el bloque de memoria principal que contiene la dirección anterior?

Conjunto 1, vía 3

— Suponiendo que la estrategia de reemplazo empleada es LRU, ¿qué bloque de memoria principal resulta reemplazado cuando se accede a la dirección 7F0h? Si

Apellidos _____

Nombre _____

DNI _____

A

Examen de Ingeniería de computadores. Área de Arquitectura y Tecnología de Computadores

Febrero. G: 15-02-2005

no resulta reemplazado ningún bloque responde ninguno.

F2h

— ¿Cuál será el dato proporcionado por la cache cuando la CPU emita la dirección 5CBh? Si crees que se produce un fallo de cache, contesta ninguno.

56h

— ¿Crees que en general la interfaz de un periférico mapeada a memoria debería cachearse?¿por qué?

No debería cachearse, pues la interfaz escribe en sus registros y lee de sus registros sin que la cache sea consciente de dichas operaciones y puede por lo tanto provocar una incoherencia de datos. Por ejemplo, un paquete que escribe la CPU en una interfaz de red puede ser cacheado total o parcialmente y no llegar nunca a la interfaz, y viceversa.

A continuación se muestra parte del fichero de salida de la segunda práctica a entregar, relacionada con la paginación en Windows.

```

Dir. virtual de var. global = 00408018h
.....
Dir. virtual de VirtualAlloc = 7C809A81h
.....

Pag. Virtual   EDP           ETP
-----
00130h         046A9067h      0F7D1025h
00131h         046A9067h      0F7BA025h
.....
00407h         03678067h      1BEE4067h
00408h         03678067h      147CF067h
.....
77D4Eh         11AF7067h      06D33025h
77D70h         11AF7067h      066D2067h
77D72h         11AF7067h      06D44025h
.....
803FEh         0003B163h      003FE163h
803FFh         0003B163h      003FF163h
.....
201h           004001E3h      -----
204h           010001E3h      -----
205h           014001E3h      -----
206h           018001E3h      -----
207h           01C001E3h      -----
208h           020001E3h      -----
BBC00h         0C42C063h      0C429063h
BBC01h         0C42C063h      0D1A2063h
.....
C0002h         046FC063h      03CCC067h
C0003h         046FC063h      048FE067h
.....
C01F2h         046FC063h      1E525067h
C01FDh         046FC063h      19C49067h
C01FFh         046FC063h      04A7E067h
C0201h         046FC063h      004001E3h
.....
C0300h         046FC063h      046FC063h
C0301h         046FC063h      11F7D063h
.....
F8C84h         01035163h      0C471163h
FFD04h         0003A163h      00100103h

```

Se recuerdan además las expresiones que proporcionan las direcciones virtuales de la ETP y de la EDP asociadas a una página virtual.

Dir. virtual ETP = C0000000h + Pag. Virtual x 4

Dir. virtual EDP = C0300000h + IDP x 4

Basándose en la información proporcionada, responde a las siguientes preguntas.

— ¿Qué valor toman los campos IDP (Índice en el Directorio de Páginas) e ITP (Índice en la Tabla de Páginas) de la dirección virtual de la variable global?

IDP= 1 ITP= 8

— ¿Qué valores toman la EDP (Entrada en el Directorio de Páginas) y ETP (Entrada en la Tabla de Páginas) asociados a la dirección virtual de la variable global?

EDP= 03678067h ETP= 147CF067h

— ¿Cuál es la dirección física asociada a la dirección virtual de la variable global?

147CF018h

— ¿En qué rango de direcciones virtuales se almacena el directorio de páginas de la tarea?

C0300000h-C0300FFFh

— ¿En qué rango de direcciones físicas se almacena el directorio de páginas de la tarea?

046FC000h-046FCFFFh

— ¿En qué rango de direcciones físicas se encuentra almacenada la tabla de páginas de la variable global?

03678000h-03678FFFh

— Teniendo en cuenta que todas las páginas de 4 Mbytes aparecen reflejas en el listado anterior¿Cuántas páginas

A

de 4 MBytes tiene asociadas la tarea y cuántas el sistema operativo?

Nº páginas de 4 MBytes de la tarea = 0

Nº páginas de 4 MBytes del SO = 6

— Indica si la dirección virtual de la variable global puede cambiar entre diferentes ejecuciones del programa y el porqué. ¿Y la dirección física?

No puede cambiar puesto que las direcciones virtuales son asignadas por las herramientas de desarrollo y permanecen constantes en sucesivas ejecuciones del programa.

La dirección física en cambio puede variar entre sucesivas ejecuciones del programa puesto que es asignada por el SO en el momento de la carga del programa en memoria.

El TLB es un elemento fundamental en cualquier sistema de memoria virtual

— ¿Qué es el TLB? ¿dentro de qué elemento del computador está ubicado? ¿qué le ocurriría a un sistema de memoria virtual sin TLB?

Es una memoria cache totalmente asociativa que almacena las entradas de las tablas de páginas usadas más recientemente. Se encuentra ubicado dentro de la CPU.

Un sistema de memoria virtual sin TLB sería inviable, pues cada acceso a memoria supondría al menos otro acceso adicional para obtener la conversión de la dirección virtual a física, con lo que el rendimiento del sistema sufriría en gran medida.

Se sabe que el sistema de memoria de un computador funciona según el siguiente esquema de parámetros temporales:

- Envío de la dirección de la caché a la memoria principal: 1 ciclo de reloj
- Búsqueda del dato en el dispositivo de memoria principal: 12 ciclos de reloj
- Envío del dato desde la memoria principal a la caché: 1 ciclo de reloj

También se sabe que los bloques de la caché son de 64 bytes cada uno. Para mejorar el rendimiento de este sistema de memoria se proponen dos

organizaciones:

- A) Memoria entrelazada: utilizando un bus de datos de 64 bits y una organización en dos bancos, con 64 bits de datos cada uno.
- B) Los mismos bancos con un bus de datos ampliado a 128 bits y acceso mediante ráfagas.

— Determina cuál sería el coste de un fallo de caché (expresado en ciclos de reloj) para ambos tipos de organización.

$$A) 8 * (1/2 + 12/2 + 1) = 60 \text{ ciclos}$$

$$B) 2 * (1/2 + 12/2 + 1/2) + 6 * (0 + 12/2 + 1/2) = 53 \text{ ciclos}$$

Un computador dispone de una jerarquía de memoria formada por un sistema de memoria cache (MC), la memoria principal (MP) y el disco (MD). Los tiempos de acceso a cada uno de los niveles de la jerarquía son:

$$t_{MC} = 1 \text{ nanosegundo.}$$

$$t_{MP} = 15 \text{ nanosegundos por palabra de memoria.}$$

$$t_{MD} = 15 \text{ milisegundos (independientemente del tamaño del bloque de disco).}$$

Las tasas de aciertos en los distintos niveles de la jerarquía son:

$$A_{MC} = 98,9\%$$

$$A_{MP} = 99,99\%$$

Finalmente, el tamaño del bloque de cache es de 32 palabras, transfiriéndose una palabra de cada vez.

— Con toda esta información, calcular el tiempo medio de acceso a memoria para esta jerarquía, es decir: $t_{MC-MP-MD}$

Apellidos _____

Nombre _____

DNI _____

A

Examen de Ingeniería de computadores. Área de Arquitectura y Tecnología de Computadores

Febrero. G: 15-02-2005

534,27 nseg =

$(0,989*1)+32*0,011(15*0,9999+0,0001*15*10^6)$

— Si se eliminase el nivel de cache, ¿cuál sería el nuevo tiempo de acceso a la jerarquía, es decir: t_{MP-MD} ?

$1515 \text{ nseg} = 15*0,9999+0,0001*15*10^6$

— Describe brevemente las siguientes técnicas de E/S:

Muestreo: Consiste en leer continuamente el valor del registro de estado de una interfaz hasta que esté lista.

Muestreo periódico: Muestrear el registro de estado de la interfaz del periférico pero únicamente cada cierto período de tiempo T.

— Indica la mejora de rendimiento que introduce en un entorno multitarea la técnica de DMA con respecto a la técnica de entrada salida basada en interrupciones.

Empleando DMA, el controlador de DMA es el encargado de mover la información entre la

interfaz y la memoria, lo que libera la CPU y le permite llevar a cabo trabajo útil mientras tanto.

Considerando el bloque de prácticas 3 en el que se realizaron practicas de E/S utilizando el sistema operativo DOS,

— ¿Qué instrucción falta en el hueco, necesaria para escribir el carácter '\$' en la esquina inferior derecha de la pantalla? Nota, se supone que la interfaz de vídeo está en modo de vídeo 3 (80 columnas x 25 filas) antes de la ejecución del programa.

```
main()
{
  char _far *p=(char _far *) 0xB8000000;
  *(p+1999*2) = '$';
}
```