

Kapitel 3

Logikschaltkreise und Logikbaureihen

Ausgabestand 1.1

- Nur zur Information -

3. Logikschaltkreise und Logikbaureihen

3.1. Einführung

3.1.1. Logikbaureihen und Logikspezifikationen

Im folgenden wollen wir einen Überblick über integrierte Schaltkreise geben, die in Computerschaltungen eingesetzt werden, um "logische" Funktionen zu erbringen (Logik- bzw. Digital-schaltkreise). Wir werden uns auf den derzeitigen Stand der Technik beschränken, also nur jene Technologien, Baureihen und Logikfamilien behandeln, die in PC-Hardware und in anderen modernen Hochleistungssystemen zum Einsatz kommen.

Logikbausteine

Es lag von Anfang an nahe, komplizierte digitale Einrichtungen aus vorgefertigten einheitlichen Bausteinen zusammensetzen. Bereits die Pioniere der Rechentechnik (Babbage, Zuse) haben dies getan - zunächst auf Grundlage der Mechanik. Aber auch zu Zeiten der Röhren und Transistoren wurden die Computer so aufgebaut (Abbildung 3.1).

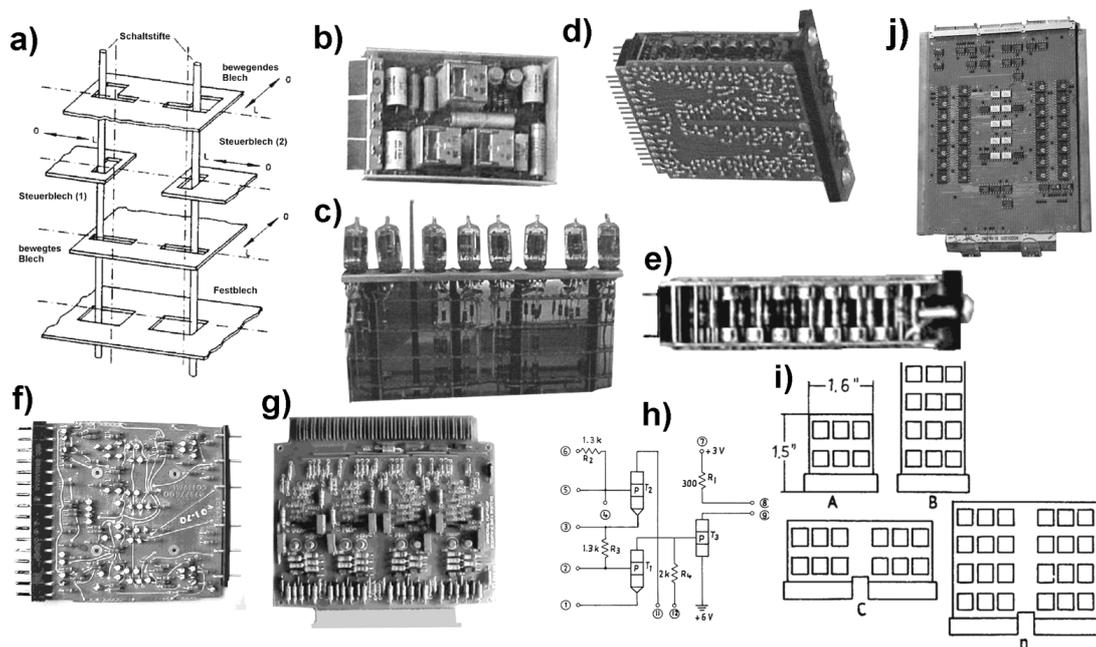


Abbildung 3.1 Zur Entwicklungsgeschichte der Logikbausteine

Erklärung:

- a) mechanisches Schaltglied der Zuse Z1 (hier: eine ODER-Verknüpfung),
- b) Steckbaugruppe mit Relais (Univac),
- c) Steckbaugruppe mit Röhren (IBM),
- d) ein sog. Cordwood Module (Control Data Corporation). Bestückung mit einzelnen (dis-

- kreten) Transistoren und herkömmlichen passiven Bauelementen.
- e) Seitenansicht von f). Die Bauelemente sind zwischen zwei Leiterplatten (eine oben, eine unten) angeordnet. Hierdurch wird - auf herkömmlicher Grundlage - eine extreme Packungsdichte erreicht. Mit solchen Moduln aufgebaute Hochleistungsrechner hatten über 100 000 Transistoren ...
 - f) Steckbaugruppe des Hochleistungscomputers CDC 7600. Nachfolger der Cordwood-Moduln. Bestückung mit miniaturisierten diskreten Bauelementen.
 - g) die billigeren Computer der 60er Jahre wurden so aufgebaut. Steckkarte (hier mit 4 Flipflops) als herkömmlich bestückte Leiterplatte - fast wie im Kofferradio ... (Scientific Data Systems).
 - h) eine der Logik-Grundsaltungen des Systems /360 (IBM). Hier: ein XOR-Gatter (eine ausgesprochene Trickkiste ...). Technischer Aufbau: als verkapseltes (schaltkreis-ähnliches) Modul. Miniaturisierte diskrete Transistoren und Dioden auf Keramiksustrat mit aufgedruckten Widerständen (Solid Logic Technology SLT).
 - i) die Steckkarten des Systems /360. Es gab verschiedene Abmessungen. Die kleinsten Steckkarten waren 1,5" lang und 1,6" breit (ca. 38 · 41 mm) . Sie konnten 6 SLT-Moduln aufnehmen.
 - j) Leiterplatte des Supercomputers Cray 2. Bestückung mit ECL-Schaltkreisen geringen Integrationsgrades (SSI).

Logikbaureihen

Eine Logikbaureihe ist durch eine bestimmte Technologie und durch bestimmte elektrische und zeitliche Kennwerte gekennzeichnet, die für alle zur Baureihe gehörenden Schaltkreise gelten. Seit vielen Jahren haben sich einige wenige Reihen weltweit durchgesetzt: die 74er-Reihen, die 4000er-Reihen sowie die 10k- und 100k-Reihen.

Wie es innen aussieht, ist egal (oder: was kennzeichnet eigentlich einen Logikschaltkreis?)

Man kann mit Schaltkreisen arbeiten, ohne sich mit deren Innenschaltung zu beschäftigen^{*)}. Mit anderen Worten: wir können einen Schaltkreis als Black Box ansehen, die lediglich durch ihre Schnittstellen gekennzeichnet ist. Zu den typischen Merkmalen eines Logikschaltkreises gehören:

- die Funktionsweise,
- die Gehäusebauform und Anschlußbelegung,
- die Betriebskennwerte (Speisespannung, Stromaufnahme usw.),
- die statischen Signalkennwerte (Logikpegel usw.),
- die dynamischen Signalkennwerte (Anstiegszeiten, Verzögerungszeiten usw.).

*) : um Besonderheiten des elektrischen Verhaltens zu verstehen, ist es allerdings von Vorteil, typische Schaltungsprinzipien und -auslegungen zu kennen.

Hochintegrierte Digitalschaltkreise

Die gleichsam klassischen Logikbaureihen waren dazu vorgesehen, Funktionseinheiten, Geräte und Systeme aus standardisierten elementaren Schaltkreisen aufzubauen. Seit einiger Zeit gibt es aber auch Digitalschaltkreise, die komplette Funktionseinheiten enthalten (Prozessoren, Video-Controller, Speicher usw.), und man strebt an, ganze Systeme auf einem einzigen Schalt-

kreis unterzubringen (System-on-a-Chip SoC). Solche Schaltkreise werden nicht irgendwelchen Logikbaureihen zugeordnet, sondern durch die jeweilige Logikspezifikation gekennzeichnet. Demgemäß spricht man von TTL-Kompatibilität, von LVC, SSTL-2, LVDS usw.

Logikspezifikationen

Logikspezifikationen sind Standards^{*)}, die Kennwerte digitaler Signale beschreiben. Schaltkreise, die der gleichen Logikspezifikation entsprechen, kann man typischerweise direkt zusammenschalten (es sind keine Pegelwandlungen o. dergl. erforderlich).

*) vor allem: JEDEC-Standards.

So ein Standard ist an sich nichts Aufregendes; er enthält meist nur einige Tabellen mit Angaben zu Speisespannungen, Signalpegeln, Strömen und Anstiegszeiten, ergänzt um die Erläuterung der Meßbedingungen. Die Darstellung entspricht weitgehend den Gepflogenheiten der Datenblätter (Kapitel 7).

Seit die Digitalschaltkreise aufkamen (in den 60er Jahren), gab es buchstäblich über Jahrzehnte hinweg kaum wirklich Neues. Es genügte, die wichtigsten Kennwerte einiger weniger Spezifikationen zu verinnerlichen: TTL, CMOS, ECL. Mittlerweile ist es aber so richtig unübersichtlich geworden. Die Gründe dafür? Es geht um höhere Geschwindigkeiten, höhere Integrationsgrade und ums Stromsparen. Solche Anforderungen zwingen dazu, vom Herkömmlichen abweichende Prinzipien einzuführen: niedrige Speisespannung, niedrige Signalpegel, geringer Signalhub, Pegelerkennung durch Vergleich mit einer Referenzspannung, differentielle Signalübertragung.

Signalkennwerte (1): Logikpegel

Logikpegel an den Ausgängen, Logikpegel an den Eingängen

Es gibt gesonderte Pegelspezifikationen für Eingänge und Ausgänge. Low und High werden jeweils durch einen unteren und einen oberen Endwert (Minimalwert, Maximalwert) gekennzeichnet (Abbildung 3.2).

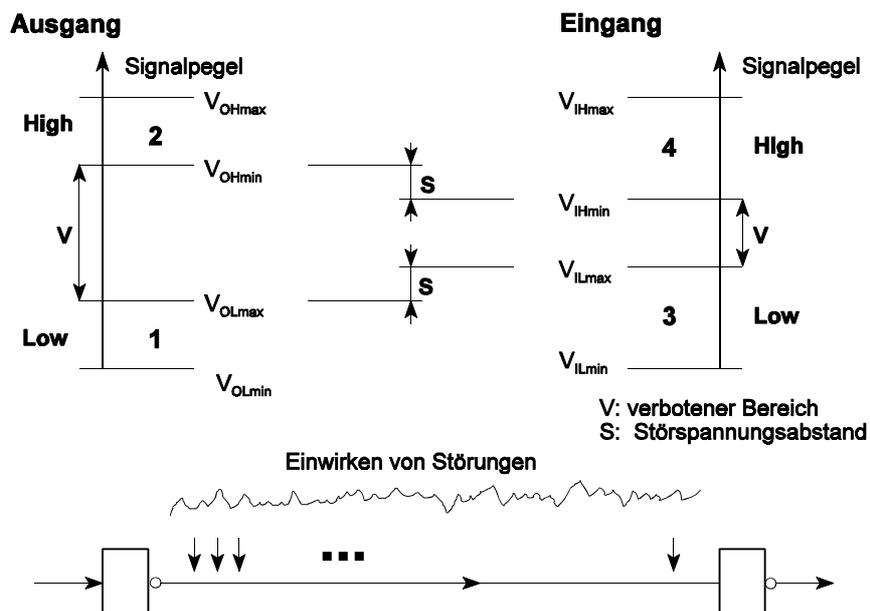


Abbildung 3.2 Logikpegel

Erklärung zu Abbildung 3.2:

- 1) Low am Ausgang: V_{OLmin} , V_{OLmax} . Hat der Ausgang - aus funktioneller Sicht - einen Low-Pegel zu liefern, so muß die Ausgangsspannung in diesem Bereich liegen. Wichtig: der Low-Pegel darf nicht zu groß werden, mit anderen Worten: die Ausgangsspannung darf V_{OLmax} nicht überschreiten.
- 2) High am Ausgang: V_{OHmin} , V_{OHmax} . Hat der Ausgang - aus funktioneller Sicht - einen High-Pegel zu liefern, so muß die Ausgangsspannung in diesem Bereich liegen. Wichtig: der High-Pegel darf nicht zu klein werden, mit anderen Worten: die Ausgangsspannung darf V_{OHmin} nicht unterschreiten.
- 3) Low am Eingang: V_{ILmin} , V_{ILmax} . Eine Spannung in diesem Bereich muß der Schaltkreis sicher als Low bewerten. Wichtig: V_{ILmax} sollte etwas größer sein als V_{OLmax} (Störspannungsabstand).
- 4) High am Eingang: V_{IHmin} , V_{IHmax} . Eine Spannung in diesem Bereich muß der Schaltkreis sicher als High bewerten. Wichtig: V_{IHmin} sollte etwas größer sein als V_{OHmin} (Störspannungsabstand).

Hinweise:

1. Die Kennwertangaben beziehen sich auf die jeweils ungünstigste zulässige Belastung.
2. Kritisch sind vor allem jene Kennwerte, die die Grenze zum verbotenen Bereich angeben: Maximum-Low und Minimum-High.
3. Typische Grenzwerte:
 - Minimum-Low = 0 V (Massepotential),
 - Maximum-High = Speisespannung (V_{CC}).

Der Störspannungsabstand

Digitalisierungen funktionieren nur dann richtig, wenn die Signalpegel nicht im verbotenen Bereich zwischen Low und High liegen. Andererseits sollen die zulässigen Bereiche nicht allzu schmal sein, damit die Schaltungen auch dann noch funktionieren, wenn die Signale von Störungen überlagert sind. Man richtet es deshalb so ein, daß gilt:

- $V_{OLmax} < V_{ILmax}$. Der Eingang sieht einen vom Ausgang abgegebenen maximalen Low-Pegel auch dann noch als Low, wenn dieser von Störungen in Richtung V_{CC} (also von positiven Störsignalen) überlagert ist.
- $V_{OHmin} > V_{IHmin}$. Der Eingang sieht einen vom Ausgang abgegebenen minimalen High-Pegel auch dann noch als High, wenn dieser von Störungen in Richtung GND (also von negativen Störsignalen) überlagert ist.

Der Betrag der Differenz zwischen diesen Eingangs- und Ausgangspegeln heißt Störspannungsabstand oder kurz Störabstand (Noise Margin). Zu jedem der beiden Logikpegel gibt es eine entsprechende Angabe:

- Low-Störspannungsabstand (Low Level Noise Margin) = $V_{ILmax} - V_{OLmax}$,
- High-Störspannungsabstand (High Level Noise Margin) = $V_{OHmin} - V_{IHmin}$.

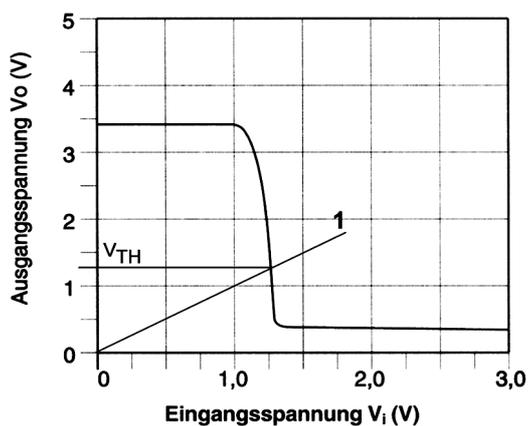
Statischer und dynamischer Störabstand

Was wir soeben betrachtet haben, ist der sog. Gleichspannungs- bzw. statische Störabstand. Er gilt unter der Voraussetzung, daß sich die Signalbelegung nicht ändert. Der Wechselspannungs- oder dynamische Störabstand hingegen bezieht sich nicht nur auf den Signalpegel, sondern auch auf die Impulsbreite. Sehr kurze Störimpulse schaden nicht, da der Schaltkreis nicht darauf anspricht. Je breiter der Störimpuls, desto mehr nähert sich der dynamische dem statischen Störabstand an. Faustregel: wenn Störimpulsbreite \geq Gatterverzögerungszeit, so ist mit dem statischen Störabstand zu rechnen (es genügen also schon wenigen ns ...).

Die Schwellenspannung

Diese Angabe (Threshold Voltage V_{TH}) kennzeichnet die Eingangsspannung, bei der die Eingangsstufe tatsächlich zwischen Low und High umschaltet (Abbildung 3.3).

a) TTL (74S)



b) CMOS (74HC/HCT)

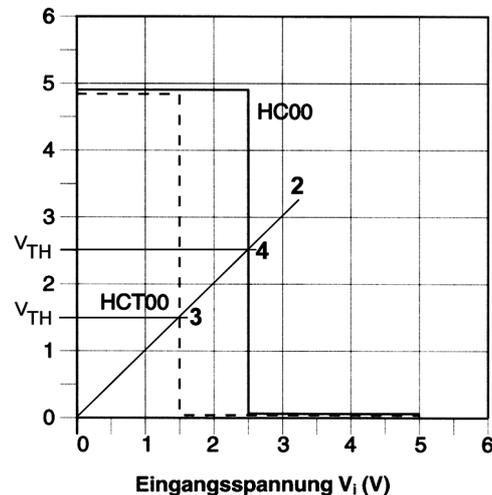


Abbildung 3.3 Die Schwellenspannung anhand der Übertragungskennlinie

Erklärung:

Hier müssen wir uns - ausnahmsweise - darauf beziehen, daß die Welt eigentlich analog ist. Auch Logikschaltungen arbeiten im Grunde analog. Kennlinien sind ein bewährtes Mittel, solche Zusammenhänge darzustellen. Die hier gezeigten Kennlinien erhält man, indem man beispielsweise einem Negator (als einfachstes logisches Funktionselement) eine veränderliche Eingangsspannung (z. B. zwischen 0 und 5 V) zuführt und die jeweils abgegebene Ausgangsspannung mißt. Betrachten wir zunächst Abbildung 3.3a. Wir erkennen:

- es verhält sich so, wie wir es naiverweise von einem Negator erwarten: ist die Eingangsspannung niedrig, so ist die Ausgangsspannung hoch und umgekehrt,
- wenn wir die Eingangsspannung von 0 V an langsam erhöhen, so bleibt der Ausgang zunächst auf einem festen High-Pegel,
- überschreitet die Eingangsspannung einen gewissen Wert (hier: etwa 1 V), so beginnt der Umschaltvorgang. Unser Negator verhält sich hier wie ein analoger Verstärker.
- überschreitet die Eingangsspannung einen weiteren Wert (hier: etwa 1,5 V), so verharrt der

Ausgang auf einem festen High-Pegel.

Als Schwellenspannung definiert man nun die Eingangsspannung an jenem Punkt, an dem sie gleich der Ausgangsspannung ist ($V_I = V_O$). Alle Punkte, für die $V_I = V_O$ gilt, liegen auf einer Geraden^{*)}. Der Schnittpunkt dieser Geraden mit unserer Kennlinie ergibt die Schwellenspannung V_{TH} .

*) : sind beide Achsen (Ausgangs- und Eingangsspannung) im gleichen Maßstab unterteilt, so ist die Gerade um 45° geneigt. In Abbildung 3.3b ist das der Fall (Gerade 2), in Abbildung 3.3a nicht (Gerade 1).

Zu Abbildung 3.3b

Hier sind die Kennlinien zweier CMOS-Gatter gezeigt. Die High-Ausgangsspannung erreicht nahezu die Speisespannung, die Low-Ausgangsspannung nahezu 0 V (Rail-to-Rail-Schaltverhalten). Vgl. demgegenüber Abbildung 3.3a (TTL): High-Ausgangsspannung typisch 3,5 V, Low-Ausgangsspannung typisch 0,2...0,3 V. Bei CMOS ist der Umschaltvorgang auf einen sehr geringen Spannungsbereich (um die Schwellenspannung herum) beschränkt (in der Abbildung sieht es so aus, als schalteten die Gatter geradezu schlagartig um - aber Achtung: zu lange Anstiegszeiten vertragen sie trotzdem nicht ...). Beim TTL-kompatiblen HCT-Gatter entspricht die Schwellenspannung (3) näherungsweise jener des TTL-Gatters (ca. 1,5 V), beim "echten" CMOS-Gatter (4) hingegen liegt sie bei 2,5 V (typisch: bei $V_{CC}/2 = 0,5 V_{CC}$).

Industrietypische Richtwerte

Tabelle 3.1 gibt einen ersten Überblick. Siehe weiterhin die mit Abschnitt 3.2 beginnenden Einzelbeschreibungen.

Kennwert	TTL-Kompatibilität	5-V-CMOS (HC, AC)	Moderne CMOS-Spezifikationen
Eingangskennwerte			
Minimum-High am Eingang V_{IHmin}	2 V	3,5 V	$0,7 V_{CC}$
Maximum-Low am Eingang V_{ILmax}	0,8 V	HC: 1,0 V, AC: 1,5 V	$0,2 V_{CC}$
Schwellenspannung V_{TH}	1,5 V	2,5 V	$0,5 V_{CC}$
Ausgangskennwerte			
Minimum-High am Ausgang V_{OHmin}	2,4 V	4,9 V	$V_{CC} - 0,1...0,2 V$
Maximum-Low am Ausgang V_{OLmax}	0,4 V	0,1 V	$0,1...0,2 V$
Störspannungsabstände			
Low	0,4 V	HC: 0,9 V, AC: 1,4 V	$0,2 V_{CC} - 0,1...0,2 V$
High	0,4 V	1,4 V	$0,3 V_{CC} - 0,1...0,2 V$

Tabelle 3.1 Logikpegel, Störspannungsabstände und Schwellenspannung. Industrietypische Richtwerte

Signalkennwerte (2): Stromkennwerte

Stromrichtungen

Den Angaben liegt stets die sog. technische Stromrichtung zugrunde: der Strom fließt von Plus nach Minus bzw. von Speisespannung (V_{CC}) nach Masse. Die Stromrichtung hängt vom Logikpegel und vom Stromweg durch die angeschlossene Last ab (Abbildung 3.4).

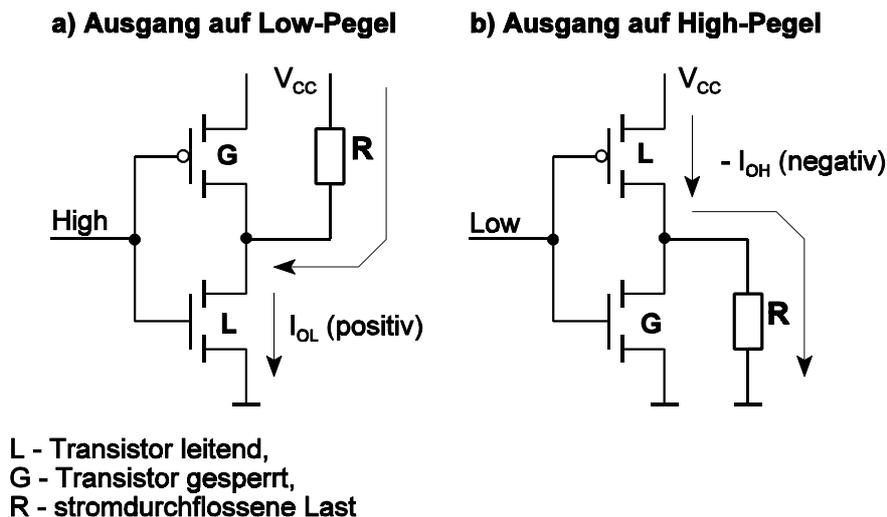


Abbildung 3.4 Zur Strombelastung von Ausgängen

Erklärung:

- Ausgang auf Low-Pegel, also näherungsweise auf Massepotential. Strom fließt aus der Last in den Ausgang hinein. Stromangaben haben positives Vorzeichen.
- Ausgang auf High-Pegel, also näherungsweise auf V_{CC} -Potential. Strom fließt aus dem Ausgang heraus. Stromangaben haben negatives Vorzeichen.

Die Treibfähigkeit der Ausgänge

Mit Treibfähigkeit (Drive Capability) bezeichnet man das Vermögen eines Ausganges, bei Low einen bestimmten Strom aufzunehmen und bei High einen bestimmten Strom zu liefern. Einschlägige Kennwerte betreffen die jeweils maximale Stromstärke, bei der die Logikpegelspezifikation noch eingehalten wird (Low-Pegel nicht über V_{OLmax} , High-Pegel nicht unter V_{OHmin}).

Einheitslasten und Lastfaktoren

Diese Begriffe sind vor allem dann von Bedeutung, wenn es um TTL-Schaltkreise geht. Eine Einheitslast (Unit Load) entspricht der Belastung, die ein Eingang eines Gatters der betreffenden Baureihe darstellt. Lastfaktoren sind Vielfache der Einheitslast. Näheres in Abschnitt 3.2.

Signalkennwerte (3): Anstiegszeiten

Typische Logikspezifikationen geben höchstzulässige Anstiegszeiten (als Maximalwerte) vor (der Bereich, in dem die Ein- und Ausgangsstufen wie analoge Verstärker arbeiten, soll möglichst schnell durchlaufen werden). Viel hilft aber nicht immer viel: extrem steile Flanken sorgen für Störungen im System und für eine erhöhte Störabstrahlung. Deshalb fordern manche Spezifikationen auch Minimalwerte (die Flanken dürfen nicht steiler sein als unbedingt nötig).

Richtwerte für Mindest-Anstiegszeiten (allgemeine Faustregeln):

- Taktsignale: weniger als 10 ns,
- sonstige Signale: weniger als 20 ns.

Logik im Schaltkreis, Logik auf der Leiterplatte

Moderne Prozessoren arbeiten mit Taktfrequenzen im GHz-Bereich. Auf Leiterplatten geht es jedoch nach wie vor vergleichsweise gemächlich zu. Würde man einen Prozessor mit gängigen Logikschaltkreisen bauen, so könnte man ihn nur mit Taktfrequenzen von weit unter 100 MHz betreiben*).

*) : mit ECL-Schaltkreisen könnte man durchaus über 100 MHz kommen, es ist aber eine Aufwands- und Kostenfrage.

Weshalb also geht es innen so schnell und außen nur so langsam?

Die kurze Antwort: weil die elektrischen Bedingungen so unterschiedlich sind (Tabelle 3.2).

<i>Auf dem Schaltkreis:</i>	<i>Auf der Leiterplatte:</i>
<ul style="list-style-type: none"> ■ sind die weitaus meisten Verbindungen viel kürzer als 1 mm, ■ haben kurze Verbindungen eine parasitäre Kapazität um 1 fF, längere (einige mm) bis 1000 fF (Beispiel: 2 mm, 500 fF), ■ können Verzögerungen gezielt dimensioniert werden, indem man Treibfähigkeit an die Belastung anpaßt (man erzeugt die Transistoren jeweils so groß, wie es erforderlich ist) 	<ul style="list-style-type: none"> ■ sind die weitaus meisten Verbindungen mehrere cm lang (typisch sind Leitungslängen von 10...50 cm), ■ haben die Verbindungen parasitäre Kapazitäten zwischen 5 und über 100 pF, ■ müssen die Entwickler mit dem Treibvermögen und den Verzögerungszeiten der fertigen Schaltkreise leben (Tricksen mit unterschiedlichen Verzögerungszeiten ist zwar theoretisch möglich, aber nicht immer praktikabel)

Tabelle 3.2 Schaltkreis und Leiterplatte: elektrische Betriebsbedingungen im Vergleich:

3.1.2. Schaltkreistechnologien

Digitalschaltkreise werden zunächst nach der Technologie unterschieden, in der sie gefertigt werden. Der Technologiebegriff bezeichnet dabei entweder das Ausgangsmaterial (z. B. Silizium oder Galliumarsenid), die grundlegenden Transistorstrukturen (bipolare oder Feldeffekt- (MOS-) Transistoren) oder Einzelheiten der Schaltungstechnik (z. B. ECL, TTL, CMOS). Abbildung 3.5 gibt einen Überblick über diese Begriffsbildungen.

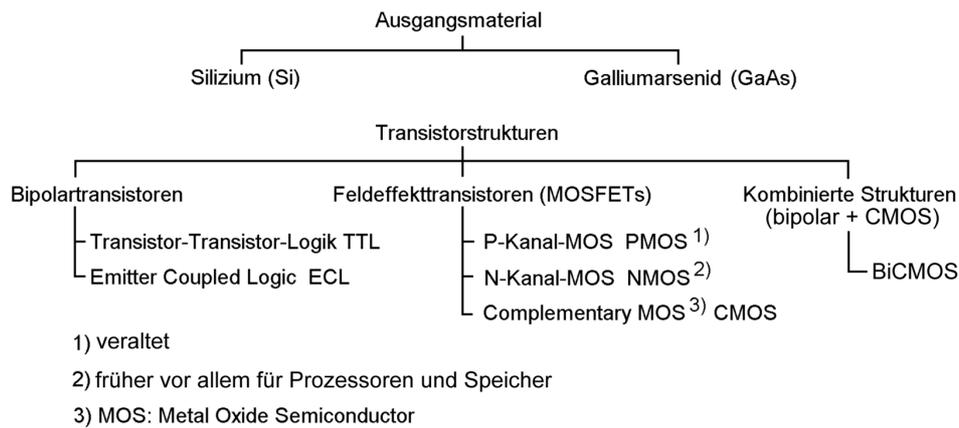


Abbildung 3.5 Technologien digitaler Schaltkreise

Die 74er-Reihen

Die ersten TTL-Schaltkreise der Fa. Texas Instruments, die in den 60er Jahren auf den Markt kamen, hatten die Baureihenbezeichnung "SN74..."^{*)}. Die funktionelle Auslegung der Schaltkreise (als Gatter, Flipflops, Zähler usw.) wurde schnell zum Industriestandard. Weitere Baureihen in verbesserten oder anderen Technologien mußten dieser Vorgabe folgen, um vom Markt akzeptiert zu werden. (Das Problem: es genügt nicht, eine neue Logikbaureihe anzubieten. Sie muß auch von den Entwicklern der gerätebauenden Industrie verwendet werden.) Tabelle 3.3 veranschaulicht die Breite des Angebots, Abbildung 3.6 zeigt die ausführliche Bezeichnung von Schaltkreisen der 74er Reihen anhand von Beispielen..

^{*)}: "SN" steht für "Silicon Network".

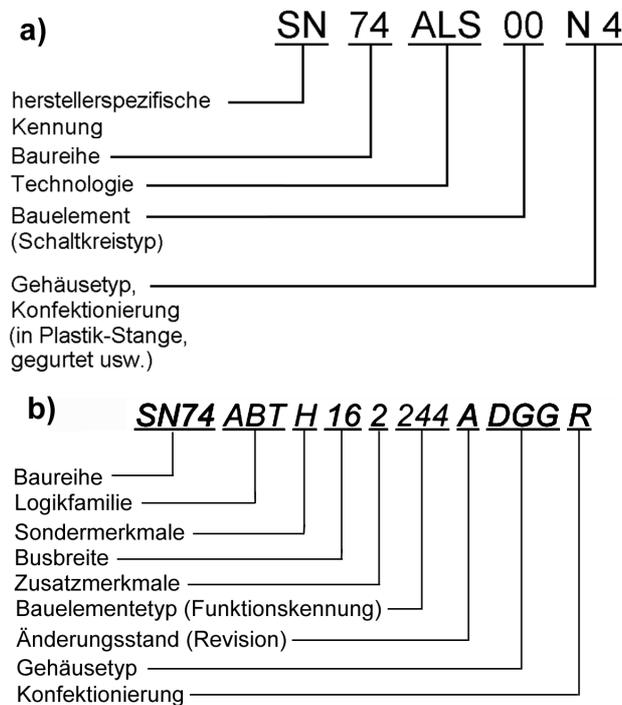


Abbildung 3.6 Schaltkreisbezeichnungen in 74er Reihen. Zwei Beispiele (Texas Instruments)

Baureihe	Technologie	Anzahl der verfügbaren Schaltkreistypen	
		1994	2000
TTL	Transistor-Transistor-Logik (Standard-TTL)	109	33
LS	Low Power Schottky TTL	214	140
S	Schottky TTL	69	52
ALS	Advanced Low Power Schottky TTL	198	139
AS	Advanced Schottky TTL	123	82
F	FAST; Fairchild Advanced Schottky TTL	79	55
HC/HCT	High Speed CMOS (Geschwindigkeit ähnlich LS-TTL)	145	104
AC/ACT	Advanced CMOS (Geschwindigkeit ähnlich S-TTL)	251	108
FCT	Fast CMOS TTL Logic (CMOS mit TTL-Pegeln)	124	55
LV	Low-Voltage CMOS; mittlere Geschwindigkeit	6	30
LVT	Low-Voltage BiCMOS (TTL- kompatibel)	12	57
BCT	BiCMOS	68	40
ABT	Advanced BiCMOS	71	117
CBT	Busschalter und Multiplexer (Crossbar Switches)	23	37
CBTLV	CBT für niedrige Speisespannungen (3,3 V; 2,5 V)		12
LVC	Low-Voltage CMOS; hohe Geschwindigkeit		51
ALVC	Advanced LVC		54
AHC/AHCT	Advanced HC/HCT		60
ALB	Advanced Low-Voltage BiCMOS Logic		2
ALVT	Advanced Low-Voltage BiCMOS; 5-V-tolerant		11
AVC	Advanced Very Low-Voltage CMOS; besonder niedrige Speisespannung (1,2...3,3 V)		7

Tabelle 3.3 74er Logikbaureihen - eine Auswahl (nach: Texas Instruments)

Ersichtlicherweise wird das Angebot an älteren Typen zurückgefahren - die Hersteller fertigen nur das, was weiterhin nachgefragt wird.

Erklärung zu Abbildung 3.6:

a) - ein bescheidener Gatterschaltkreis; b) ein 16-Bit-Bustreiber in ABT-Technologie. Es ist vieles gewachsen: die Anzahl der Baureihen, die Sonder- und Zusatzmerkmale (Bushaltschaltungen, Serienwiderstände usw.) und - vor allem - die Vielfalt der Gehäusetypen. Allzu schwierig ist das Bestellen aber nicht, denn die Hersteller liefern hierzu ausführliche Angaben (trotzdem heißt es achtgeben: auch nur eine Ziffer oder ein Buchstabe falsch - und schon wundern wir uns, daß das gelieferte Teil nicht paßt ...).

Die eigentlichen Typennummern sind gleichsam Allgemeingut geworden. So weiß jeder, der sich mit Digitaltechnik praktisch befaßt, schon nach kurzer Zeit, daß ein 74x00 ein Schaltkreis mit 4 2-fach-NANDs ist, ein 74x160 ein 4-Bit-Zähler, ein 74x244 ein Bustreiber usw. (Wir können deshalb die Baureihenbezeichnung überhaupt weglassen und allgemein von einem '00, einem '160 oder einem '244 reden.)

Die 4000er-Reihen

Die erste CMOS-Logikbaureihe wurde 1968 von RCA unter der Bezeichnung CD4000 auf den Markt gebracht. In den Folgejahren erschienen technologisch verbesserte Baureihen anderer Hersteller. Dabei wurde das vorhandene Typensortiment aufgegriffen und durch neue Typen ergänzt. Im Typenspektrum gibt es einige interessante Spezialitäten.

Die 10K- und 100K-Reihen

Dies sind die typischen herkömmlichen Baureihen der ECL-Technologie. Sie wurden ursprünglich von der Fa. Motorola entwickelt. Weiterentwicklungen: 10H, 10E, 100E, 10EP, 100EP, 10EL, 100EL, 100LVEL usw.

Die Bedeutung der Technologien

Im PC-Bereich haben wir es vor allem mit CMOS- und TTL-Technologien zu tun. TTL ist die "klassische" Technologie für Logikschaltungen. Moderne Hardware wird hauptsächlich in CMOS-Technologien gefertigt. BiCMOS-Technologien kommen in Buskoppelschaltungen zum Einsatz. ECL ist die herkömmliche Technologie für den höchsten Leistungsbereich. ECL-Schaltkreise setzt man heutzutage nur vereinzelt dort ein, wo es auf höchste Geschwindigkeit ankommt (z. B. in der Taktverteilung). Galliumarsenid (GaAs) verspricht absolut höchste Geschwindigkeiten, ist aber sehr teuer und wird derzeit nur für bestimmte Schnittstellen-Bausteine verwendet (Beispiele: (1) digitale Funktionen in der Hochfrequenztechnik, (2) Informationswandler in Lichtwellenleiter-Netzwerken, wie FDDI oder ESCON/FICON).

Womit müssen wir in den nächsten Jahren rechnen, wie schnell werden Logikbaureihen veralten, wodurch werden sie ersetzt werden? Die "Lebenszyklen" der Logikbaureihen lassen sich in Form einer Glockenkurve anschaulich darstellen (Abbildung 3.7).

Klar ist: der Bedarf an Gatterschaltkreisen, an Flipflops und an Typen mittleren Integrationsgrades (MSI, wie Zähler, Schieberegister usw.) wird zurückgehen, da die eigentliche funktionelle Logik zum größten Teil in hochintegrierten Schaltkreisen verwirklicht wird. Es handelt sich dabei sowohl um Standardtypen, wie Prozessoren und Mikrocontroller, aber auch um programmierbare und anwendungsspezifische Schaltkreise (CPLDs, FPGAs, ASICs). Die meisten der neuentwickelten Schaltkreise geringeren Integrationsgrades sind für Interface- und Buskoppelzwecke vorgesehen. Hier ist auch weiterhin mit Neuem zu rechnen. (Es sind allein schon "elektrische" Gründe, die dazu führen.)

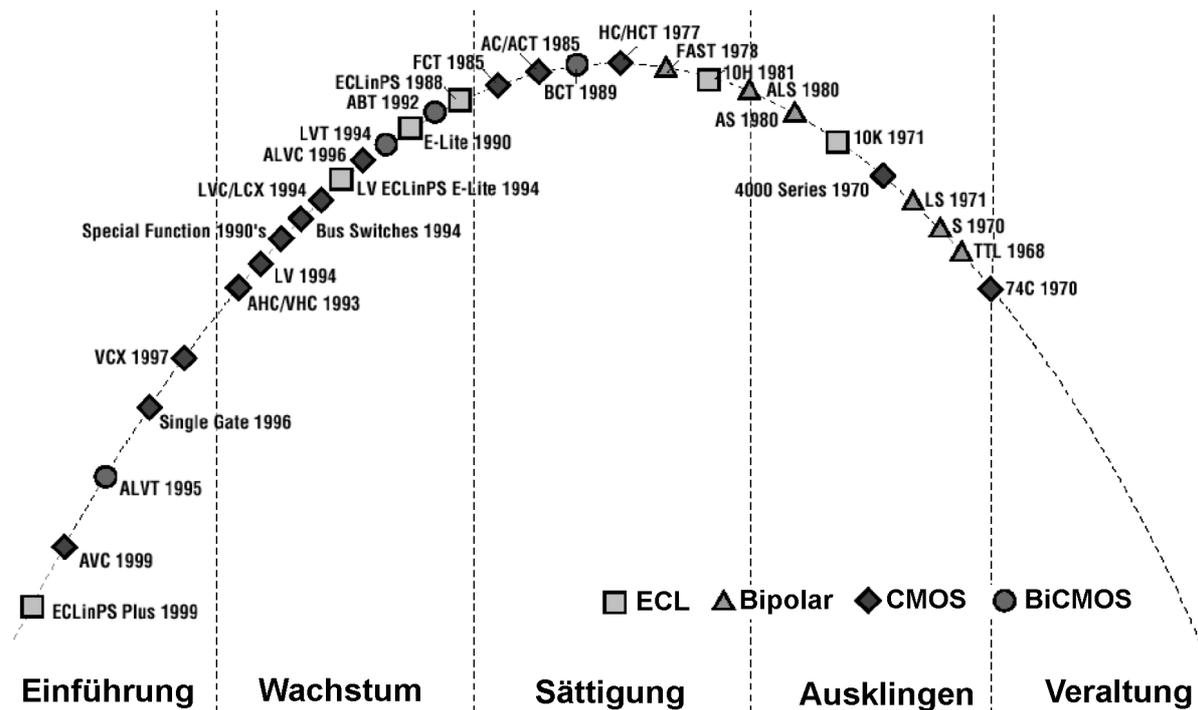


Abbildung 3.7 Eine Glockenkurve der Logikbaureihen

Wir erkennen, daß Logikbaureihen vergleichsweise langlebig sind. Die um 1970 herum eingeführten Baureihen beginnen langsam zu veralten - was aber heißt: sie haben sich mehr als 30 Jahre lang am Markt behaupten können.

Was bedeutet das für uns?

Wir haben es mit einer stabilen Technik zu tun, die in den nächsten 10...15 Jahren sich zwar weiterentwickeln wird, aber nicht völlig veralten. (Vergleichen Sie damit die Situation der 50er und 60er Jahre: von der Elektronenröhre zum Germaniumtransistor, dann zum Siliziumtransistor, dann zum integrierten Schaltkreis.) Es kann also auch heute noch sinnvoll sein, sich in dieses Gebiet einzuarbeiten.

3.1.3. Praxisfragen - eine kleine Auswahl

Freie Eingänge und Festwerte

Gelegentlich braucht man in einer Schaltung weniger Eingänge als am Schaltkreis vorhanden sind. Man hat dann freie Eingänge, die irgendwie zu beschalten sind. Diese Beschaltung läuft auf das allgemeinere Problem hinaus, *Festwerte* (Low und High) bereitzustellen. Abbildung 3.8 zeigt einige bewährte Lösungen.

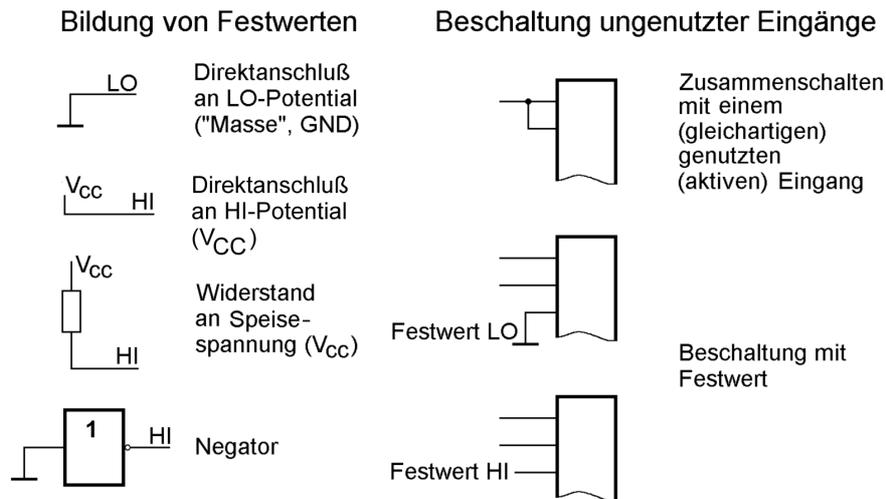


Abbildung 3.8 Beschriftung freier Eingänge und Bereitstellung von Festwerten

Hinweise:

1. Freie Eingänge sollten *nie* offengelassen werden! (Offene - unbeschaltete - Eingänge wirken als Antennen für Störungen aus der Außenwelt und erhöhen - insbesondere bei CMOS-Schaltungen - die Stromaufnahme, beeinträchtigen also insgesamt die Zuverlässigkeit.)
2. In *TTL-Versuchsaufbauten* schadet es manchmal nicht, wenn Eingänge offen bleiben (offener Eingang = High-Belegung).
3. *CMOS-Eingänge* *nie* offenlassen - auch nicht in provisorischen Versuchsaufbauten. Offener Eingang = undefinierte Belegung = Stromfluß "quer" durch den Schaltkreis. Viele offene Eingänge = starker Stromfluß: Schaltkreis wird wärmer als üblich und kann kaputtgehen!
4. Ungenutzte Eingänge sind typischerweise so zu beschalten, daß der Festwert die Funktion nicht blockiert (UND/NAND: mit High; OR/NOR: mit Low; ungenutzte Steuereingänge an Flipflops, Zählern, Treibern usw. mit dem jeweils "inaktiven" Logikpegel).

Ungenutzte Funktionen

Ungenutzte Funktionen in Schaltkreisen sind durch entsprechende Beschaltung mit Festwerten gleichsam totzulegen. In Schaltplänen werden diese Beschaltungen oftmals auf besonderen Blättern zusammengefaßt (Abbildung 3.9).

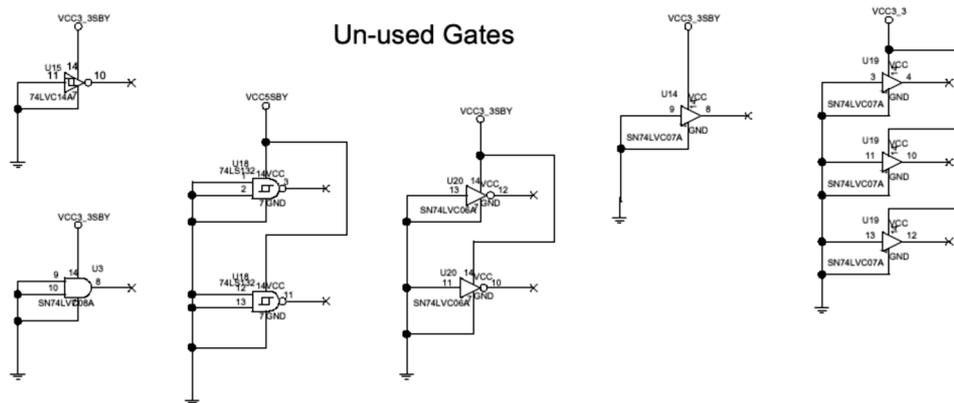


Abbildung 3.9 Ungenutzte Funktionen in Gatterschaltkreisen - ein Schaltplanausschnitt (Intel)

Kompatibilität

Wann sind verschiedene Schaltkreise oder Baureihen zueinander kompatibel? - Die Kompatibilität kann betreffen:

- die elektrischen Kennwerte (Speisespannung, Signalpegel, Flankensteilheiten),
- die zeitlichen Kennwerte,
- die Belastungsverhältnisse (Ströme, Lastfaktoren),
- die Funktion,
- die Gehäuseform und Anschlußbelegung.

Mehrere Hersteller (Second Source Delivery)

Die meisten Schaltkreistypen werden von mehreren Firmen gefertigt. Hat der Erfinder eines Schaltkreises denn gar kein Interesse daran, den Markt allein zu beliefern? - An sich ja, aber: Sie haben einen neuen Schaltkreis entwickelt (und selbstverständlich patentieren lassen). Nun müssen Sie nur noch die Hardware-Fabrikanten dazu bringen, einige Millionen Stück abzunehmen. Dort denkt man aber - auch ganz selbstverständlich - zuerst ans eigene Geschäft: was passiert, wenn 6- oder 7-stellige Beträge für die Geräteentwicklung ausgegeben wurden, Tausende von Leiterplatten, Gehäusen usw. schon vertraglich gebunden - und nun gehen Sie pleite, oder Ihre Halbleiterfabrik wird bestreikt, oder Sie beherrschen Ihren Wunder-Schaltkreis nicht in der Massenfertigung usw. usf.? (Alles schon dagewesen!) Im Gegensatz zu Gepflogenheiten früherer Zeiten sind deshalb die Schaltkreishersteller bestrebt, durch gegenseitiges Lizenzieren dafür zu sorgen, daß es mehrere Lieferquellen gibt. (Der Nachweis mehrerer Bezugsmöglichkeiten - Second Source Delivery - ist heutzutage ein bedeutsames Werbeargument. Ausnahmen - etwa bei bestimmten Prozessortypen - bestätigen die Regel.)

Gehäuseformen

Für eigene Versuche, Selbstbauvorhaben usw. sind die altbewährten, leicht handhabbaren Dual-in-Line- (DIL-) Gehäuse von besonderer Bedeutung. In der Massenfertigung hingegen werden vor allem Gehäuse für Oberflächenmontage (SMD-Gehäuse) eingesetzt - eine Tatsache, die zwar zu kleineren Geräten führt, das Messen und Reparieren aber beträchtlich erschwert.

Temperaturbereiche

Eine wichtige Spitzfindigkeit - vor allem dann, wenn es um Hardware geht, die unter härteren Umgebungsbedingungen eingesetzt werden soll.

Folgende Bereiche der zulässigen Betriebstemperatur (Operating Temperature) sind typisch:

- kommerziell (commercial)*): 0... + 70 oder + 75 °C,
- industriell (industrial): - 40... + 85 °C,
- KFZ-Technik (automotive): - 40... + 125 °C,
- militärisch (military): - 55... + 125 °C.

*) : soll heißen: zum Einsatz in einer Büro- oder Wohnumgebung.

Hinweise:

1. Die 74er TTL-Baureihen sind dem kommerziellen Temperaturbereich zugeordnet, die CMOS-Baureihen typischerweise dem industriellen. Für den militärischen Temperaturbereich gibt es besondere Baureihen (z. B. SN54).
2. Was Schaltkreise an sich - ohne Bezug auf einen bestimmten Temperaturbereich - durchaus noch kurzzeitig vertragen: - 55... + 130 °C (Angaben ohne Gewähr ...).
3. Was Schaltkreise nicht mehr aushalten: Kristalltemperaturen von 150 °C und mehr.
4. Im Fall des Falles auch an den zulässigen Bereich der Lagertemperatur (Storage Temperature) denken. Typisch sind - 65... + 150 °C.
5. Beim Betreiben oder Lagern unter extremen Temperaturen ist auch die Luftfeuchtigkeit von Bedeutung.

Wir merken uns:

- 54er Baureihen: - 55... + 125 °C (militärischer Temperaturbereich),
- herkömmliche 74er Baureihen (TTL, BiCMOS): 0... + 70 °C (kommerzieller Temperaturbereich),
- moderne 74er Baureihen (CMOS, Advanced BiCMOS): zumeist 40...+ 85 °C (entspricht dem industriellen Temperaturbereich, wird aber oft als "kommerziell" bezeichnet),
- sonstige Bauelemente (auch Prozessoren, Speicher usw.): siehe Datenblatt. Typisch für die jeweils niedrigste Preisklasse ist der kommerzielle Temperaturbereich: 0... + 70 °C.

Strombedarf

Ein wichtiger, ja heutzutage ausgesprochen schicker Kennwert. Datenblattangaben zum Strombedarf betreffen typischerweise die Stromaufnahme im Ruhezustand bei offenen Ausgängen.

Die Stromaufnahme der TTL-Schaltkreise hängt vom Schaltzustand ab (im Datenblatt auf die Angaben der Meßbedingungen achten). Zu elementaren Gattern, zu Bustreibern usw. gibt es typischerweise zwei Stromangaben: I_{CCH} (alle Ausgänge auf High) und I_{CCL} (alle Ausgänge auf Low). Zu Überschlagsrechnungen wird zweckmäßigerweise der Mittelwert angesetzt:

$$I_{CC} = 0,5 (I_{CCH} + I_{CCL})$$

CMOS-Schaltkreise nehmen nur einen sehr geringen Ruhestrom auf (nA...µA).

Stromkennwerte und Treibfähigkeit

Ströme, die beim Treiben von Lasten durch Ausgänge fließen, sind gesondert zu berücksichtigen. Gelegentlich sehen die Treibfähigkeitsangaben sehr vielversprechend aus. Aber Vorsicht - auf das Kleingedruckte achten (das betrifft z. B. Fragen der Gehäusetemperatur und der ggf erforderlichen Kühlung). Was oft auf den ersten Blick übersehen wird: die dicken Ströme müssen auch durch die Masse- bzw. Speisespannungsanschlüsse fließen - und hierfür sind Grenzwerte vorgegeben. Mit anderen Worten: man kann nicht immer alle Ausgänge gleichzeitig und auf Dauer mit dem Maximalstrom belasten.

Möglichst schnell, aber möglichst wenig Strom: das Speed-Power Product

Die ideale Logikbaureihe sollte gar keinen Strom verbrauchen, aber unendlich schnell schalten. Das Speed-Power Product ist ein Kennwert, der aussagt, wie nahe eine bestimmte reale Baureihe diesem Ideal kommt. Je kleiner, desto besser ...

Speed-Power Product (in pJ^{*)}) = Leistungsaufnahme^{**}) (in mW) · Verzögerungszeit (in ns).

*) : PicoJoule. 1 J (Joule) = 1 Ws, 1pJ = 10⁻¹² J.

**): Betriebsspannung (in V) · Stromaufnahme (in mA)

Vergleichende Rechnungen beschränkt man sinnvollerweise auf elementare Gatter, wobei typische Werte (ggf. als Mittelwerte) angesetzt werden (Tabelle 3.4).

Baureihe	Leistungsaufnahme	Verzögerungszeit	Speed-Power Product
TTL	10 mW	9 ns	90 pJ
LS-TTL	2 mW	9 ns	18 pJ
ALS-TTL	1,3	5 ns	6,5 pJ
S-TTL	20 mW	3 ns	60 pJ
AS-TTL	8 mW	1,7 ns	14 pJ
F-TTL	4 mW	3,5 ns	14 pJ
10K-ECL	25 mW	2 ns	50 pJ
100E-ECL	38 mW	0,35 ns	13 pJ

Tabelle 3.4 Das Speed-Power Product verschiedener Logikbaureihen

Überblick über das Typenspektrum

Da es eine sehr große Anzahl von Schaltkreistypen gibt (und ständig neue hinzukommen), ist es unmöglich, einen auch nur einigermaßen vollständigen Überblick zu vermitteln.

Praxistips:

- Typenlisten (Selection Guides) erhalten Sie von den Herstellern oder den einschlägigen Distributoren zumeist kostenlos.
- Naheliegend: das Internet. Alle Hersteller sind mit großzügig ausgestalteten Web-Sites vertreten^{*)}. Weitere Quellen: Sites von Hochschulen, von Distributoren, hobbymäßig geführte Sites usw. Suchmaschinen ausnutzen!
- Ältere Datenbücher, Daten-CDs usw.: nicht wegschmeißen ...

*) : allerdings ist stets damit zu rechnen, daß diese Sites unter Marketing-Gesichtspunkten geführt werden. Typen, die man in aller Stille wieder vom Markt genommen oder - trotz großartiger Ankündigungen - gar nicht erst in die Serienproduktion überführt hat, sind meist auch aus der Site des jeweiligen Anbieters verschwunden ...

Kopplung verschiedenartiger Schaltkreise

Wann lassen sich Schaltkreise ohne weiteres zusammenschalten? - Elementare Kopplungsregeln:

1. beide Schaltkreise beziehen sich auf das gleiche Massepotential (GND),
2. beide Schaltkreise haben Speisespannungen gleicher Polarität,
3. der Eingang sieht einen Low-Pegel des Ausgangs unter allen Umständen als Low: $V_{ILmax} \geq V_{OLmax}$,
4. der Eingang sieht einen High-Pegel des Ausgangs unter allen Umständen als High: $V_{IHmin} \leq V_{OHmin}$,
5. die höchste zulässige Eingangsspannung entspricht wenigstens dem höchsten High-Pegel, der vom Ausgang zu erwarten ist ($V_{Imax} \geq V_{OHmax}$).
6. die Treibfähigkeit des Ausgangs reicht aus, um dem höchsten Strombedarf des nachgeschalteten Eingangs gerecht zu werden ($I_{OL} \geq I_{ILmax}$, $I_{OH} \geq I_{IHmax}$).
7. die Ausgangskennwerte sind besser als die Kennwerte der nachgeschalteten Eingänge: $V_{OLmax} < V_{ILmax}$; $V_{OHmin} > V_{IHmin}$. Beispiel: CMOS-Ausgänge, TTL-Eingänge.

Achtung:

Was bisweilen Ärger bereitet, sind extrem unterschiedliche Flankensteilheiten. Und hier hilft viel nicht immer viel - zu steile Flanken sorgen für erhöhte Störstrahlung und intensivere Störungen zwischen den einzelnen Signalen. Beispiel: CMOS anstelle von TTL. Es ist nicht selten vorgekommen: eine mit TTL bestückte Leiterplatte funktioniert problemlos, eine gleiche, aber mit - an sich voll kompatiblen - CMOS-Schaltkreisen bestückte hingegen nicht (das war einer der Gründe, eine schnelle TTL-kompatible CMOS-Baureihe mit entsprechend verringertem ausgangseitigen Signalhub herauszubringen (FCT-T)).

Kompatibilität

Die Pegelspezifikationen der Eingänge des nachgeschalteten Schaltkreises entsprechen den Pegelspezifikationen der Ausgänge des vorgeschalteten. Beispiel: TTL-Kompatibilität der Baureihen HCT, ACT und FCT.

Pegeltoleranz

Die Eingänge - gelegentlich auch die Ausgänge*) - vertragen Signalpegel, die höher liegen, als es die eigene Spezifikation vorsieht. Beispiel: die 5-V-toleranten Anschlüsse mancher Niederspannungsbaureihen.

*) *Denksportaufgabe*: Wann ist es erforderlich, daß auch *Ausgänge* z. B. 5-V-tolerant sind?

Beispielsweise beim Anschluß an ein 5-V-Bussystem.

Zu geringer High-Pegel

Beispiel: TTL-Ausgänge, CMOS-Eingänge. Hier kann oftmals auf einfache Weise nachgeholfen werden, nämlich durch Hochziehen des Pegels mittels Pull-up-Widerstand.

Schwierigere Kopplungsfälle

Sie können alle gelöst werden, und sei es mit Trickschaltungen. Für häufig vorkommende Kopplungsfälle stehen passende Schaltkreise zur Verfügung*).

*) die Hersteller halten zu diesem Problemkreis (Mixed Voltage Interfacing) ausführliches Informationsmaterial bereit.

Was müssen wir für die praktische Arbeit wissen?

- die zulässigen Betriebsbedingungen (die Bereiche der Versorgungsspannung, der Betriebstemperatur usw.),
- die Signalpegel,
- die Flankensteilheiten und Impulsformen,
- die Verzögerungszeiten,
- die Anschlußbelegungen.

3.2. TTL

TTL-Kompatibilität

Wenn allgemein von "TTL-Kompatibilität" die Rede ist, meint man damit, daß entsprechende Schaltkreise folgende Kennwerte einhalten:

- Bereich der Speisespannung (V_{CC}): 4,75...5,265 V (nominell: 5 V; als absoluter Grenzwert sind 7 V zulässig),
- High-Pegel, eingangsseitig: 2 V... V_{CC} ,
- Low-Pegel, eingangsseitig: 0...0,8 V,
- High-Pegel, ausgangsseitig: 2,4 V... V_{CC} (typisch: 3,4 V),
- Low-Pegel, ausgangsseitig: 0...0,4 V (typisch: 0,2 V).

Wir merken uns:

1. Alles, was "TTL-kompatibel" heißt, muß diese Bedingungen erfüllen.
2. Wenn wir an einem TTL-Schaltkreis die Speisespannung zwischen 4,75 und 5,25 V messen, so ist dies in Ordnung.
3. Wenn wir an einem TTL-Eingang 2 V oder mehr messen, so ist dies ein High-Pegel, wenn wir 0,8 V oder weniger messen, ein Low-Pegel. Dazwischen liegende Spannungswerte sind inkorrekt!
4. Wenn wir an einem TTL-Ausgang 2,4 V oder mehr messen, so ist dies ein High-Pegel, wenn wir 0,4 V oder weniger messen, ein Low-Pegel. Dazwischenliegende Spannungswerte sind inkorrekt!

Schaltzeiten:

- Verzögerung von Low nach High: höchstens 22 ns (typisch: 11 ns),
- Verzögerung von High nach Low: höchstens 15 ns (typisch: 7 ns),
- typische Flankenanstiegszeiten: Low-High-Flanke 10 ns, High-Low-Flanke 5 ns,
- Taktfrequenz eines D-Flipflops (7474): wenigstens 15 MHz (typisch: 25 MHz).

Einheitslasten und Lastfaktoren

Standard-TTL

Wenn von TTL allein - ohne irgendwelche Ergänzungen - die Rede ist, meint man meist die "klassische" TTL-Baureihe SN74..., die wegen ihrer Bedeutung gelegentlich auch als "Standard-TTL" bezeichnet wird.

Die Standard-TTL-Einheitslast ist folgendermaßen definiert:

- Eingangsstrom bei Low: maximal - 1,6 mA,
- Eingangsstrom bei High: maximal 40 μ A (0,04 mA).

Wir merken uns:

Bei Low fließen bis zu 1,6 mA aus dem Eingang heraus, bei High bis zu 40 μ A in den Eingang hinein. Das ist die sog. *TTL-Einheitslast* (Unit Load), die vielen Lastfaktor-Angaben zugrunde liegt (so spricht man davon, daß irgendein Schaltkreis, z. B. ein RAM, soundsoviele TTL-Einheitslasten treiben kann). Lastfaktoren sind Vielfache der Einheitslast. Ein Ausgangslastfaktor (Fan Out) kennzeichnet, wieviele Einheitslasten der betreffende Ausgang treiben kann, ein Eingangslastfaktor (Fan In) gibt an, wievielen Einheitslasten ein bestimmter Eingang entspricht. Diese Festlegungen führen zu einer einfachen Rechenregel: damit ein Signalweg funktioniert, muß gelten:

$$\text{Ausgangslastfaktor} \geq \text{Summe der Eingangslastfaktoren.}$$

Hinweise:

1. Der Standard-TTL-Eingang liefert bei Low 1,6 mA und nimmt bei High 40 μ A auf; der Standard-TTL-Ausgang kann bei Low bis zu 16 mA aufnehmen ("ziehen") und bei High bis zu 400 μ A liefern. Typische TTL-Eingänge haben einen Eingangslastfaktor von 1, typische TTL-Ausgänge einen Ausgangslastfaktor von 10 (es gibt aber auch Eingangslastfaktoren von beispielsweise 2 oder 3 und Ausgangslastfaktoren von 40).
2. Jede TTL-Baureihe hat eigene Lastkennwerte und Lastfaktoren. Die Daten- und Handbücher enthalten einschlägige Umrechnungstabellen.

Low Power Schottky TTL (LS-TTL)

LS-TTL war lange Zeit die am weitesten verbreitete und preisgünstigste TTL-Baureihe. Sie hatte auch das reichhaltigste Typensortiment. Seit einigen Jahren wird diese Baureihe nicht mehr für Neuentwicklungen empfohlen.

Treibfähigkeit der Ausgänge

Übliche LS-TTL-Ausgänge können bei Low 8 mA aufnehmen und bei High 0,4 mA liefern.

Schaltzeiten:

- Verzögerung von Low nach High (am Ausgang): höchstens 15 ns (typisch: 9 ns),
- Verzögerung von High nach Low (am Ausgang): höchstens 15 ns (typisch: 10 ns),
- typische Flankenanstiegszeiten: Low-High-Flanke 9,5 ns, High-Low-Flanke 6 ns,
- Taktfrequenz eines D-Flipflops (74LS74): wenigstens 25 MHz (typisch: 33 MHz).

Advanced Low Power Schottky TTL (ALS-TTL)

ALS-TTL ist die Weiterentwicklung der LS-Baureihe. ALS-Ausgänge haben dieselbe Treibfähigkeit wie LS-Ausgänge.

Schaltzeiten:

- Verzögerung von Low nach High: wenigstens 3 und höchstens 11 ns (typisch: 7 ns),
- Verzögerung von High nach Low: wenigstens 2 und höchstens 8 ns (typisch: 5 ns),
- typische Flankenanstiegszeiten: Low-High-Flanke 5 ns, High-Low-Flanke 5 ns,
- Taktfrequenz eines D-Flipflops (74ALS74): wenigstens 34 MHz.

Wir merken uns: ALS-TTL ist um ca. 30 % schneller als LS.

Schottky TTL (S-TTL)

S-TTL war die erste schnelle TTL-Baureihe, die für bestimmte Anwendungen mit ECL konkurrieren konnte.

Treibfähigkeit der Ausgänge

Übliche S-TTL-Ausgänge können bei Low 20 mA aufnehmen und bei High 1 mA liefern.

Schaltzeiten:

- Verzögerung von Low nach High: höchstens 4,5 ns (typisch: 3 ns),
- Verzögerung von High nach Low: höchstens 5 ns (typisch: 3 ns),
- typische Flankenanstiegszeiten: Low-High-Flanke 2,7 ns, High-Low-Flanke 2 ns,
- Taktfrequenz eines D-Flipflops (74S74): wenigstens 75 MHz (typisch: 110 MHz).

Advanced Schottky TTL (AS-TTL)

AS-TTL ist als Weiterentwicklung der Schottky-TTL die schnellste TTL-Baureihe des Marktes.

Treibfähigkeit der Ausgänge

Übliche AS-TTL-Ausgänge können bei Low 20 mA aufnehmen und bei High 2 mA liefern.

Schaltzeiten:

- Verzögerung von Low nach High: wenigstens 1 ns, höchstens 4,5 ns (typisch: 1,6 ns),
- Verzögerung von High nach Low: wenigstens 1 ns, höchstens 4 ns (typisch: 1,7 ns),
- typische Flankenanstiegszeiten: Low-High-Flanke 2,3 ns, High-Low-Flanke 1,8 ns,
- Taktfrequenz eines D-Flipflops (74AS74): wenigstens 105 MHz.

Fairchild Advanced Schottky TTL (FAST, F-TTL)

FAST bzw. F-TTL (die Baureihe wird von mehreren Herstellern angeboten) ist in der Geschwindigkeit den S-TTL-Schaltkreisen vergleichbar, hat aber eine deutlich günstigere Leistungsaufnahme. Die Treibfähigkeit der Ausgänge entspricht S-TTL.

Schaltzeiten:

- Verzögerung von Low nach High: wenigstens 2,4 und höchstens 5 ns (typisch: 3,7 ns),
- Verzögerung von High nach Low: wenigstens 1,5 und höchstens 4,3 ns (typisch: 3,2 ns),
- typische Flankenanstiegszeiten: Low-High-Flanke 2,7 ns, High-Low-Flanke 2 ns,
- Taktfrequenz eines D-Flipflops (74F74): wenigstens 100 MHz.

3.3. ECL

ECL erlaubt es, umfangreiche Hardwarekomplexe aufzubauen, die mit sehr hohen Taktfrequenzen betrieben werden können. Dies gelingt bereits mit Elementarschaltkreisen (Gattern, Flipflops usw.): man kann durchaus mehrere Schränke mit solchen Schaltkreisen füllen und das Ganze mit 100...200 MHz und mehr laufen lassen. So bestand der legendäre Supercomputer "Cray 1" (1975) aus etlichen zigtausend ECL-Schaltkreisen und arbeitete mit einer Taktfrequenz von 100 MHz. Das einzelne ECL-Gatter hat heutzutage Verzögerungszeiten von weit unter 1 ns. Woher kommt diese Leistungsfähigkeit?

- die ECL-Prinzipschaltung ist der mit Bipolartransistoren aufgebaute Differenzverstärker. Die beiden logischen Zustände (0 und 1) sind dem Stromfluß durch die beiden Zweige des Differenzverstärkers zugeordnet. Je nach Ansteuerung fließt der Emitterstrom entweder durch den einen Zweig (Zustand 0) oder durch den anderen (Zustand 1). Den jeweiligen Stromflüssen entsprechen ausgangsseitige Low- und High-Pegel.
- das Umschalten zwischen den Zuständen ist praktisch eine "gleitende" Stromübernahme, wobei der Gesamt-Strom konstant bleibt. Es gibt also keine Spitzen des Speisestrombedarfs wie bei TTL oder CMOS.
- die Transistoren werden nicht in die Sättigung getrieben (man spricht von "Nonsaturated Logic") und schalten deshalb sehr schnell,
- die Ausgangssignale stehen gleichzeitig sowohl direkt als auch negiert zur Verfügung. Die Vorteile: (1) Negieren kostet keine zusätzliche Zeit, (2) man kann eine differentielle Signalübertragung vorsehen, die auch bei größeren Leitungslängen störsticher ist.
- durch den geringen Signalhub (0,8 V) ergeben sich nur kurze Flanken-Anstiegszeiten,
- die ausgangsseitigen Treiberstufen haben einen niedrigen Innenwiderstand und eine hohe Treibfähigkeit. Man kann damit auch "abgeschlossene" (reflexionsfreie) Signalleitungen treiben. Vorteil: die jeweils erste Schaltflanke ist sofort auswertbar; es gibt keine Zeitverluste durch Einschwingvorgänge.

Die Nachteile von ECL: (1) vergleichsweise hohe Verlustleistung, (2) aufwendige Leiterplattenauslegung (wenn man die Vorteile wirklich ausnutzen will), (3) aufwendige Halbleitertechnologie, (4) vergleichsweise geringer Integrationsgrad. Um ein Beispiel zu geben: Supercomputer wie die genannte Cray 1 brauchen Speiseströme von einigen tausend Ampere! (Die erforderlichen Wandler - Schaltnetzteile oder Motor-Generator-Sätze - haben einen beträchtlichen Anteil an den Hardwarekosten und am Platzbedarf.) Hinzu kommen die Aufwendungen für die Kühlung (Flüssigkeitskühlung oder intensive Luftkühlung - mit leistungsfähigen Gebläsen und mit Kühlkörpern auf den Schaltkreisgehäusen).

Die Speisespannung

ECL-Schaltungen enthalten bipolare npn-Transistoren, werden aber üblicherweise mit *negativer* Speisespannung versorgt. Genauer gesagt: die Kollektoren "hängen" an Masse ($V_{CC} = 0 \text{ V}$), die Emitter an der negativen Speisespannung V_{EE} . Weshalb? - Die logischen Pegel sind vergleichsweise geringe Spannungsdifferenzen, bezogen auf die Kollektorspannung (V_{CC}). Würde man V_{CC} positiv machen, so hingen die logischen Pegel unmittelbar vom Betrag der jeweils anliegenden Speisespannung ab. Da nur ein Spannungshub von 0,8 V zur Verfügung steht, würde man also eine extrem genaue Spannungsstabilisierung brauchen (und das bei vielleicht 2000 A!). Es ist deshalb besser, die Signalpegel auf 0 V, also auf die gemeinsame Rückleitung (Masse) zu beziehen.

ECL in der modernen Schaltungsparaxis

CMOS-Schaltungen haben geschwindigkeitsmäßig viel aufgeholt. Heutige CMOS-Prozessoren arbeiten ebenfalls mit 100 MHz und mehr, im Innern sogar mit Taktfrequenzen im GHz-Bereich. Die Probleme beginnen bei CMOS aber dann, wenn Schaltkreisgrenzen verlassen werden (Stichworte: Speisestrom-Spitzen, Störungen, Treibfähigkeit). Trotzdem bieten moderne CMOS- und BiCMOS-Schaltkreise in vielen Einsatzfällen ein überlegenes Preis-Leistungs-Verhältnis. Heutzutage müssen wir mit einem gleichsam punktuellen Einsatz von ECL rechnen. Das betrifft u.a. die Taktverteilung (vgl. Kapitel 5) sowie schnelle Zähler

bzw. Vorteiler (Prescaler; vgl. Abbildung 2.5.6.). Solche Schaltkreise sind meist TTL-kompatibel ausgelegt (sie haben sowohl ECL- als auch TTL-Anschlüsse), und sie werden an der positiven 5-V-Versorgungsspannung betrieben (PECL).

10K und 100K

Das sind die gleichsam klassischen Baureihen. Beginnen wir mit einem Überblick über wichtige Kennwerte (Tabelle 3.5).

Kennwert	10K	100K
Bereich der Speisespannung	-5,5...-4,75 V (typisch -5,2 V)	-4,2...- 4,8 V (typisch - 4,5 V)
High-Ausgangsspannung	-960... -810 mV	-1025...-880 mV
Low-Ausgangsspannung	-1850...-1650 mV	1801...- 620 mV
High-Eingangsspannung	-1105...-810 mV	-1165... -880 mV
Low-Eingangsspannung	-1850... -1475 mV	-1810 ... -1475 mV
Eingangsstrom bei High	mindestens 0,5 μ A,	mindestens 0,5 μ A,
Eingangsstrom bei Low	höchstens 350 μ A,	höchstens 350 μ A,
Ausgangsstrom	bis zu -50 mA,	bis zu -50 mA,
Gatterverzögerungszeit	1...3 ns,	0,5...1,3 ns,
Anstiegszeit *)	1,1...3,7 ns,	0,45...1,3 ns,
maximale Taktfrequenz	wenigstens 125 Mhz, typisch 140 MHz	wenigstens 350 Mhz, typisch 400...500 MHz

*) entspricht dem maximalen Stromfluß durch einen nachgeschalteten 50-Ohm-Abschlußwiderstand, der an eine Stützspannung von - 2 V angeschlossen ist.

Tabelle 3.5 Herkömmliche ECL-Baureihen (10K, 100K): Überblick über wichtige Kennwerte (einige der Zahlenangaben gerundet)

Moderne ECL-Baureihen

Beide Baureihen (10K und 100K) werden weiterhin gepflegt und weiterentwickelt. Dementsprechend finden wir in den Katalogen Schaltkreise mit 10er und 100er Typennummern, z. B. 10H101, 10E101, 100EL101, 100ELV101 usw. Moderne 10er und 100er Schaltkreise der gleichen Baureihe unterscheiden sich im Grunde nur in Feinheiten.

100er Schaltkreise haben Spannungs- und Temperaturkompensation, 10K-Schaltkreise haben nichts dergleichen. Weiterentwickelte 10er Schaltkreise unterscheiden sich von den 100er Schaltkreisen nur durch geringfügig abweichende Pegelkennwerte und durch das Fehlen der Temperaturkompensation.

10K und 10H

10H ist eine Weiterentwicklung der 10K-Baureihe:

- eingebaute Spannungs-kompensation, so daß die Datenblattwerte bei Speisespannungsschwankungen von $\pm 5\%$ eingehalten werden,
- veränderte Spannungskennwerte; damit Verbesserung des Störspannungsabstandes,
- typische Gatterverzögerungszeit: 1 ns, maximale Taktfrequenz: 250 MHz.

100E und Weiterentwicklungen

Die Pegelspezifikationen entsprechen 100K. Man hat aber den Speisespannungsbereich an den der 10er Typen angeglichen, so daß diese Schaltkreise auch mit - 5,2 V betrieben werden können.

101K

Eine Bezeichnung für ECL-Schaltkreise, die - unter Beibehaltung der 100K-Pegel - für den Betrieb an - 5,2 V vorgesehen sind

Tabelle 3.6 enthält die wichtigsten Pegelkennwerte der neueren 10er und 100er Baureihen.

Kennwert	10H/E bei - 5,25 V \pm 5% und 25 °C			100K/E bei - 4,24...5,46 V und 0...85 °C		
	min.	typ.	max.	min.	typ.	max.
High-Ausgangsspannung	-980 mV	-895 mV	-810 mV	-1025 mV	-955 mV	-880 mV
Low-Ausgangsspannung	-1950 mV	-1790 mV	-1630 mV	-1810 mV	-1750 mV	-1620 mV
High-Eingangsspannung	-1130 mV	-970 mV	-810 mV	-1165 mV	-880 mV	-880 mV
Low-Eingangsspannung	-1950 mV	-1715 mV	-1480 mV	-810 mV	-1475mV	-1475 mV
High-Störspannungsabstand	\geq 150 mV (typ. 240)			\geq 140 mV (typ. 210)		
Low-Störspannungsabstand	\geq 150 mV (typ. 280)			\geq 145 mV (typ. 230)		

Tabelle 3.6 Pegelkennwerte moderner ECL-Baureihen (nach: ON Semiconductor)

Hinweis:

Da bei 10H/10E die Temperaturkompensation fehlt, gelten die Kennwerte nur in einem engen Temperaturbereich. Auch ist nur eine geringe Speisespannungstoleranz zulässig (\pm 5%) Der Störspannungsabstand ist aber besser als bei 100K/100E. Demgegenüber halten die 100er Typen ihre Kennwerte über weite Bereiche der Temperatur und der Betriebsspannung hinweg ein.

ECLinPS, ECLinPS Lite, ECLinPS Plus

Das sind Handelsnamen weiterentwickelter ECL-Schaltkreise (ECLinPS = ECL in Picoseconds). Schaltkreisbezeichnungen: 10E, 100E, 10EP, 100EP, 10EL, 100EL, 10ELT, 100ELT usw. ECLinPS Lite (10/100EL) betrifft Einzelgatter in kleinen Gehäusen, 10/100ELT betrifft Pegelwandlerschaltkreise (Level Translators).

ECLinPS Plus ist eine weiterentwickelte Baureihe: schneller (Tabelle 3.7), geringerer Strombedarf, erweiterter Versorgungsspannungsbereich (3...5,5 V), aber auch mit geringerem Störspannungsabstand (Pegelspezifikationen gegenüber 10E/100E geändert). ECLinPS Plus ist vor allem für die zeitgemäßen ECL-Anwendungen optimiert (Betrieb mit positiver Speisespannung, Taktverteilung, differentielle Signalübertragung usw.).

Kennwert	ECLinPS	ECLinPS Plus
Gatterverzögerungszeit	350 ps typisch, 500 ps max.	270 ps typisch, 330 ps max.
Gatter mit differentiellen Eingängen	275 ps typisch, 390 ps max.	220 ps typisch, 270 ps max.
max. Taktfrequenz	ca. 2,5 GHz	> 3 GHz

Tabelle 3.7 ECLinPS und ECLinPS Plus (10/100E, 10/100EP): Geschwindigkeitskennwerte im Vergleich (nach: ON Semiconductor)

ECL mit verringerter Betriebsspannung (LV-ECL, 300K-ECL, 100LVE, 100 LVEL, 100LVEP)
Diese Baureihen^{*)} sind für einen Betriebsspannungsbereich von - 3,8... - 3,2 V vorgesehen (die typische Betriebsspannung: - 3,5 V). Die Pegelkennwerte entsprechen 100K, die Geschwindigkeitskennwerte liegen in der Größenordnung der jeweiligen 5-V-Baureihen (100E, 100EP).

*) der einschlägige Standard: JESD 8-2. LV = Low Voltage (= niedrige Spannung).

ECL mit positiver Speisespannung (PECL)

ECL-Schaltkreise kann man auch mit positiver Speisespannung betreiben (V_{EE} -Anschluß an Masse, V_{CC} -Anschluß an Speisespannung). Mit Ausnahme der 10K-Typen haben alle neueren Baureihen Spannungskompensation, so daß die typische 5-V-Versorgung^{*)} ohne weiteres verwendet werden kann. Das betrifft sinngemäß die 3,3-V-Versorgung (ECLinPS Plus, LV-ECL). Auch der Leitungsabschluß kann so gelöst werden, daß man ohne besondere Abschlußspannung auskommt. Was die Signalpegel angeht, so ist ein wenig zu rechnen: die Pegelkennwerte beziehen sich auf V_{CC} , und herkömmlicherweise liegt den Datenblattangaben $V_{CC} = 0$ V zugrunde. Jetzt ist aber V_{CC} beispielsweise + 5 V. Also müssen wir den Datenblattwert von V_{CC} abziehen. Beispiele (100K):

- die typische High-Ausgangsspannung: - 955 mV. Bei 5-V-PECL ergeben sich also:
 $5\text{ V} - 0,955\text{ V} = 4,045\text{ V}$.
- die typische Low-Ausgangsspannung: - 1705 mV. Somit ergeben sich:
 $5\text{ V} - 1,705\text{ V} = 3,295\text{ V}$.

*) diese hat zumeist $\pm 5\%$ Spannungstoleranz.

LVPECL

Dies ist die Allgemeinbezeichnung für das Betreiben von ECL-Schaltkreisen mit einer niedrigen positiven Speisespannung (z. B. 3,3 V oder 2,5 V).

PECL und NECL

Beides sind keine neuen Schaltkreistypen. PECL heißt einfach "ECL an positiver Speisespannung" und NECL "ECL an negativer Speisespannung". Neuere Datenblätter enthalten Kennwerttabellen für beide Einsatzfälle, wobei die Kennwerte des PECL-Betriebs typischerweise für $V_{CC} = 5,0$ und/oder 3,3 V angegeben sind (LV-ECL: 3,3 und/oder 2,5 V). Moderne ECL-Schaltkreise werden ausdrücklich für den PECL-Einsatz ausgelegt (die typische Anwendung: Taktverteilung). Ergänzend dazu gibt es Schaltkreise, die PECL-Signale in TTL- oder CMOS-Signale wandeln können.

Wir merken uns:

Moderne ECL-Schaltkreise kann man ohne weiteres an einer positiven Speisespannung betreiben. Die Pegelwandlung zu anderen Technologien hin erfordert aber besondere Aufwendungen (z. B. spezielle Koppelschaltkreise), und zwar (1) wegen des geringen Spannungshubs an den ECL-Ausgängen und (2) deshalb, weil die ECL-Pegel auf die Speisespannung bezogen sind, TTL- und CMOS-Pegel aber auf Masse.

3.4. CMOS

3.4.1. Grundlagen der CMOS-Praxis

Speisespannung

CMOS-Schaltungen können, verglichen mit bipolaren Schaltungen, in einem größeren Bereich der Speisespannung arbeiten (Abbildung 3.10). Während beispielsweise TTL-Schaltkreise nur bei Versorgung mit den charakteristischen + 5 V richtig funktionieren (die zulässigen Toleranzen sind tatsächlich nur als Ausgleich für die - unvermeidlichen - Spannungsschwankungen anzusehen), kann man CMOS-Digitalschaltkreise - je nach Baureihe - zwischen 3 und 15 V, zwischen 2 und 6 V, zwischen 3 und 5,5 V usw. betreiben. Allerdings sind die Betriebsdaten spannungsabhängig: je höher die Speisespannung, um so höher die zulässige Betriebsfrequenz, um so kürzer die Schaltzeiten, um so besser die Treibfähigkeit. Deshalb werden diese Kennwerte üblicherweise für mehrere Werte der Speisespannung zusammengestellt (vgl. Kapitel 7).

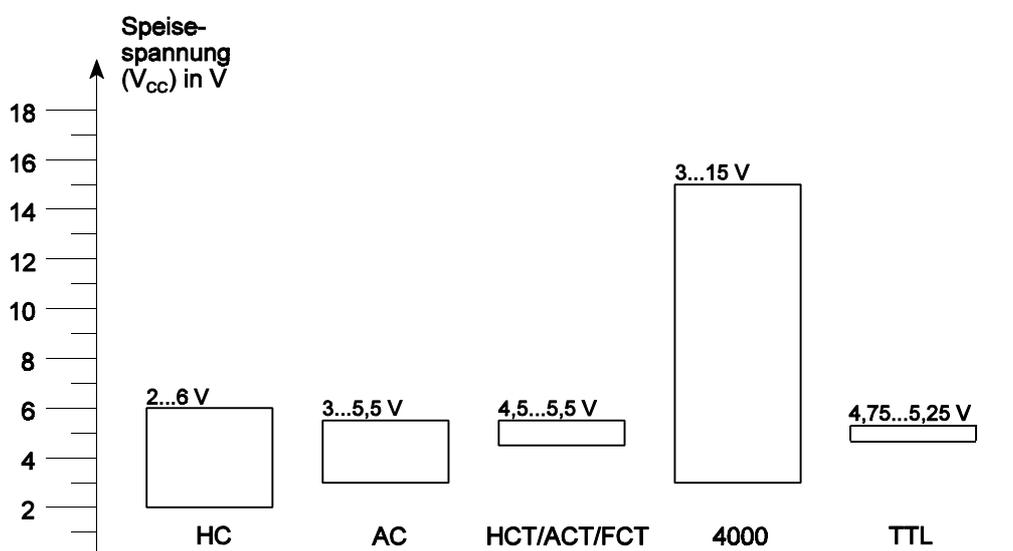


Abbildung 3.10 Speisespannungsbereiche im Vergleich

Signalhub und Logikpegel

Ein wichtiges Kennzeichen der CMOS-Schaltkreise: der Signalhub entspricht praktisch der Speisespannung (man spricht hier vom "Rail-to-Rail"-Schaltverhalten). Low ist "fast 0 V", High entspricht bei geringer Belastung etwa $V_{CC} - 0,1$ V; bei voller Belastung sind es 0,2...0,3 V weniger.

Eingangslasten und Speisestrom

Wir merken uns: (1) CMOS-Eingänge brauchen bei statischer Ansteuerung praktisch nichts (es fließt kein Eingangsstrom), (2) eine in Ruhe befindliche (nicht mit wechselnden Signalen angesteuerte) und ausgangsseitig nicht belastete CMOS-Schaltung braucht praktisch nichts (es fließt kein Speisestrom). Tatsächlich fließen zwar Ströme (Leckströme), diese liegen aber zumeist im nA-Bereich und sind mit üblichen Meßmitteln kaum meßbar. *Das gilt aber nur unter folgenden Bedingungen:*

- an *allen* Eingängen liegen zulässige Logikpegel (Low oder High),
- Tri-State-Ausgänge sind (1) selbst inaktiv (hochohmig, High-Z), und die Signalleitung wird (2) von keiner anderen Einrichtung getrieben,
- die Speisespannung liegt innerhalb der vorgeschriebenen Grenzen.

Es gibt somit keine Lastfaktoren für CMOS. Wenn man CMOS-Schaltkreise nur über Kipp-schalter steuern, könnte man einem Ausgang buchstäblich hunderte Eingänge nachschalten und die gesamte Schaltung aus einer Taschenlampenbatterie versorgen.

Aber Achtung: *Alle Schaltvorgänge brauchen Strom.* Hierfür gibt es zwei Gründe:

1. ausgangsseitig: Es sind Kapazitäten umzuladen. Die Treibfähigkeit - in einer reinen CMOS-Schaltung - wird deshalb durch die Kapazität bestimmt, die noch getrieben werden kann, ohne die angegebenen zeitlichen Parameter zu überschreiten. Rechnen wir mit 8... 10 pF je Anschluß (eine gängige Faustregel). Ein Schaltkreis-Ausgang, der mit maximal 30 pF belastbar ist, kann somit höchstens 3 Eingänge ansteuern (genaugenommen: höchstens 2, denn die Kapazität des Ausgangs-Anschlusses ist ebenfalls einzurechnen). Eine höhere kapazitive Belastung führt dazu, daß der Schaltkreis - einfach gesagt - langsamer wird (Fachbegriff: Derating).
2. im Schaltkreis: Das beschriebene, geradezu wundersame Verhalten beruht darauf, daß in den komplementären MOS-Transistorstrukturen jeweils der eine Transistor durchgesteuert und der andere voll gesperrt ist. Im statischen Zustand wirken beide MOS-Transistoren wie nahezu ideale Schalter - und einer der beiden Schalter ist immer "aus". Somit können durch die Innenschaltung des Schaltkreises keine Querströme von V_{CC} nach Masse fließen. Das gilt aber nicht in den Zeiten, während sich der Schaltzustand ändert. Die Physik kennt keine unendlich schnellen Änderungen. Folglich wird zwischenzeitlich der gesperrte Transistor mehr und mehr leitend, während gleichzeitig der bisher durchgesteuerte Transistor mehr und mehr gesperrt wird: so ergibt sich ein endlicher Widerstand, und es kommt ein Stromfluß zustande.

Das heißt praktisch: Strom fließt immer dann, wenn (1) etwas zu treiben ist oder wenn (2) sich an den Schaltkreis-Eingängen etwas ändert. Im einzelnen:

- der Strombedarf steigt direkt mit wachsender Betriebsfrequenz (Abbildung 3.11),
- alle schaltenden Eingangssignale erhöhen den Strombedarf, auch wenn sie funktionell nichts bewirken und auch nicht schaden (z. B. Adressen an nicht ausgewählten Speicherschaltkreisen).
- offene oder mit "schwimmenden" Signalpegeln belegte Eingänge erhöhen den Strombedarf.

Zum Stromsparen muß man also so viele Eingänge wie möglich ruhigstellen. Eine gängige Lösung: Schalterbauelemente, z. B. Multiplexer, mit denen man Eingänge zwischen den eigentlichen Signalwegen und einer Festbeschaltung umsteuern kann (vgl. Abbildung 1.18c).

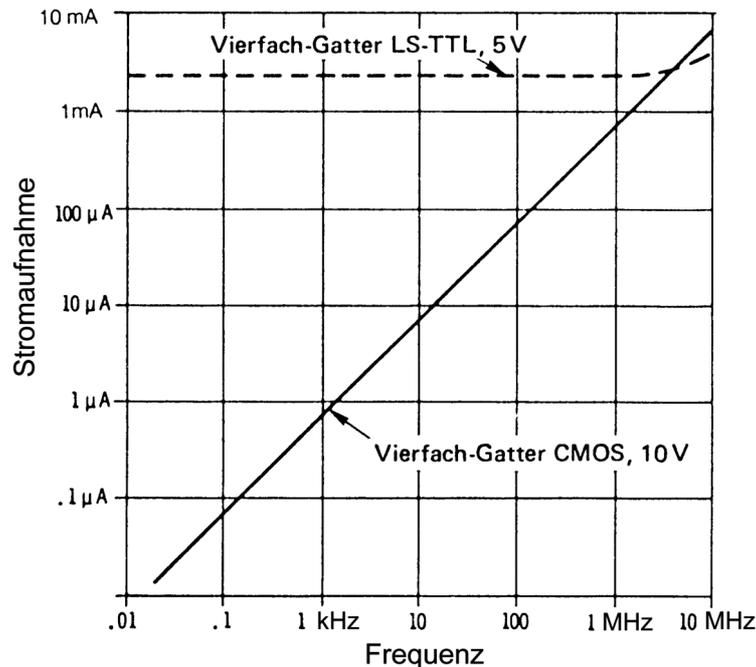


Abbildung 3.11 Stromaufnahme eines CMOS-Schaltkreises (hier: der 4000er Reihe) in Abhängigkeit von der Arbeitsfrequenz

Erklärung:

Die Stromaufnahme wächst linear mit der Taktfrequenz. Zum Vergleich: das LS-TTL-Gatter (gestrichelte Linie oben) braucht immer Strom (sogar dann, wenn es gar nicht schaltet), der Strombedarf ist aber weitgehend unabhängig von der Taktfrequenz.

Weshalb ist CMOS so schnell?

Die Frage betrifft vor allem das Innere hochintegrierter Schaltkreise, wo Frequenzen im GHz-Bereich heutzutage nichts Ungewöhnliches sind. Wir wollen uns hier mit einer ganz einfachen Betrachtung begnügen.

Wir gehen davon aus, daß man das einzelne Gatter im Schaltkreis - aus Sicht der Elektrotechnik - näherungsweise als Kapazität (also als eine Art Kondensator) ansehen kann. Die Schaltgeschwindigkeit wird wesentlich dadurch bestimmt, wie schnell diese Gatterkapazität umgeladen werden kann. Betrachten wir nun beide Technologien:

1. *bipolare Gatter* sind stromgesteuert - damit so ein Gatter funktioniert, muß immer Strom fließen, auch dann, wenn sich die Signalpegel nicht ändern. Die Zeit zum Umladen der Gatterkapazität und damit die Schaltverzögerungszeit t ergibt sich näherungsweise wie folgt:

$$t \sim \frac{C}{I}$$

Um t zu verringern, muß man den Strom I erhöhen und die Kapazität C vermindern. Den Stromfluß kann man aber nicht beliebig steigern. Die Kapazität läßt sich verringern, indem man das Gatter kleiner baut. Je kleiner man aber die Halbleiterstrukturen ausführt, desto geringer wird die zulässige Stromstärke. Das läuft auf eine Art Endpunkt hinaus - irgendwann nützt das weitere Verkleinern nichts mehr. Anders herum gesehen: man kann in Bipolartechnologie durchaus sehr schnelle Gatter bauen, wenn man nur genug Strom fließen läßt (wozu die Schaltungsstrukturen eben entsprechend groß ausgelegt werden müssen). Beispiele: ECL, GaAs.

2. *CMOS-Gatter* sind spannungsgesteuert; sie enthalten an sich nur Schalter, die den Ausgang entweder zur Masse (Low) oder zur Speisespannung (High) durchschalten. Ändert sich der Pegel nicht, so fließen keine Ströme. Bei einer Pegeländerung ergibt sich die Zeit zum Umladen der Gatterkapazität und damit die Schaltverzögerungszeit näherungsweise wie folgt:

$$t \sim R_{\text{DSon}} \cdot C$$

R_{DSon} ist hierin der Kanalwiderstand (zwischen Drain und Source) des jeweils leitenden Feldeffekttransistors. Um t zu verringern, muß man beides vermindern: die Gatterkapazität und den Kanalwiderstand. Und beides paßt auch zusammen: kleinere Gatter haben kleinere Kapazitäten, kleinere Feldeffekttransistoren und kleinere Kanalwiderstände. Die Möglichkeiten der Halbleitertechnologie, immer kleinere Strukturen zu fertigen, können somit bei CMOS bis zum letzten ausgenutzt werden.

Die Vorteile der CMOS-Technologie kommen richtig zur Wirkung, wenn es sich um kleine Gatterstrukturen in hochintegrierten Schaltkreisen handelt, die außer sich selbst (= ihrer eigenen Gatterkapazität) bestenfalls einige Eingänge zu treiben haben, die womöglich nur wenige Hundertstel Millimeter entfernt sind (vgl. Tabelle 3.2).

Anders sieht es aus, wenn richtige Lasten zu treiben sind, z. B. Signalwege auf Leiterplatten. Dann muß auch richtig Strom fließen, und unsere Näherungsrechnung gilt nicht mehr. Und hier haben die Bipolartechnologien ihre Vorteile. Sie sind in der Treibfähigkeit überlegen^{*)} und auch in der Robustheit gegen elektrostatische Entladungen. Auch halten sie die Betriebszustände des Partial Power Down^{**)} aus.

Deshalb gibt es heutzutage zwar ECL-Takttreiber, F-TTL- und BiCMOS-Buskoppelschaltkreise usw., aber keine TTL- oder ECL-Prozessoren.

*) : ein Bipolartransistor kann bis zu fünfmal mehr Strom durchleiten als ein Feldeffekttransistor gleicher Größe.

**): ausgeschaltete Hardware in eingeschalteter Umgebung und umgekehrt (Stromsparen, Wechseln von Funktionseinheiten bei laufendem Betrieb).

Wir merken uns:

- die CMOS-Technologien eignen sich vor allem für hochintegrierte Schaltkreise mit vielen Gatterfunktionen bei eher geringen Anforderungen an die Treibfähigkeit. CMOS-Schaltungsstrukturen können (nahezu) beliebig verkleinert werden. Je kleiner, desto schneller, desto geringer die Speisespannung.
- die Bipolartechnologien haben Vorteile bei hohen Anforderungen an die Treibfähigkeit. Die Schaltungsstrukturen lassen sich aber nicht beliebig verkleinern. Bipolartechnologien kommen deshalb nach wie vor in Frage, wenn es um schnelle Schaltkreise eher geringen Integrationsgrades geht, an die besondere Anforderungen hinsichtlich Treibfähigkeit und Robustheit gestellt werden.

Treibfähigkeit

Die Treibfähigkeit ist von Baureihe zu Baureihe unterschiedlich. Im Gegensatz zu TTL gilt aber grundsätzlich: die Treibfähigkeit einer CMOS-Schaltung ist für beide Logikpegel (mit anderen Worten: für beide Stromflußrichtungen) gleich; die maximalen High- und Low-Ausgangsströme unterscheiden sich zwar im Vorzeichen, aber nicht im Betrag.

TTL-kompatible CMOS-Baureihen (HCT, ACT, AHCT)

TTL-Kompatibilität bedeutet hier:

- TTL-gemäße Versorgungsspannung (5 V),
- TTL-gemäße Eingangspegel für Low und High (vgl. Tabelle 3.1 und Abschnitt 3.2.).

Solche Schaltkreise kann man ohne weiteres an TTL-Ausgänge anschließen. Die offensichtlichen Anwendungen: (1) Kopplung von CMOS- und TTL-Schaltungen, (2) gemischte Bestückung mit TTL und CMOS. Weshalb gibt es nicht nur noch TTL-kompatible CMOS-Schaltkreise? - Die TTL-Kompatibilität wird durch eine besondere Dimensionierung der Eingangsstufen erreicht. Dies bedeutet aber eine längere Verzögerungszeit (typischerweise 1...2 ns). Des Weiteren ist der Störspannungsabstand bei "echten" CMOS-Pegeln besser als bei TTL-Pegeln (vgl. Tabelle 3.1).

Elektrostatische Entladungen (ESD)

CMOS-Schaltkreise sind gegen elektrostatische Entladung (Electrostatic Discharge ESD) sehr empfindlich, so daß beim Umgang mit solchen Schaltkreisen (auch beim Wechseln von Steckkarten und beim Messen) entsprechende Vorsichtsmaßnahmen (Stichwort: Erdung) unbedingt zu befolgen sind.

3.4.2. Herkömmliche CMOS-Baureihen im Überblick

Hier wollen wir jene CMOS-Baureihen kurz vorstellen, die es seit einiger Zeit gibt und die hinsichtlich Speisespannung und Signalpegel herkömmlichen Spezifikationen entsprechen.

Die Baureihen CD4000 und CD4000B

Ungepufferte und gepufferte Ausführungen

Die ersten Typen der CD4000-Reihe waren recht einfache Schaltungen ohne ausgangsseitige

Pufferstufen. Später wurde die Baureihe modernisiert, und es wurden generell Pufferstufen vorgesehen (CD4000B). Es gibt aber nach wie vor einen gewissen Bedarf für ungepufferte Schaltkreise. Mit denen kann man nämlich sehr schön tricksen und Oszillatoren, Zeitglieder usw. aufbauen. Deshalb hat man einige elementare Typen mit ungepufferten Ausgängen auch in den moderneren Baureihen beibehalten (übliche Bezeichnung: CD4000UB).

Kennwerte im Überblick:

- Bereich der Speisespannung (V_{DD}): 3...15 V (als absoluter Grenzwert sind 18 V zulässig),
- geforderte Signalfanken: die Anstiegszeiten (t_{TLH} , t_{THL}) sollten nicht größer sein als 5...15 μ s. Forderungen bei HEF4000: 5 V: 15 μ s, 10 V: 4 μ s, 15 V: 1 μ s.
- Pegel und Schaltzeiten: siehe Tabelle 3.8.

Speisespannung V_{DD}	5 V	10 V	15 V
High-Pegel, eingangsseitig	wenigstens 3,5 V	wenigstens 7 V	wenigstens 11 V
Low-Pegel, eingangsseitig	höchstens 1,5 V	höchstens 3 V	höchstens 4 V
High-Pegel, ausgangsseitig	wenigstens 4,95 V	wenigstens 9,95 V	wenigstens 14,95 V
Low-Pegel, ausgangsseitig	höchstens 0,05 V	höchstens 0,05 V	höchstens 0,05 V
Ausgangsstrom bei High	wenigstens -0,5 mA	bis zu -1,3 mA	bis zu -3,4 mA
Ausgangsstrom bei Low	wenigstens 0,5 mA	bis zu 1,3 mA	bis zu 3,4 mA
Verzögerungszeit (High-Low = Low-High)	höchstens 250 ns (typisch 125 ns)	höchstens 100 ns (typisch 60 ns)	höchstens 70 ns (typisch 45 ns)
Anstiegszeit (High-Low = Low-High)	höchstens 200 ns (typisch 100 ns)	höchstens 100 ns (typisch 50 ns)	höchstens 70 ns (typisch 40 ns)
maximale Taktfrequenz	wenigstens 3,5 MHz	wenigstens 7 MHz	wenigstens 11 MHz

Tabelle 3.8 Kennwerte gepufferter 4000er Schaltkreise

Die Baureihen 74HC und 74HCT

Die HC-Baureihen sind als Gegenstück zu LS-TTL entwickelt worden. Die Vorteile: größerer Betriebsspannungsbereich, höherer Störspannungsabstand, wesentlich geringere Stromaufnahme bei hinreichender Treibfähigkeit (Tabelle 3.9).

von	nach					
	74HC/HCT	4000B	LS-TTL	ALS-TTL	Standard-TTL	S-TTL
74HC/HCT, Standardausgänge (Gatter, Flipflops usw.)	4000	4000	10	20	2	2
74HC/HCT, Buskoppelstufen	> 4000	> 4000	15	30	4	3

Tabelle 3.9 Zur Treibfähigkeit von HC- und HCT-Ausgängen. Es ist angegeben, wieviele Eingänge bzw. Einheitslasten der einzelnen Baureihen jeweils nachgeschaltet werden können (Fan Out)

Kennwerte im Überblick:

- Bereich der Speisespannung (V_{CC}): 2...6 V (als absoluter Grenzwert sind 7 V zulässig),
- geforderte Signalflanken: die Anstiegszeiten (t_{TLH} , t_{THL}) sollten nicht größer sein als 0,4...1 μ s (2 V: 1 μ s, 4,5 V: 500 ns, 6 V: 400 ns),
- Pegel und Verzögerungszeiten: siehe Tabelle 3.10.

Die 74HCT-Baureihe

HCT ist die TTL-kompatible Ausführung der HC-Baureihe.

Kennwerte im Überblick:

- Bereich der Speisespannung (V_{CC}): 4,5...5,5 V (nominell 5 V),
- eingangsseitige Pegel: wie TTL,
- High-Pegel, ausgangsseitig: $V_{CC} - 0,1$ V (wenigstens 3,82 V (typisch 4,2 V) bei $V_{CC} = 4,5$ V und 4 mA Ausgangsstrom),
- Low-Pegel, ausgangsseitig: $\geq 0,1$ V (nicht mehr als 0,33 V bei $V_{CC} = 4,5...6$ V und 4 mA Ausgangsstrom),
- Ausgangsstrom bei High oder Low: jeweils 4 mA,
- Verzögerungszeit (High-Low = Low-High): nicht mehr als 23 ns (typisch 18 ns),
- Anstiegszeit (High-Low = Low-High): nicht mehr als 15 ns (typisch 8 ns); über den gesamten Temperaturbereich nicht mehr als 19 ns,
- geforderte Signalflanken: die Anstiegszeiten (t_{TLH} , t_{THL}) sollten nicht größer sein als 500 ns.

Speisespannung V_{CC}	2 V	4,5 V	6 V
High-Pegel, eingangsseitig	wenigstens 1,5 V	wenigstens 3,15 V	wenigstens 4,2 V
Low-Pegel, eingangsseitig	höchstens 0,5 V	höchstens 1,35 V	höchstens 1,8 V
High-Pegel, ausgangsseitig	wenigstens 1,9 V	wenigstens 4,4 V (3,7 V bei -4 mA)	wenigstens 5,9 V (5,2 V bei -5,2 mA)
Low-Pegel, ausgangsseitig	$\geq 0,1$ V	$\geq 0,1$ V (0,4 V bei 4 mA)	$\geq 0,1$ V (0,4 V bei 5,2 mA)
Ausgangsstrom bei High	wenigstens -0,4 mA	bis zu -4 mA	bis zu -4 mA
Ausgangsstrom bei Low	wenigstens 12 mA	bis zu 4 mA	bis zu 4 mA
Verzögerungszeit (High-Low = Low-High)	höchstens 90 ns (typisch 45 ns)	höchstens 15 ns (typisch 9 ns)	höchstens 13 ns (typisch 8 ns)
Anstiegszeit (High-Low = Low-High)	höchstens 75 ns (typisch 30 ns)	höchstens 15 ns (typisch 8 ns)	höchstens 13 ns (typisch 7 ns)
maximale Taktfrequenz	wenigstens 6 MHz	wenigstens 30 MHz	wenigstens 35 MHz

Tabelle 3.10 Kennwerte von HC-Schaltkreisen im Überblick

Die Baureihen 74AHC und 74AHCT (auch: VHC/VHCT)

Es handelt sich gleichsam um eine modernisierte Neuauflage der bewährten HC- und HCT-Baureihen, ergänzt um zusätzliche Typen (u. a. Einzelgatter und breite Buskoppelschaltkreise).

Die wesentlichen Verbesserungen gegenüber HC/HCT im Überblick:

- Verringerung der Stromaufnahme auf die Hälfte (typische Ruhestromaufnahme 40 μ A),
- Verdreifachung der Geschwindigkeit (typische Verzögerungszeit 5,2 ns),
- verbesserte Treibfähigkeit (± 8 mA bei 5 V, ± 4 mA bei 3,3 V)
- 5-V-Toleranz bei 3,3-V-Betrieb (die Eingänge von Schaltkreisen, die mit 3,3 V gespeist werden, dürfen direkt an 5-V-Ausgänge angeschlossen werden).

Die Baureihen 74AC und 74ACT

AC wurde als schnelle CMOS-Baureihe mit großem Speisespannungsbereich und hoher Treibfähigkeit entwickelt.

Kennwerte im Überblick:

- Bereich der Speisespannung (V_{CC}): 3...5,5 V (nominell: 5 V; als absoluter Grenzwert sind 7 V zulässig),
- Flankensteilheit: die typische Anstiegszeit (Low-High = High-Low) liegt zwischen 2 und 5 ns, je nach der kapazitiven Belastung des Ausgangs,

- geforderte Signalflanken: die Flankensteilheit (Low-High = High-Low) sollte wenigstens 10 ns/V sein; das entspricht einer Anstiegszeit von höchstens etwa 20 ns,
- Pegel und Schaltzeiten: siehe die Tabellen 3.11 und 3.12,
- maximale Taktfrequenz: wenigstens 100 MHz bei 3,3 V, wenigstens 125 MHz bei 5 V.

Speisespannung V_{CC}	3 V	4,5 V	5,5 V
High-Pegel, eingangsseitig	wenigstens 2,1 V	wenigstens 3,15 V	wenigstens 3,85 V
Low-Pegel, eingangsseitig	höchstens 0,9 V	höchstens 1,35 V	höchstens 1,65 V
High-Pegel, ausgangsseitig	wenigstens 2,1 V (2,48 V bei -4 mA)	wenigstens 4,4 V (3,8 V bei -24 mA)	wenigstens 5,4 V (4,8 V bei -24 mA)
Low-Pegel, ausgangsseitig	$\geq 0,1$ V (0,44 V bei 12 mA)	$\geq 0,1$ V (0,44 V bei 24 mA)	$\geq 0,1$ V (0,44 V bei 24 mA)
Ausgangsstrom bei High	bis zu -4 mA	bis zu -24 mA	bis zu -24 mA
Ausgangsstrom bei Low	bis zu 12 mA	bis zu 24 mA	bis zu 24 mA

Tabelle 3.11 Statische Parameter (Pegel, Ausgangsströme) der 74AC-Schaltkreise

Speisespannung V_{CC}	Verzögerungszeit Low-High	Verzögerungszeit High-Low
$3,3 \pm 0,3$ V	mindestens 1,5 ns; höchstens 11,1 ns (typisch: 7,2 ns)	mindestens 1,5 ns; höchstens 9,6 ns (typisch 5,8 ns)
$5 \pm 0,5$ V	mindestens 1,5 ns; höchstens 7,4 ns (typisch: 5 ns)	mindestens 1,5 ns; höchstens 6,8 ns (typisch 4,4 ns)

Tabelle 3.12 Schaltzeiten der 74AC-Schaltkreise

Die ACT-Baureihe

ACT ist die TTL-kompatible Ausführung der AC-Baureihe.

Kennwerte im Überblick:

- Bereich der Speisespannung (V_{CC}): 4,5...5,5 V (nominell 5 V),
- eingangsseitige Pegel: wie TTL,
- High- und Low-Pegel, ausgangsseitig: wie AC,
- Ausgangsstrom bei High oder Low: wie AC (jeweils wenigstens 24 mA),
- Verzögerungszeit High-Low: wenigstens 1,5 ns; höchstens 12,3 ns (typisch 7,2 ns),
- Verzögerungszeit Low-High: wenigstens 1,5 ns; höchstens 8,8 ns (typisch 5,8 ns),
- Flankensteilheit: wie AC,
- geforderte Signalflanken: wie AC.

Die FCT-Baureihen

FCT wurde als kompatibles Gegenstück zu F-TTL entwickelt (gleiche Geschwindigkeit, ähnliches Treibvermögen, wesentlich geringere Stromaufnahme (Beispiel: 74FCT: ca. 50 mW, 74F ca. 500 mW)).

Mittlerweile gibt es verschiedene Abarten: schneller als 74F, mit verringertem Spannungshub an den Ausgängen, mit Serienwiderständen an den Ausgängen, mit geringerer Speisespannung (3,3 V) usw. Das Schaltkreissortiment ist typischerweise auf Koppel- und Interfaceschaltungen abgestellt (Bustreiber, Register, Multiplexer, Decoder usw.).

Kennwerte im Überblick):*

- Bereich der Speisespannung (V_{CC}): 4,5...5,5 V (nominell 5 V),
- eingangsseitige Pegel: wie TTL,
- High-Pegel, ausgangsseitig: wenigstens 2,4 V bei 15 mA Ausgangsstrom (typisch 3,5 V),
- Low-Pegel, ausgangsseitig: $\geq 0,1$ V (nicht mehr als 0,5 V bei 48 mA Ausgangsstrom),
- Ausgangsstrom bei High: wenigstens - 15 mA,
- Ausgangsstrom bei Low: wenigstens 48 mA,
- Verzögerungszeit High-Low: wenigstens 1,5 ns; höchstens 7 ns,
- Verzögerungszeit Low-High: wenigstens 1,5 ns; höchstens 6 ns.

*) wir beziehen uns hier auf die Ausführung mit verringertem (= TTL-ähnlichem) Spannungshub an den Ausgängen (FCT-T-Reihe). Der Zweck dieser Auslegung: die Verringerung der Störabstrahlung und der gegenseitigen Störbeeinflussung (auf der Leiterplatte).

3.5. Herkömmliche BiCMOS-Baureihen (BCT, ABT)

BiCMOS-Schaltkreise haben CMOS-Eingänge und CMOS-Logik, aber bipolare Ausgangsstufen. Diese Technologie verbindet die niedrige Leistungsaufnahme von CMOS mit der Geschwindigkeit und Treibfähigkeit bipolarer Schaltungen.

BiCMOS-Eingänge sind TTL-kompatibel. Statisch belegte Eingänge brauchen - wie bei CMOS - praktisch keinen Strom.

Die BiCMOS-Technologie wird für Buskoppel- und Treiberstufen verwendet. Viele BiCMOS-Schaltkreise entsprechen in ihrer Funktionsweise verbreiteten Typen der anderen Baureihen (sie haben aber oft andere Gehäuse).

Leistungsaufnahme in Abhängigkeit von der Frequenz

Ein besonderer Vorteil bipolarer Schaltungen: die Leistungsaufnahme ist nur in geringem Maße frequenzabhängig; sie steigt im besonderen nicht nahezu linear wie bei CMOS. Abbildung 3.12 zeigt dies anhand einer Gegenüberstellung.

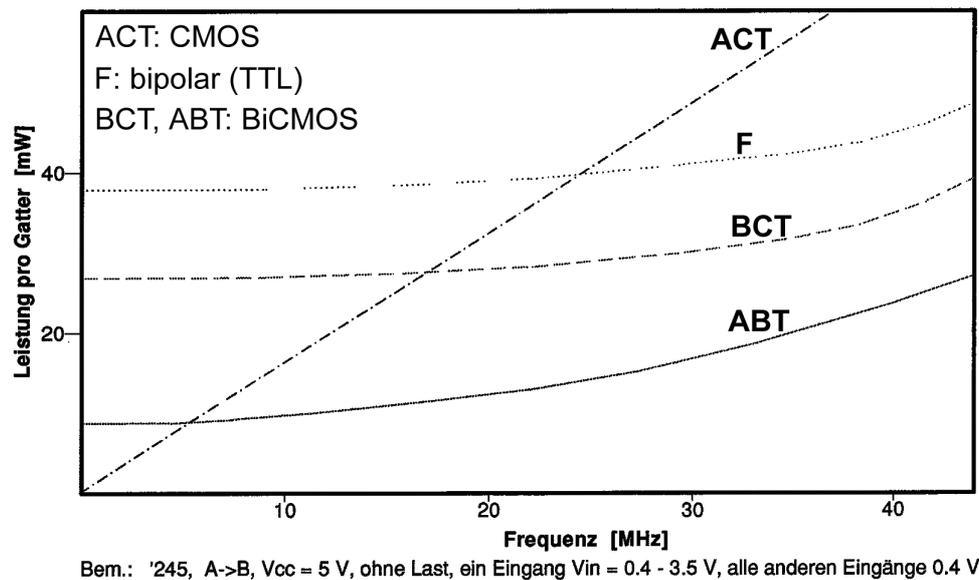


Abbildung 3.12 Leistungsaufnahme in Abhängigkeit von der Frequenz (Texas Instruments)

Interne Speisespannungsüberwachung (Power Down)

Eine neuartige Funktion der BiCMOS-Schaltkreise ist die Überwachung der Speisespannung, wobei die (bipolaren) Ausgänge gesperrt werden, wenn die Speisespannung weniger als 3...3,5 V beträgt. Die Anwendung: Beim Zuschalten werden die Ausgänge erst scharf (enabled), wenn die Speisespannung hochgefahren ist, beim Abschalten werden die Ausgänge inaktiv, sobald die Speisespannung absinkt. Entsprechend ausgelegte Steckkarten mit BiCMOS-Schnittstellen am Steckverbinder kann man somit bedenkenlos bei anliegender Speisespannung austauschen (Stichworte: Hot Plugging, Live Insertion).

Breite Bustreiber

Um hohe Leistungsanforderungen zu erfüllen, hat man herkömmlicherweise die Bussysteme entsprechend breit ausgelegt (parallele Signalübertragung). Es lag deshalb nahe, Treiberschaltkreise für entsprechend viele Bussignale zu entwickeln. Typische Beispiele sind die Widebus- und Widebus+-Baureihen von Texas Instruments, die Schaltkreise für 16, 18, 20, 32 und 36 Bitpositionen enthalten. Moderne Typen sind als Universalschaltkreise ausgelegt (Universal Bus Transceivers).

Schalten mit der ersten Signalflanke (Incident Wave Switching IWS)

Derartige Schaltkreise (IWS Drivers) haben eine extreme Treibfähigkeit. Um die Anwendung zu verstehen, brauchen wir etwas Elektrotechnik: Das Ansteuern (Treiben) einer längeren Leitung (Übertragungsleitung) ist nicht so einfach, wie es auf den ersten Blick aussieht. Wenn man nichts weiter tut, als einfach einen Impuls auf die Leitung zu geben, so ist dessen Vorderflanke meistens nicht sofort brauchbar. Entweder ist die Anstiegszeit einfach zu groß, oder es treten Reflexionen auf, so daß das Signal erst *einschwingen* (also mehrmals auf der Leitung hin- und herlaufen) muß, bevor es korrekt ausgewertet werden kann. Damit die erste Signalflanke ("Wellenfront"), die auf die Leitung gegeben wird, auch (von den angeschlossenen Verbrauchern) sofort auswertbar ist, muß außergewöhnlich viel Strom geliefert werden (Stichwort: Anpassung an einen niedrigen Wellenwiderstand).

Speichertreiber (Memory Drivers)

Speicher, im besonderen DRAMs, müssen mit sauberen Signalen angesteuert werden. Vor allem ist es wichtig, negative Spannungsspitzen zu vermeiden. Dies erfordert irgendeine Form der *Leitungsanpassung*, die herkömmlicherweise mit Widerständen realisiert wird. Spezielle Speichertreiber haben die Anpassungs-Vorkehrungen (z. B. 25-Ohm-Serienwiderstände) bereits eingebaut.

Eingebaute Prüfsignalwege (Boundary Scan)

Mit Boundary Scan bezeichnet man Prüfvorkehrungen in Schaltkreisen, die es ermöglichen, alle "funktionellen" Anschlüsse zu Prüfzwecken gezielt einstellen und abfragen zu können. Dazu enthalten die Schaltkreise einen nach dem Prinzip des Schieberegisters aufgebauten bitseriellen Signalweg. Der Zweck: Man will die Verbindungen zwischen den Schaltkreisen (auf der Leiterplatte) und teils auch die Schaltkreise selbst im eingebauten Zustand umfassend prüfen können. BiCMOS-Bustreiber mit dieser Vorkehrung erlauben es, komplexe Systeme (mit mehreren breiten Busstrukturen usw.) prüfgerecht auszulegen.

Bushalteschaltung (Bus Hold)

Tri-State-Leitungen, die nicht angesteuert werden, führen, wenn nichts dagegen getan wird, ein undefiniertes (schwebendes) Potential. Ein Ausweg ist die Bushalteschaltung, die die jeweils letzte Belegung der Leitung aufrechterhält. Manche BiCMOS-Schaltkreise haben solche Schaltungen an den Eingängen und an bidirektionalen Anschlüssen. (Dazu gehören die 3,3-V-LVT-Typen und einige ABT-Typen.) Die Halteschaltung gewährleistet einen Stromfluß von $\pm 100 \mu\text{A}$ (das ist vollkommen ausreichend, um alle Anforderungen zu erfüllen, die durch CMOS-typische Leckströme gegeben sind).

Kennwerte im Überblick (anhand von Beispielen)

Beispiel 1: 74ABT125 (ein Schaltkreis ohne Besonderheiten):

- Bereich der Speisespannung (V_{CC}): 4,5...5,5 V (nominell 5 V),
- eingangsseitige Pegel: wie TTL,
- High-Pegel, ausgangseitig: wenigstens 3 V,
- Low-Pegel, ausgangseitig: nicht mehr als 0,55 V (bei 64 mA Ausgangsstrom),
- Ausgangsstrom bei High: bis zu -32 mA,
- Ausgangsstrom bei Low: bis zu 64 mA,
- die maximalen Verzögerungszeiten liegen zwischen 4,6 und 4,9 ns,
- Auf- und Abschaltzeiten von Tri-State-Ausgängen: ca. 7 ns (typisch: etwa 3 ns),
- Flankensteilheit: die typische Anstiegszeit (Low-High = High-Low) liegt zwischen 2 und 5 ns, je nach der kapazitiven Belastung des Ausgangs.

Beispiel 2: SN74ABT25241 (besonders hohe Treibfähigkeit (IWS-Treiber)):

- High-Pegel, ausgangseitig: wenigstens 2,4...2,7 V (2,4 V bei -80 mA Ausgangsstrom),
- Low-Pegel, ausgangseitig: nicht mehr als 0,55...0,7 V (0,7 V bei 188 mA Ausgangsstrom),
- Ausgangsstrom bei High: bis zu -80 mA,

- Ausgangsstrom bei Low: bis zu 188 mA,
- die maximalen Verzögerungszeiten liegen zwischen 5 und 7 ns.

Beispiel 3: SN74ABT2240 (Treiber mit Serienwiderständen):

- High-Pegel, ausgangsseitig: wenigstens 2...3 V (wenigstens 2 V bei -32 mA Ausgangsstrom),
- Low-Pegel, ausgangsseitig: nicht mehr als 0,8 V (bei 12 mA Ausgangsstrom),
- Ausgangsstrom bei High: bis zu -32 mA,
- Ausgangsstrom bei Low: bis zu 12 mA,
- die maximalen Verzögerungszeiten liegen zwischen 4,8 und 6 ns.

3.6. Niederspannungs-Baureihen

Es gibt zwei Gründe, die Speisespannung zu verringern: (1) Verminderung der Verlustleistung (Stromsparen), (2) Erhöhung des Integrationsgrades durch kleinere Abmessungen der Halbleiterstrukturen. Deshalb werden mehr und mehr Schaltungen für eine Speisespannung von 3,3 V und weniger ausgelegt. In diesem Spannungsbereich braucht man vor allem Koppel- und Treiberschaltkreise sowie einige elementare Gatter, Flipflops usw. für einfache Restlogik. Welche Lösungen bieten sich dafür an?

- die Nutzung vorhandener CMOS-Baureihen,
- die Entwicklung neuer CMOS-Schaltkreise,
- die Entwicklung von BiCMOS-Schaltkreisen.

CMOS hat den Nachteil einer vergleichsweise geringen Treibfähigkeit. Herkömmliche, an sich für 5 V vorgesehene CMOS-Schaltkreise werden, mit sehr niedrigen Spannungen (z. B. mit 3,3 V) gespeist, recht langsam. Es ist also notwendig, eigens optimierte Schaltkreise zu entwickeln.

Die ersten 3,3-V-Baureihen

Am Anfang der Entwicklung standen u. a. die Baureihen der Low Voltage Technology (LV) von Texas Instruments (Tabelle 3.13).

Die LVT-Reihe enthält Treiber- und Buskoppelschaltkreise und kann auch in gemischten Schaltungen (mit 5 V und 3,3 V) eingesetzt werden (Mixed Mode Capability). LVT ist bevorzugt zur Kopplung mit 5-V-ABT vorgesehen (LVT hat die gleiche Treibfähigkeit). LVT ist eingangsseitig TTL-kompatibel. An Ausgängen werden bei High wenigstens 2 V (bei geringeren Strömen 2,4 V) gewährleistet, so daß die Schaltkreise mit beliebigen anderen TTL-kompatiblen Baureihen zusammenschaltet werden können.

Die LVC- und LV-Reihen enthalten neben Treiber- und Buskoppelschaltkreisen auch elementare Logikfunktionen. LV entspricht HC/HCT, LVC entspricht AC/ACT. Die Kopplung mit HC/HCT- oder AC/ACT-Schaltkreisen ist möglich, sofern diese ebenfalls mit 3,3 V betrieben werden.

Baureihe	SN74 LVT	SN74 LVC	SN74 LV
Technologie	Advanced BiMOS	CMOS (0,8 µm)	CMOS (2,0 µm)
Geschwindigkeit	sehr hoch; vergleichbar mit 5V-ABT	hoch; wie 5V-74F oder AC	mittel; vergleichbar mit 5V-HC
Treibfähigkeit	hoch; wie 5V-ABT	mittel; wie 5V-ACL	gering; wie 5V-HC
Leistungsaufnahme	auch bei hohen Frequenzen gering	sehr gering	sehr gering
Speisespannungs- bereich (V _{CC})	2,7...3,6 V	2...3,6 V	2...5,5 V
Verzögerungszeiten (am Beispiel des '245 Bus-Transceivers)	2,4 ns typisch; 4 ns maximal	4 ns typisch; 6,5 ns maximal	9 ns typisch; 18 ns maximal
Treibfähigkeit (am Beispiel des '245 Bus-Transceivers)	bei High wenigstens -32 mA; bei Low wenigstens 64 mA	wenigstens ± 24 mA bei 3,3 V;	bei High wenigstens -8 mA; bei Low wenigstens 8 mA
5-V-Toleranz	Ein- und Ausgänge	Ein- und Ausgänge	nur bei 5V-Speisung

Tabelle 3.13 3,3-V-Logik: Übersicht über LV-Baureihen (Texas Instruments)

Moderne Logikbaureihen im Überblick

Die Hersteller sind bemüht, die Anforderungen des Marktes sowohl in Hinsicht auf die verschiedenen Betriebsspannungsbereiche als auch in Hinsicht auf die Leistungskennwerte (Geschwindigkeit, Treibfähigkeit usw.) zu erfüllen. Hierzu wird ein breites Spektrum an Baureihen angeboten (Abbildungen 3.13, 3.14, Tabellen 3.14, 3.15).

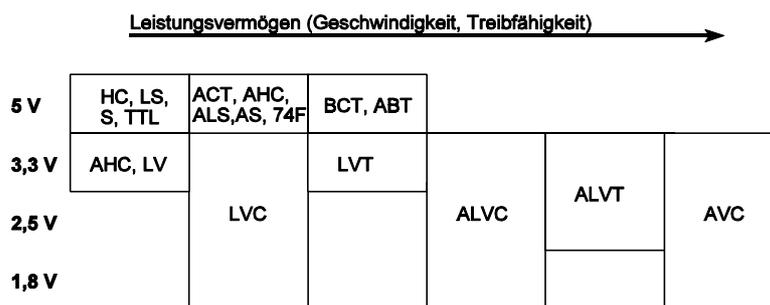


Abbildung 3.13 Moderne Logikbaureihen (nach: Texas Instruments)

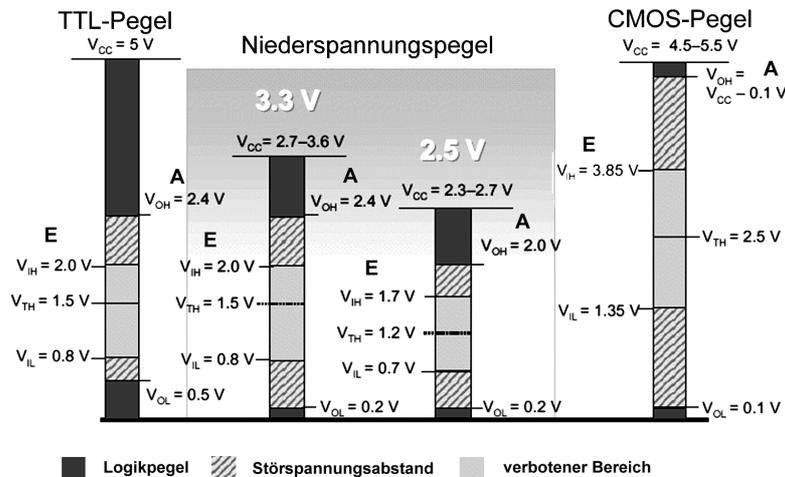


Abbildung 3.14 Logikpegel im Vergleich (Texas Instruments)

Baureihe	besondere Merkmale
ALB	<ul style="list-style-type: none"> BiCMOS-Technologie, vorzugsweise 3,3 V Speisespannung, Treibfähigkeit bis zu 25 mA, maximale Verzögerungszeit 2,2 ns, vorzugsweise Buskoppelschaltkreise (Widebus-Funktionen) in kleinen Gehäusen
ALVC	<ul style="list-style-type: none"> CMOS-Technologie, vorzugsweise 3,3 V, Treibfähigkeit $\pm 24\text{ mA}$, geringe Ruhestromaufnahme (typisch $40\text{ }\mu\text{A}$), typische Verzögerungszeit unter 3 ns, vorzugsweise für Buskopplung und Speicherinterfaces
ALVT	<ul style="list-style-type: none"> BiCMOS-Technologie, vorzugsweise 3,3 und 2,5 V Speisespannung, 5-V-tolerante Eingänge, geringe Ruhestromaufnahme (typisch $330\text{ }\mu\text{W}$), Verzögerungszeit 2,4 ns bei 3,3 V, 3 ns bei 2,5 V; Treibfähigkeit bis 64 mA bei 3,3 V, bis zu 24 mA bei 2,5 V, LVT-kompatibel, vorzugsweise Buskoppelschaltkreise (Widebus-Funktionen) in kleinen Gehäusen
AVC	<ul style="list-style-type: none"> Speisespannungsbereich 1,2...3,6 V; Schaltkreise optimiert für 2,5 V, Verzögerungszeit: 1,67 ns bei 3,3 V, 1,9 ns bei 2, V, 3,2 ns bei 1,8 V, Treibfähigkeit: 12 mA bei 3,3 V, 8 mA bei 2,5 V, 4 mA bei 1,8 V sowohl Grundgatter als auch Buskoppelschaltkreise (von 8 bis 32 Bits)

Tabelle 3.14 Moderne Niederspannungs-Logikbaureihen (Texas Instruments)

LVTTTL, LVCMOS

Beides sind allgemeine Logikspezifikationen für CMOS-Schaltkreise, die eine Speisespannung von 3 oder 3,3 V haben. Der betreffende JEDEC-Standard: JESD8-A.

- Eingangskennwerte (beide Spezifikationen): Low-Pegel: höchstens 0,8 V; High-Pegel: mindestens 2,0 V (wie TTL).
- Ausgangskennwerte LVTTTL: Low-Pegel: höchstens 0,4 V; High-Pegel: wenigstens 2,4 V (wie TTL).
- Ausgangskennwerte LVCMOS: Low-Pegel: höchstens 0,2 V; High-Pegel: wenigstens $V_{DD} - 0,2$ V.

Bezeichnung	vorzuziehende Anwendung	besondere Merkmale
LCX (\triangleq LVC)	Puffer- und Koppelfunktionen auf Leiterplatten	<ul style="list-style-type: none"> ■ CMOS-Technologie, ■ Speisespannung 2...3,6 V ■ Verzögerungszeiten 4,5...6,5 ns ■ Treibfähigkeit bis zu 24 mA (kann 50-Ohm-Leitungen treiben), ■ 5V-Toleranz an den Ein- und Ausgängen, ■ Gatter, MSI-Typen und Buskoppelstufen bis zu 16 Bits
VCX (\triangleq ALVC)	wie LCX, aber höhere Geschwindigkeit und geringere Speisespannungen	<ul style="list-style-type: none"> ■ CMOS-Technologie, ■ Speisespannung 1,65...3,6 V ■ Verzögerungszeiten maximal 2,5 ns bei 3,3 V, 3,2 ns bei 2,5 V, ■ Treibfähigkeit wie LCX, ■ Sortiment ähnlich LCX
LVT	Treiber von Signalen, die Leiterplattengrenzen verlassen	<ul style="list-style-type: none"> ■ Speisespannung 2...3,6 V, ■ für direkten Batteriebetrieb (ohne Spannungsregler) geeignet, ■ 5V-tolerante Eingänge, ■ 8- und 16-Bit-Buskoppelstufen
LVX (\triangleq LV)	allgemeine Anwendung in Systemen mit mehreren Speisespannungen	<ul style="list-style-type: none"> ■ Speisespannung (wie LVT) ■ 5V-tolerante Eingänge, ■ Gatter, MSI-Typen und 8-Bit-Buskoppelstufen

Tabelle 3.15 Moderne Niederspannungs-Logikbaureihen (Fairchild)

3.7. Weitere Logikspezifikationen im Überblick

Es gibt eine Vielzahl von Interfacespezifikationen. Wir haben es sowohl mit den Standards der unabhängigen Organisationen (z. B. der PCI SIG und des JEDEC) zu tun als auch mit herstellerspezifischen (proprietären) Lösungen (wie beispielsweise Rambus und AGP). Was die modernen Standards vor allem bestimmt, sind die Grundprobleme der Elektrotechnik: Signallaufzeiten, Kennwertänderungen, Toleranzen, Leitungsabschluß, Übersprechen, Störabstrahlung, Störbeeinflussung usw.). *Wir merken uns:* je schneller das Interface, desto sorgfältiger müssen diese Fragen angegangen werden; von bestimmten Frequenzen an (Richtwert: von 33 MHz an aufwärts) kann man sich nicht mehr darauf berufen, daß ja nur zwei Signalzustände (Low und High) zu übertragen seien und daß man es deshalb nicht allzu genau nehmen müsse.

Im folgenden wollen wir uns auf einige typische Spezifikationen beschränken, die noch in den Bereich der "Logik" gehören (soll heißen: Schaltkreise auf Leiterplatten untereinander verbinden).

3.7.1. CMOS-Logik mit besonders niedrigen Speisespannungen

Die zuständigen Standards: JESD76-x. Tabelle 3.16 gibt einen Überblick über Speisespannungen und Signalpegel.

Standard	Speise- spannung (V)	Low-Pegel		High-Pegel	
		am Eingang	am Ausgang	am Eingang	am Ausgang
1,8 V (JESD76)	1,65...1,95	0,35 $V_{DD}^{*)}$	$\geq 0,2$ V bei 100 μ A; 0,45 V_{DD} bei 2 mA	0,65 $V_{DD}^{*)}$	$V_{DD}-0,2$ V bei - 100 μ A; $V_{DD} - 0,45$ V bei - 2 mA
1,5 V (JESD76-3)	1,4...1,6	0,35 $V_{DD}^{*)}$	$\geq 0,2$ V bei 100 μ A; 0,25 V_{DD} bei 2 mA	0,65 $V_{DD}^{*)}$	$V_{DD}-0,2$ V bei - 100 μ A; 0,75 V_{DD} bei - 2 mA
1,2 V (JESD76-2)	1,1...1,3	0,35 $V_{DD}^{*)}$	$\geq 0,1$ V bei 100 μ A; 0,25 V_{DD} bei 2 mA	0,65 V_{DD}^{**}	$V_{DD}-0,1$ V bei - 100 μ A; 0,75 V_{DD} bei - 2 mA

*) die Grenzwerte: Low $\geq - 0,3$ V; High $\leq V_{DD} + 0,3$ V. V_{DD} = Speisespannung (sonst: V_{CC})

Tabelle 3.16 CMOS-Logik mit besonders niedriger Speisespannung. Pegelkennwerte (JEDEC)

3.7.2. Stub Series Terminated Logic (SSTL)

Die einschlägigen Standards betreffen Hochgeschwindigkeits-Signalwege mit folgenden Merkmalen:

- die einzelnen Einrichtungen sind über Stichleitungen (Stubs) angeschlossen,
- zwischen Treiberausgang und Signalweg ist typischerweise ein Widerstand angeordnet, der als Leitungsabschluß dient (Series Termination),

- die Treiberstufen haben typischerweise besondere Speisespannungsanschlüsse,
- der Empfänger wertet die Signale mit Bezug auf eine Referenzspannung aus,
- es gibt verschiedene Konfigurationen des Leitungsabschlusses.

Es gibt zwei Spezifikationen:

- Stub Series Terminated Logic for 3,3 V (SSTL_3) gemäß JESD8-8,
- Stub Series Terminated Logic for 2,5 V (SSTL_2) gemäß JESD8-9A (diese Spezifikation gilt auch für die DDR-Speichersubsysteme).

Wir wollen uns im folgenden auf einen knappen Überblick beschränken (Abbildungen 3.15 bis 3.18, Tabellen 3.17, 3.18). Dabei beziehen wir uns auf SSTL_2 und auf den im PC-Bereich typischen Einsatzfall, nämlich auf die DDR-DRAM-Speichersubsysteme.

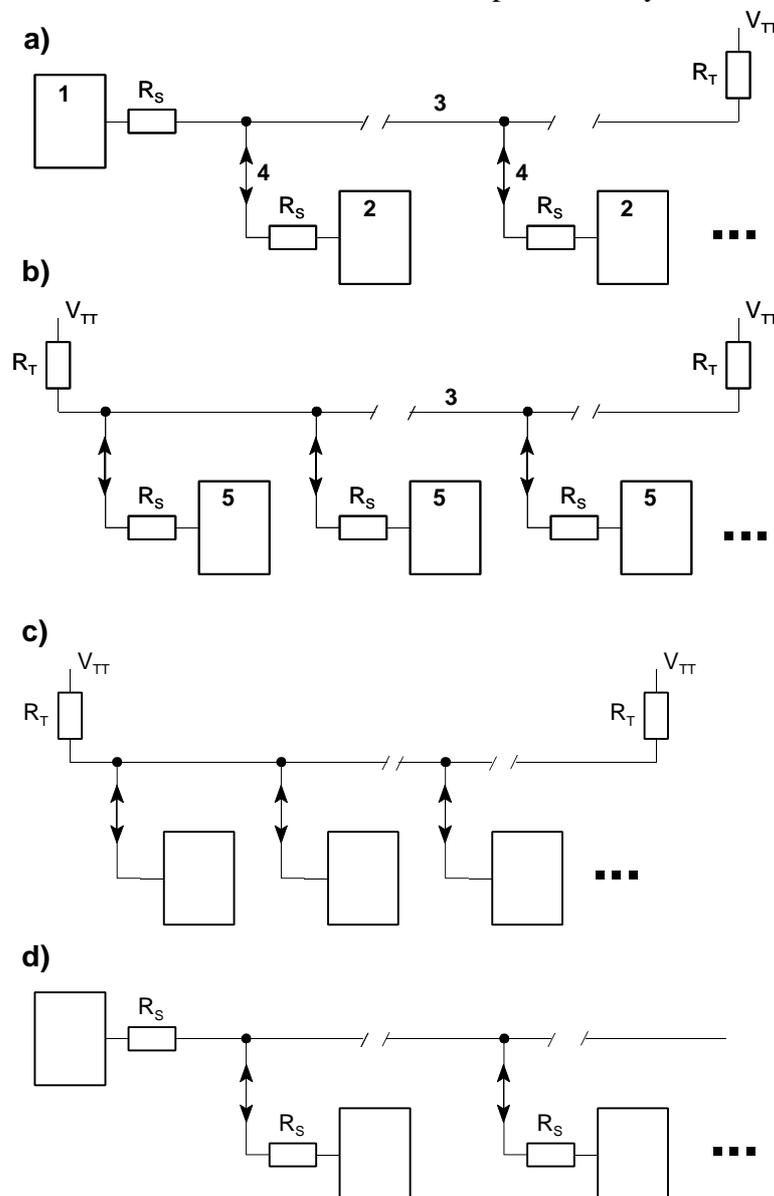


Abbildung 3.15 Typische SSTL-Buskonfigurationen

Erklärung zu Abbildung 3.15:

1 - Speichersteuerung (Memory Controller); 2 - Speichermoduln; 3 - Busleitung; 4 - Stichleitungen (Stubs); 5 - beliebige Einrichtungen am Bus; R_S - Serienwiderstand; R_T - Abschlußwiderstand; V_{TT} - Abschlußspannung.

- a) typische Konfiguration eines Speichersubsystems mit einseitigem Leitungsabschluß. An dem einen Ende des Bus sitzt der Speichersteuerschaltkreis, am anderen Ende werden die Busleitungen abgeschlossen.
- b) Bussystem mit beidseitigem Leitungsabschluß und Serienwiderständen,
- c) Bussystem mit beidseitigem Leitungsabschluß ohne Serienwiderstände,
- d) Bussystem mit Serienwiderständen, aber ohne Leitungsabschluß.

Die Standards lassen verschiedene Konfigurationen zu (wir haben hier nur einige Beispiele gezeigt). Die Auswahl richtet sich nach der zu erreichenden Datenrate, nach den konkreten Betriebsbedingungen und nach der Beschaffenheit der Signalwege (u. a. nach der Länge der Bus- und der Stichleitungen).

Ein Signalweg, über den Daten mit Impulsfrequenzen von 100 MHz und mehr übertragen werden, ist idealerweise eine homogene, beidseitig mit ihrem Wellenwiderstand abgeschlossene Leitung. "Homogen" heißt hier: ein gerades Stück Draht - oder eine gerade Leiterbahn - ohne Anzapfungen o. dergl. Ein Bussystem läßt sich aber so nicht aufbauen, da die einzelnen Einrichtungen irgendwie angeschlossen werden müssen. Die herkömmliche Auslegung (Slots oder Steckfassungen mit eingesteckten Karten oder Moduln) führt zu ziemlich langen Abzweig- bzw. Stichleitungen (Stubs). Ändert ein Treiber den Pegel auf einer solchen Leitung, so wird sich eine neue stabile Signalbelegung nicht sofort (= mit der ersten Wellenfront) einstellen. Statt dessen kommt es anfänglich zu Reflexionen, so daß mehrere Signallaufzeiten (im Sinne von hin und zurück (Round Trip Delay)) vergehen, bis der neue Signalpegel stabil anliegt (Einschwingzeit). Die Serienwiderstände dienen dazu, die Reflexionen zu dämpfen und somit die Einschwingzeit zu verkürzen.

Die Konfiguration gemäß Abbildung 3.15a hat folgenden Vorteil: da es nur einen Abschlußwiderstand gibt, kann man ihn vergleichsweise niederohmig auslegen, so daß die Leitung tatsächlich näherungsweise mit ihrem Wellenwiderstand abgeschlossen werden kann^{*)}. Ganz perfekt ist das nicht, aber es vermindert die Einschwingzeit auf nur eine Signallaufzeit (vom Steuerschaltkreis zum Abschlußwiderstand und zurück).

^{*)}: Richtwerte: Wellenwiderstand einer Signalleitung in einem bestückten DDR-Speichersubsystem um 28 Ohm, Abschlußwiderstand R_T typisch 25 Ohm, Serienwiderstand R_S typisch 22 Ohm.

Auch kommt die Betriebsweise eines Speichersubsystems dieser Auslegung entgegen: die Signale vom Controller müssen von allen Speichermoduln empfangen werden, die Signale vom ausgewählten Speichermodul hingegen nur vom Controller.

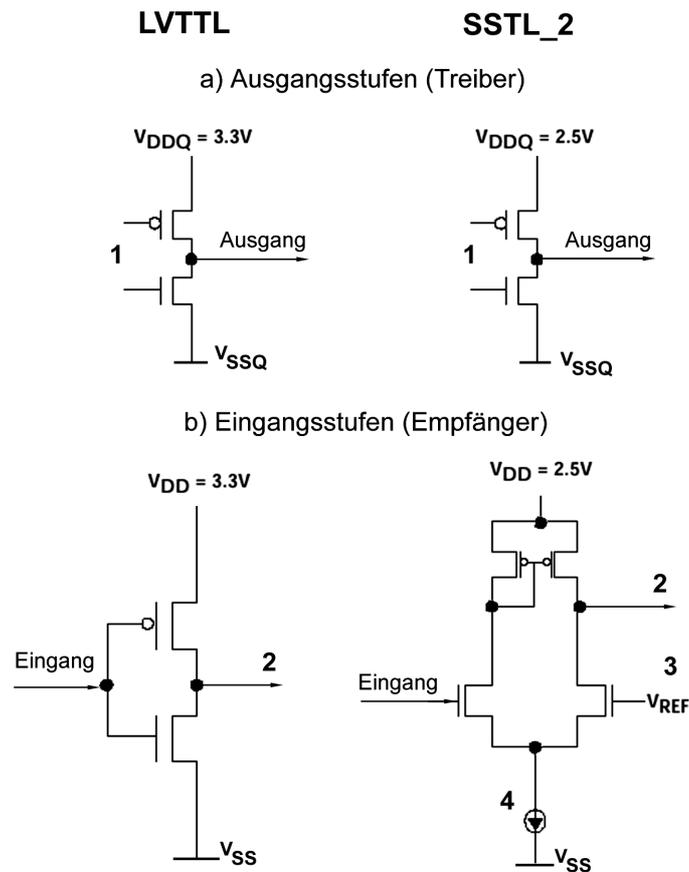


Abbildung 3.16 Ausgangs- und Eingangsstufen im Vergleich (nach: Micron)

Erklärung:

1 - Ansteuersignale; 2 - empfangene Signale; 3 - Referenzspannung; 4- Konstantstromquelle.

Der Wellenwiderstand typischer Signalleitungen ist gering, also sind entsprechend niederohmige Abschlußwiderstände zu treiben. Eine Lösung: viel hilft viel - soll heißen: Treiberstufen mit hinreichendem Treibvermögen (Stichwort: Incident Wave Switching (IWS; vgl. Seite 168)). Auf PC-Motherboards ist so etwas aber undurchführbar (typische Speicherinterfaces haben an die 100 Signalleitungen ...). Es gilt also, mit viel geringeren Strömen auszukommen; die Treiberstufen müssen sich noch im Steuerschaltkreis und in den Speicherschaltkreisen unterbringen lassen. Die Abbildung zeigt eine herkömmliche Technologie (LVTTL^{*)}) und SSTL_2 in der Gegenüberstellung.

^{*)}: wird u. a. bei den SDR-SDRAMs eingesetzt.

- Treiber. In beiden Fällen werden herkömmliche CMOS-Treiberstufen eingesetzt. Man sieht typischerweise besondere Speisespannungs- und Masseanschlüsse für die Treiberstufen vor (V_{DDQ} , V_{SSQ}). SSTL_2 arbeitet mit einer auf 2,5 V verringerten Speisespannung.
- Empfänger. Der LVTTL-Empfänger ist ein einfacher CMOS-Inverter (Negator). Vorteile: (1) Einfachheit, (2) sehr geringer Strombedarf bei statischen Pegeln (Low oder High) am Eingang. Speisespannung und Temperatur haben aber großen Einfluß auf die

Schwellenspannung, auch wirkt sich die Kennwertstreuung der Fertigung aus - vor allem deshalb, weil die beiden Transistoren von unterschiedlichem Leitfähigkeitstyp sind (N-Kanal, P-Kanal). Damit solche CMOS-Eingänge zuverlässig funktionieren, ist ein vergleichsweise großer Signalhub (Voltage Swing) erforderlich.

Der SSTL-Empfänger hingegen ist ein Differenzverstärker, der das Eingangssignal mit einer Referenzspannung V_{REF} vergleicht. Hierdurch gibt es nur eine sehr geringe Streuung der Schwellenspannung (hinzu kommt, daß beide Transistoren vom gleichen Leitfähigkeitstyp sind, so daß sich die Kennwertstreuungen in der Fertigung nur gering auswirken). Da die Schwellenspannung präzise festliegt, kommt man mit einem viel geringeren Signalhub aus. Der Differenzverstärker schaltet aber, anders als der CMOS-Inverter, keine Spannung um, sondern einen Strom. Deshalb fließt auch bei statischer Eingangsbelegung ein Dauerstrom. Abhilfe (z. B. in den DDR-DRAMs): die meisten Empfänger werden abgeschaltet, wenn nichts zu empfangen ist (und die Interfaceprotokolle werden so festgelegt, daß das funktioniert).

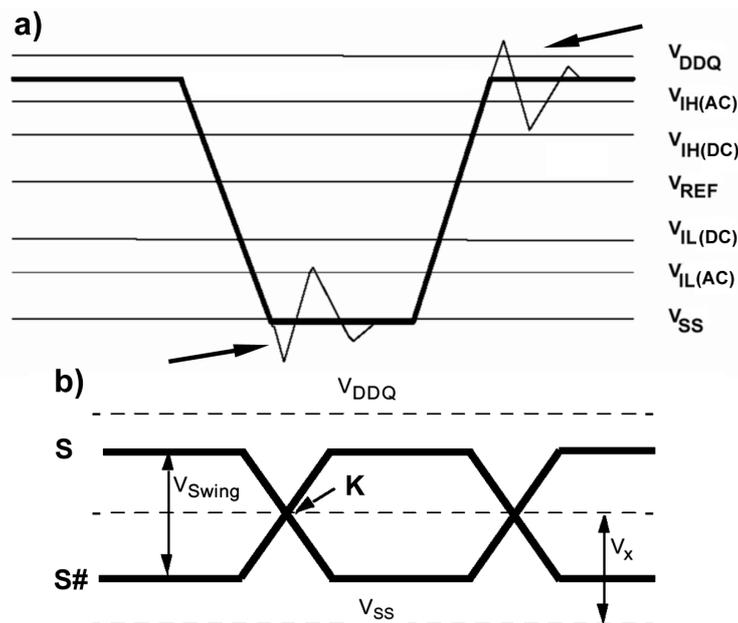


Abbildung 3.17 SSTL-Signalpegel (JEDEC)

Erklärung:

- Signalübertragung gegen Masse (Single Ended Transmission). Daß Signalfanken zu Reflexionen und damit zu Schwingungen (Ringing) führen, hat man hier berücksichtigt - man hat eigens sog. Wechselspannungskennwerte (AC Parameters) eingeführt. Die üblichen Pegelkennwerte (die statisch anliegende Signale betreffen) heißen hier Gleichspannungskennwerte (DC Parameters). Wichtig ist: der Empfänger muß bereits auf die anfänglich noch zappelnden Signale (Pfeile) richtig reagieren. Solange die Eingangsbelegung die jeweilige statische Pegelspezifikation erfüllt (Tabelle 3.17)*, darf er nicht wieder auf den anderen Pegel zurückschalten.
- differenzielle Signalübertragung über ein komplementäres Leitungspaar S , $S\#$). Der Empfänger vergleicht hier nicht eine feste Referenzspannung mit dem Signal. Vielmehr

liegt an seinem einen Eingang das Signal S und an seinem anderen - anstelle der Referenzspannung - das Signal $S\#$ an. Wenn $S > S\#$, erkennt der Empfänger eine Eins, wenn $S < S\#$ eine Null. Maßgebend ist also der Spannungshub (V_{Swing}) zwischen beiden Eingängen (Tabelle 3.18). Der Empfänger beginnt mit dem Umschalten, wenn beide Spannungen gleiche Pegel haben (Kreuzungspunkt K).

*) : Beispiel (vgl. Tabelle 3.17): das Signal schaltet von Low nach High. Der Empfänger muß einen Signalpegel von $V_{\text{REF}} + 0,35 \text{ V}$ als High sehen, und er muß diese High-Belegung solange halten, wie der Signalpegel wenigstens $V_{\text{REF}} + 0,18 \text{ V}$ beträgt.

**): beim DDR-SDRAM nur für die Taktsignale üblich.

Kennwert	minimal	typisch	maximal
Speisespannung V_{DDQ}	2,3 V	2,5 V	2,7 V
Referenzspannung V_{REF}	1,15 V	1,25 V	1,35 V
Abschlußspannung V_{TT}	$V_{\text{REF}} - 0,04 \text{ V}$	V_{REF}	$V_{\text{REF}} + 0,04 \text{ V}$
Wechselspannungskennwerte (AC)			
Low-Eingangspegel $V_{\text{IH(AC)}}$			$V_{\text{REF}} - 0,35 \text{ V}$
High-Eingangspegel $V_{\text{LH(AC)}}$	$V_{\text{REF}} + 0,35 \text{ V}$		
Gleichspannungskennwerte (DC)			
Low-Eingangspegel $V_{\text{IH(DC)}}$	- 0,3 V		$V_{\text{REF}} - 0,18 \text{ V}$
High-Eingangspegel $V_{\text{LH(DC)}}$	$V_{\text{REF}} + 0,18 \text{ V}$		$V_{\text{DDQ}} + 0,3 \text{ V}$
Ausgangsstrom bei Low $I_{\text{OL(DC)}}$	15,2 mA		
Ausgangsstrom bei High $I_{\text{OH(DC)}}$	- 15,2 mA		

Tabelle 3.17 SSTL_2: Signalübertragung gegen Masse. Ausgewählte Kennwerte

Kennwert	minimal	maximal
DC-Spannungshub $V_{\text{SWING(DC)}}$	0,36 V	$V_{\text{DDQ}} + 0,6 \text{ V}$
AC-Spannungshub $V_{\text{SWING(AC)}}$	0,70 V	$V_{\text{DDQ}} + 0,6 \text{ V}$
AC-Pegel des Kreuzungspunktes (Cross Point Voltage) $V_{\text{X(AC)}}$	$0,5 V_{\text{DDQ}} - 0,2 \text{ V}$	$0,5 V_{\text{DDQ}} + 0,2 \text{ V}$

Tabelle 3.18 SSTL_2: differentielle Signalübertragung. Ausgewählte Kennwerte

SSTL_2 im Überblick:

- Speisespannung $V_{\text{DDQ}} = 2,5 \text{ V}$, Referenzspannung = Abschlußspannung = $0,5 V_{\text{DDQ}} = 1,25 \text{ V}$ (halbe Speisespannung),
- Referenzspannung und Abschlußspannung müssen praktisch gleich sein ($V_{\text{REF}} = V_{\text{TT}}$; es sind nur $\pm 40 \text{ mV}$ Abweichung zulässig). V_{TT} muß V_{REF} nachfolgen. V_{REF} wird typischerweise mit einem Spannungsteiler zwischen V_{DDQ} und V_{SSQ} erzeugt (wodurch $V_{\text{REF}} = \frac{1}{2} V_{\text{DDQ}}$ auf einfachste Weise gewährleistet ist). V_{REF} wird kaum belastet, V_{TT} hingegen mit mehr als $1,5 \text{ A}^*$. Um eine entsprechend präzise nachgeführte Abschlußspannung V_{TT} zu erzeugen, gibt es spezielle Spannungsreglerschaltkreise.

*) durch den einzelnen Abschlußwiderstand müssen wenigstens $15,2 \text{ mA}$ fließen (vgl. Seite 181). Die DDR-DRAM-Schnittstelle hat aber ca.100 Signale ... Bei Low entnehmen die Treiber Strom aus dem Spannungsregler, bei High speisen sie Strom ein.

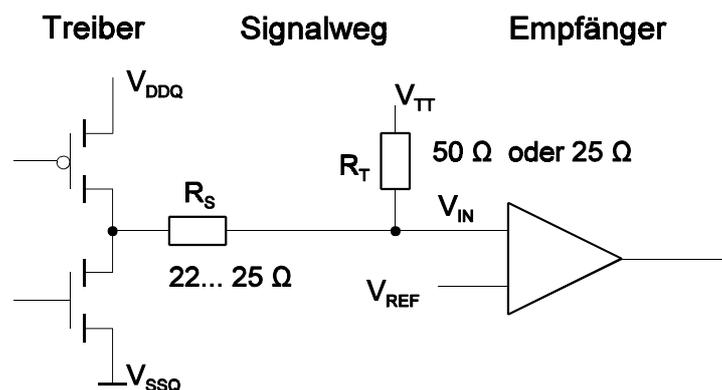


Abbildung 3.18 Ein typischer SSTL-Signalweg

Erklärung:

Es ist der Signalweg vom (jeweils aktiven) Treiber zum Empfänger dargestellt^{*)}. Die Treiberspezifikation ist etwas spitzfindig. Wichtig: die High- und Low-Pegel werden auf die Referenzspannung V_{REF} bezogen. Der Empfängereingang will für High wenigstens $V_{\text{REF}} + 0,18 \text{ V}$ sehen und für Low nicht mehr als $V_{\text{REF}} - 0,18 \text{ V}$ (Tabelle 3.14).

*) ein dem Empfänger vorgeschalteter Serienwiderstand (vgl. Abbildung 3.15) kann vernachlässigt werden, da der Eingangsstrom nur sehr gering ist (Größenordnung: $1 \dots 30 \mu\text{A}$).

Nun kann es vorkommen, daß V_{DDQ} am Treiber an der unteren Grenze liegt (2,3 V entsprechend $V_{REF} = 1,15$ V) und V_{REF} am Empfänger an der oberen Grenze (1,35 V). Der Toleranzbereich von V_{REF} ($1,35 - 1,15 = 0,2$ V) ist deshalb als Sicherheitszuschlag hinzuzurechnen. Somit müssen am Empfängereingang anliegen:

- bei High wenigstens $V_{REF} + 0,38$ V,
- bei Low höchstens $V_{REF} - 0,38$ V.

Da $V_{REF} = V_{TT}$, müssen diese 0,38 V über dem Abschlußwiderstand R_T abfallen. Somit ergibt sich, daß wenigstens folgende Ströme durch R_T fließen müssen:

- bei $R_T = 50$ Ohm: $0,38$ V : 50 Ohm = 7,6 mA,
- bei $R_T = 25$ Ohm: $0,38$ V : 25 Ohm = 15,2 mA.

Bei High muß der Treiber einen solchen Strom liefern, bei Low aufnehmen können. Gemäß diesen beiden Stromwerten kennt die SSTL-Spezifikation zwei Treiberklassen (Class 1, Class 2). DDR-DRAMs entsprechen Class 2 (15,2 mA)

Hinweis:

Die Serienwiderstände vernichten gleichsam elektrische Leistung (Strom · Spannungsabfall). Genauer: sie setzen diese Leistung in Wärme um. Das heißt aber: es muß nicht die gesamte Leistung im Schaltkreis umgesetzt werden. Beim DDR-266-DRAM entspricht ein Anschluß ca. 19 mW; davon werden nur 7,5 mW im Schaltkreis in Wärme umgesetzt (zum Vergleich: SDRAM PC-100: 36 mW je Anschluß (wegen des größeren Signalhubs und der größeren kapazitiven Belastung)). Die Speicherschaltkreise werden deshalb nicht allzu warm, so daß man ohne Wärmeableitbleche (Heat Spreaders) o. dergl. auskommt.

3.7.3. Gunning Transceiver Logic (GTL)

Die GTL-Spezifikationen (GTL, GTL+, AGTL, AGTL+) betreffen schnelle Bussysteme, deren Signale mit der ersten Wellenfront schalten. Solche Bussysteme sind typischerweise auf eine einzige Leiterplatte (auch: auf ein Motherboard) beschränkt. Die wichtigste Anwendung im PC-Bereich: die Bussysteme der Intel-Prozessoren (von den P6-Typen an). Abbildung 3.19 veranschaulicht das Prinzip. Der grundlegende Standard: JEDEC JESD 8-3.

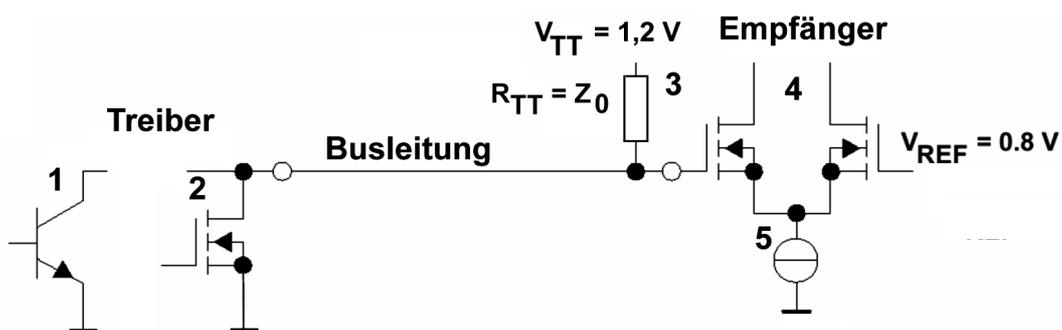


Abbildung 3.19 Ein GTL-Signalweg (nach: Texas Instruments)

Erklärung:

1 - Treiber mit Bipolartransistor; 2 - Treiber mit Feldeffekttransistor; 3 - Abschlußwiderstand; 4 - Differenzverstärker; 5 - Konstantstromquelle; R_{TT} - Abschlußwiderstand; V_{TT} - Abschlußspannung; V_{REF} - Referenzspannung.

Der GTL-Empfänger ist ähnlich ausgelegt wie ein SSTL-Empfänger, nämlich als Differenzverstärker, der das Bussignal mit einer Referenzspannung vergleicht. Die Unterschiede zwischen SSTL und GTL liegen in den Einzelheiten. Will man die erste Wellenfront ausnutzen, so ist es notwendig, die Busleitung mit einem Abschlußwiderstand zu beschalten, dessen Widerstandswert dem Wellenwiderstand (Z_0) der Busleitung entspricht. Typische Busleitungen auf Leiterplatten haben aber einen ziemlich geringen Wellenwiderstand (zwischen 20 und 50 Ohm). Das Problem: die Anforderungen an die Treibfähigkeit so in Grenzen zu halten, daß es möglich ist, die Treiberstufen in den funktionellen Schaltkreisen unterzubringen. Man arbeitet deshalb mit einem Signalhub von nur 0,8 V und verwendet Open-Collector- oder Open-Drain-Treiberstufen. Der High-Pegel wird allein vom Abschlußwiderstand gehalten (bei High fließt kein Strom). Bei Low kann eine typische GTL-Treiberstufe bis zu 40 mA aufnehmen. Infolge des geringen Signalhubs (0,8 V) kann damit ein Gesamtwiderstand (siehe Seite 183) von $0,8 \text{ V} : 40 \text{ mA} = 20 \text{ Ohm}$ getrieben werden. Über der Treiberstufe fällt dabei eine Low-Ausgangsspannung von $1,2 - 0,8 = 0,4 \text{ V}$ ab. Somit werden in dieser Stufe nur $0,4 \text{ V} \cdot 40 \text{ mA} = 16 \text{ mW}$ in Wärme umgesetzt - eine Größenordnung, die es ermöglicht, die Treiberstufen in hochintegrierte Schaltkreise (z. B. Prozessoren) aufzunehmen.

Speisespannungen

Da der High-Pegel durch die Abschlußspannung V_{TT} vorgegeben wird, können GTL-Schaltkreise in einem breiten Bereich der Speisespannung arbeiten (Richtwerte: von 5 V über 3,3 V bis hin zu 2,5 V).

GTL und GTL+

GTL+ ist eine Abwandlung der GTL-Spezifikation zwecks Verbesserung der Störsicherheit. Hierzu wurde ein etwas größerer Signalhub spezifiziert. Aus Tabelle 3.19 sind die wichtigsten Pegel- und Stromkennwerte beider Spezifikationen ersichtlich.

Kennwert	GTL	GTL+
Abschlußspannung V_{TT} = High-Pegel	1,2 V	1,5 V
Referenzspannung V_{REF}	0,8 V	1,0 V
maximaler Low-Ausgangspegel	0,4 V	0,55 V
Signalhub	0,8 V	0,95 V
minimaler Ausgangsstrom bei Low	40 mA	40 mA

Tabelle 3.19 GTT und GTL+: wichtige Kennwerte im Überblick

Beidseitiger Leitungsabschluß

Korrekt abgeschlossene Busleitungen haben *an beiden Enden* Abschlußwiderstände, die dem Wellenwiderstand entsprechen (Abbildung). Ein GTL-Treiber sieht somit im statischen Fall eine Parallelschaltung beider Widerstände. Ein Gesamtwiderstand von 20 Ohm entspricht demnach zwei Abschlußwiderständen zu je 40 Ohm und somit einem Wellenwiderstand in dieser Größenordnung.

AGTL und AGTL+

"A" steht für "Assisted" = "unterstützt". Unterstützend wirkt hier ein zusätzlicher P-Kanal-Transistor in der Treiberstufe (Abbildung 3.20).

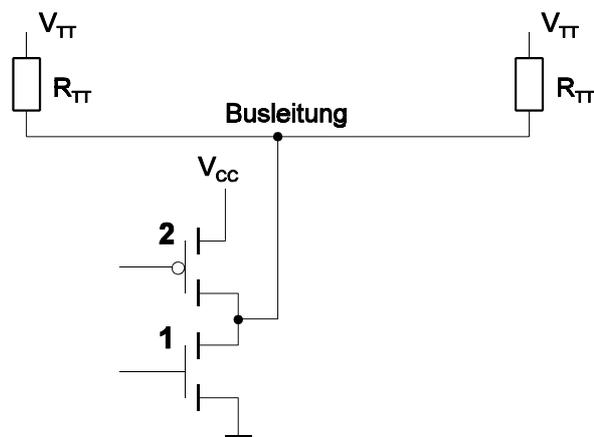


Abbildung 3.20 Busleitung mit AGTL-Treiberstufe und beidseitigem Abschluß

Erklärung:

1 - der eigentliche Treibertransistor (N-Kanal). Nimmt bei Low den durch die Abschlußwiderstände fließenden Strom auf. 2 - Hilfstransistor (P-Kanal). Das Problem des Open-Collector-Prinzips: Beim Übergang von Low nach High ist es allein der Widerstand, der gleichsam nach oben zieht. Exakter: die parasitären Kapazitäten können nur über den Widerstand (hier: die beiden Abschlußwiderstände in Parallelschaltung) umgeladen werden. Um diesen Vorgang zu beschleunigen, hat man den Hilfstransistor 2 eingeführt. Beim Übergang von Low nach High wird er aktiv (= niederohmig) und unterstützt somit das Hochziehen des Pegels auf der Busleitung (active pull-up). Nach Erreichen des High-Pegels wird der Hilfstransistor wieder deaktiviert (die entsprechenden Steuerschaltungen sind hier nicht dargestellt).

Hinweise zu den Intel-Prozessoren:

1. Verschiedene Intel-Prozessoren entsprechen verschiedenen GTL-Spezifikationen. Der einzelne Prozessor hat typischerweise einen Satz Abschlußwiderstände eingebaut.
2. Ein- und Zweiprozessorsysteme bis Pentium III: Widerstandswert typisch 56 Ohm. Der zweite Satz Widerstände befindet sich auf dem Motherboard (auch: im Steuerschaltkreis), oder er wird im zweiten Prozessor erwartet. Mit nur einem Prozessor bestückte Zweiprozessor-Motherboards erfordern deshalb eine spezielle Abschlußbaugruppe in der freien Prozessorfassung, es sei denn, das Motherboard hat eigene Abschlußwiderstände und eine automatische Umschaltung.

3. Vierprozessorsysteme (bis Pentium III Xeon): Widerstandswert typisch 150 Ohm. Im System wird eine Parallelschaltung von 6 solchen Widerständen erwartet (4 in den Prozessoren, einer in der Systemsteuerung, einer auf dem Motherboard). Das entspricht einem Wellenwiderstand von 25 Ohm. Slots ohne Prozessor sind mit speziellen Abschlußkarten zu bestücken.
4. Vom Pentium 4 an entspricht der Prozessorbus einer modifizierten AGTL+-Spezifikation. Die Referenzspannung ist jetzt nicht mehr fest 1,5 V, sondern hängt von der Speisespannung ab: $V_{REF} = \frac{2}{3} V_{CC}$. Nennwert der eingebauten Widerstände: 41 Ohm. Manche Prozessoren haben einen Steuereingang, über den die eingebauten Widerstände abgeschaltet werden können.

3.8. Ganz schnelle Logikschaltkreise

Hier geht es um Picosekunden (ps) und GHz. Die typischen Anwendungen: (1) Schnittstellen in Hochgeschwindigkeitsnetzwerken (über Kupferkabel und - vor allem - über Glasfaser), (2) drahtlose Kommunikation.

Solche Schaltkreise erfordern sehr aufwendige Technologien, teils auf Grundlage ungewöhnlicher Halbleiterwerkstoffe. Der Integrationsgrad ist deshalb vergleichsweise gering - man setzt diese Technologien nur dort ein, wo dies unbedingt erforderlich ist (Interface-Anpassung und Ansteuerung, Serialisierung/Deserialisierung, Hochfrequenzteiler (Prescaler) usw.). Wir wollen hier drei dieser Technologien kurz vorstellen.

CMOS

Mit entsprechender Optimierung kommt man auf Grundlage von Silizium und CMOS-Strukturen in die Größenordnung von 10 GBits/s. Speisespannung: < 2 V (z. B. 1,5...1,8 V).

Galliumarsenid (GaAs)

Galliumarsenid als Halbleiter-Grundmaterial ermöglicht - infolge der größeren Beweglichkeit der Ladungsträger - Schaltfrequenzen im Gigahertz-Bereich. Die Technologie ist teuer, der wirtschaftlich sinnvolle Integrationsgrad beschränkt (u. a. sind die Wärmeleiteigenschaften von GaAs viel schlechter als die von Silizium, so daß die Wärmeableitung ein besonderes Problem darstellt). Die Abbildungen 3.231 und 3.22 zeigen zwei Einsatzbeispiele.

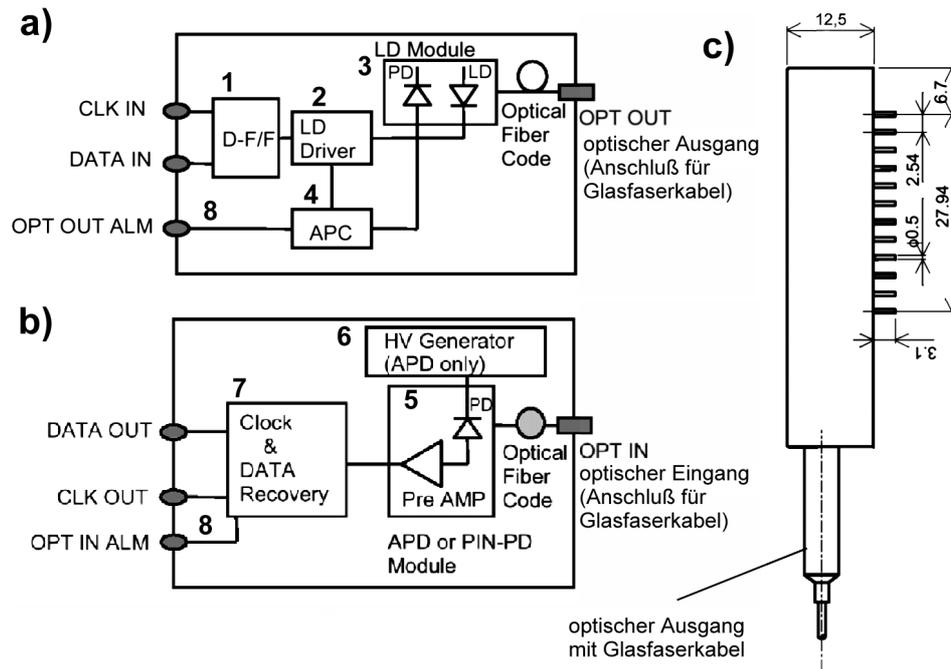


Abbildung 3.21 Optische Moduln für 2,5 GBits/s (Oki)

Erklärung:

a) - Sender (Blockschaltbild); b) - Empfänger (Blockschaltbild); c) - Sender (Seitenansicht)¹⁾; 1 - D-Flipflop²⁾; 2 Laserdientreiber; 3 - Laserdiode³⁾; 4 - Leistungsregler für Laserdiode; 5 - Photodiode mit Vorverstärker; 6 - Versorgungsspannungserzeugung für Photodiode; 7 - Taktrückgewinnung; 8 - Alarmausgänge⁴⁾. Speisespannung: 3,3 V, Leistungsaufnahme 0,6...0,9 W. Ähnliche Moduln gibt es für Datenraten bis zu 40 GBits/s.

Anmerkungen:

- 1) der Empfänger sieht ähnlich aus,
- 2) bildet aus Takt und Daten ein NRZ-Signal, das den Laserdientreiber ansteuert,
- 3) mit Photodiode zur Funktionskontrolle,
- 4) signalisieren Fehlerzustände des jeweiligen optischen Wandlers (Funktionskontrolle der Laserdiode durch zusätzliche Photodiode, Temperaturüberwachung, Stromüberwachung usw.).

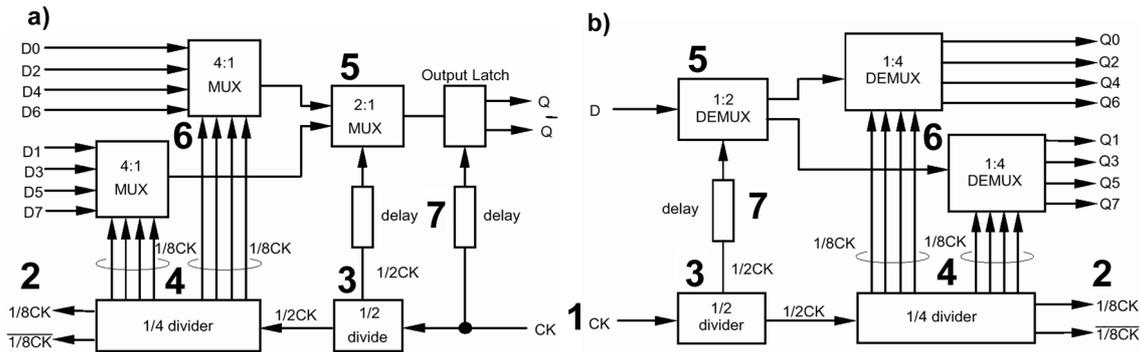


Abbildung 3.22 Multiplexer- und Demultiplexerschaltkreise (Oki)

Erklärung:

a) - 8-zu-1-Multiplexer (Serializer); b) - 1-zu-8-Demultiplexer (Deserializer); 1 - Bittakteingänge; 2 - Bytetaktausgänge (Frequenz = $\frac{1}{8}$ Bittakt); 3 - Bitadrezähler, 1. Stufe; 4 - Bitadrezähler, 2. Stufe; 5 - erste Auswahlstufe (gerades/ungerades Bit); 6 - zweite Auswahlstufe; 7 - Verzögerungsstufen zum Laufzeitausgleich.

Die Schaltkreise sind (je nach Typ) für eine maximale Taktfrequenz von 10 bzw. 12,5 GHz vorgesehen (Bittakt). Nennwert der Speisespannung: 2 V, Low-Pegel 0...0,3 V, High-Pegel 0,85...1,3 V. Die Ausgänge können 50-Ohm-Lasten treiben. Um die Durchlaufzeiten gering zu halten, hat man die Multiplexer und Demultiplexer in zwei Stufen angeordnet. Dementsprechend bestehen auch die Adrezähler aus zwei Stufen. Die erste Stufe schaltet mit der maximalen Taktfrequenz und wählt zwischen geraden und ungeraden Bits aus. In der zweiten Stufe wird jeweils eines der 4 geraden und der 4 ungeraden Bits ausgewählt (um diese Multiplexer bzw. Demultiplexer zu durchlaufen, stehen jeweils zwei Perioden des Bittaktes zur Verfügung).

Silizium-Germanium (SiGe)

Durch Einlegieren von Germanium in Silizium-Transistorstrukturen erhält man bipolare Schaltkreise, die sich kostengünstiger fertigen lassen als GaAs und die mit Frequenzen von 10 GHz und mehr betrieben werden können. Abbildung 3.23 zeigt ein Beispiel.

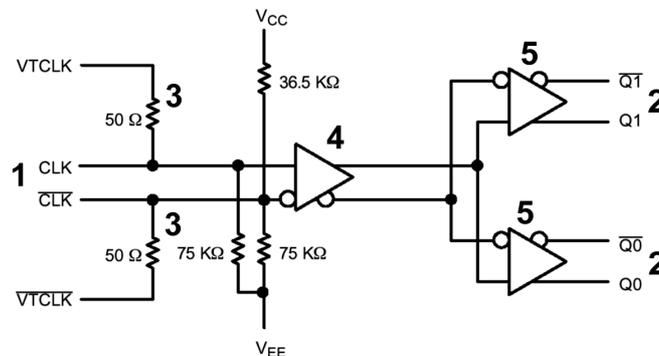


Abbildung 3.23 Ein SiGe-Schaltkreis: der differentielle 1:2-Takttreiber NBSG11 (ON Semiconductor)

Erklärung zu Abbildung 3.23:

1- differentielle Takteingänge (zu verschiedenen Pegelspezifikationen kompatibel*); 2 - differentielle Taktausgänge (RSECL); 3 - eingebaute Abschlußwiderstände; 4 - Empfänger mit vorgeschalteten Pull-up- und Pull-down-Widerständen; 5 - Treiber. Die Funktionsweise ist einfach: das ankommende differentielle Taktsignal wird im Empfänger einer Impulsformung unterzogen und über die beiden Treiber wieder ausgegeben.

*) ECL, HSTL, GTL, TTL, CMOS, CML, LVDS. Diese Kompatibilität ist aber nichts Automatisches, sondern erfordert gelegentlich entsprechende Schaltungstricks. Um solche Tricklösungen zu unterstützen, sind u. a. die beiden Abschlußwiderstände auf eigene Anschlüsse geführt (und nicht - wie an sich naheliegend - intern mit V_{EE} und V_{CC} verbunden).

Kennzeichnende Daten im Überblick:

- maximale Impulsfolgefrequenz: über 10 GHz,
- Anstiegs- und Abfallzeit: typisch 25 ps,
- Durchlaufverzögerung: typisch 70 ps,
- Speisespannungsbereich: 2,375...3,465 V,
- Signalpegel: RSECL (Reduced Swing ECL): ECL mit verringertem Signalhub von 400 mV (nur differentielle Signalisierung),
- Stromaufnahme: typisch 55 mA.

Es handelt sich im Grunde um ECL-Schaltkreise (differentielle Signalisierung, Signale wirken auf 50-Ohm-Abschlußwiderstände), die wahlweise mit positiver oder mit negativer Speisespannung betrieben werden können und zu den eingeführten ECL-Niederspannungsbaureihen (2,5 V, 3,3 V) kompatibel sind.