

## 第3章 杂质半导体和杂质能级

阅读提示：从青铜到铸铁，都是掺杂的结果，掺杂的作用原来如此之大位错原来大有用处！

掺杂就是向材料中掺入杂质。掺杂对材料性能的影响早在青铜时代就被人类所认识。铜的熔点很高，约为 1100 摄氏度，但如果向铜中掺入 5%~10% 的锡形成铜和锡的合金，这就是青铜。青铜的熔点只有 800 摄氏度，更便于冶炼和加工成型，因此获得广泛应用，以致后人将此时期称为青铜时代。类似的例子还有铁。铁的熔点大约是 1450 摄氏度，但向铁中掺入 4% 的碳，就形成所谓的铸铁。铸铁的熔点变成 1100 摄氏度，远低于纯铁。铸铁大量应用于农业和军事，是为铸铁时代。当然，提起铁，我们不能不说钢。人类社会面貌得以极大改变的原因之一就是发明了钢，或者说是冶金技术的发展。钢是含碳量为 0.03%~2% 的铁碳合金。

青铜、铸铁、钢都是合金。合金具有以下几个通性：

(1) 多数合金熔点低于其组分中任一种组成金属的熔点。这就是前面提到的青铜和铸铁熔点的下降。合金熔点下降的最典型例子是保险丝，即所谓“伍德合金”。它是锡、铋、镉、铅按 1:4:1:2 质量比组成的合金，熔点仅 67℃，比水的沸点还低。因此，当电路上电流过大、电线发热到 70℃ 左右，保险丝即可熔化，自动切断电路，保证用电安全。

(2) 硬度比其组分中任一金属的硬度大，所以青铜可以铸剑，用做武器，而纯铜太软，没有这个功能。

(3) 合金的导电性和导热性低于任一组分金属，如电炉子中的电阻丝常常用  $\text{Ni}_{80}\text{Cr}_{20}$  镍铬合金制成。

(4) 有的抗腐蚀能力强。例如，在普通钢中掺入一定比例的铬就可制成一种新的合金：不锈钢。可见，只有掺杂，才是彻底改变材料性质的王道。

类似的故事也发生在半导体材料中。研究表明，即使极微量的杂质，也会对半导体材料的物理性质和化学性质产生决定性的影响，同时也严重影响半导体器件的质量。例如， $10^5$  个硅原子中有一个杂质硼原子，室温电导率增加  $10^3$  个数量级。所以，半导体材料对掺杂非常敏感，称作杂质效应。半导体中的缺陷也会取得异曲同工之效。任何工艺都不会是完美的，这种工艺的不完美可能造成晶体偏离其理想状态，即形成缺陷。晶格中的缺陷包括点缺陷（空位、间隙原子）、线缺陷（位错）、面缺陷（层错）等（见图 3.1）。

位错是一种线缺陷。晶体在结晶时受到杂质、温度变化或振动产生的应力作用，或由于晶体受到打击、切削、研磨等机械应力的作用，使晶体内部质点排列变形，原子行间相互滑移，而不再符合理想晶体的有秩序的排列，由此形成的缺陷称位错。位错是原子的一种特殊组态，是一种具有特殊结构的晶格缺陷，因为它在一个方向上尺寸较长，所以被称为线状缺陷。位错的假说是在 20 世纪 30 年代为了解释金属的塑性变形而提出来的，并于 50 年代得到证实。位错听起来很“糟”，其实大有用处。金属之所以能成为制作工具、切割器和刀刃的好材料，就是因为位错，因为它能让金属改变形状。

缺陷对半导体器件的影响也非常显著，硅平面器件要求位错密度控制在  $10^3 \text{ cm}^{-2}$  以下。

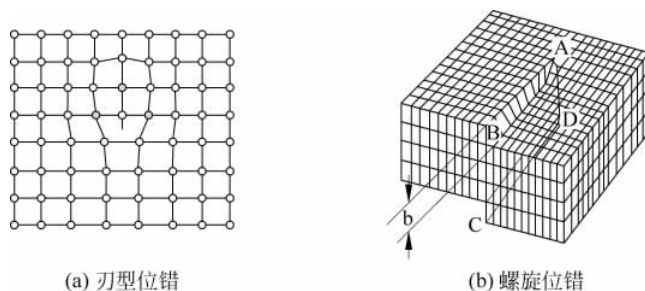


图 3.1 位错

为什么杂质和缺陷会对半导体的性质产生如此大的影响呢？原因还得归结到能带的变化。杂质和缺陷破坏了周期性势场，并在禁带中引入了杂质能级。这样允许电子在禁带中存在，从而使半导体的性质发生改变。

为了控制半导体的性质，需要人为地在半导体中或多或少地掺入某些特定的杂质。半导体器件和集成电路制造的基本过程之一就是控制半导体各部分所含的杂质类型和数量。可以说，半导体工艺就是控制掺杂的工艺。

### 3.1 间隙式杂质和替位式杂质

杂质分为间隙式杂质和替位式杂质。首先，晶体有间隙，所以杂质可以位于晶体的间隙内形成间隙式杂质。

硅和锗都具有金刚石结构(见图 3.2)，一个晶胞内含有 8 个原子。如图 3.2 所示的金刚石结构，其晶格常数为  $a$ ，六个面对角线长度为  $\sqrt{2}a$ ，则大对角线长度为  $\sqrt{3}a$ ，此对角线的  $1/4$  长度为  $\frac{\sqrt{3}}{4}a = 0.4a$ 。由于晶胞内空间对角线上相距  $1/4$  对角线长度的两个原子为最近邻原子， $\sqrt{3}a/4$  恰好就是共价半径的 2 倍。设原子半径为  $r$ ，则

$$2r = \frac{1}{4} \times \sqrt{3}a$$

从而

$$r = \frac{\sqrt{3}}{8}a$$

原子占原胞体积的比例为  $\frac{8 \times \frac{4}{3}\pi r^3}{a^3} = \frac{\sqrt{3}}{16}\pi = 0.34$ 。因此晶胞内 8 个原子的体积与立方晶胞体积之比为 34%，换言之，晶胞内存在着 66% 的空隙。所以杂质进入半导体后可以存在于晶格原子之间的间隙位置上，称为间隙式杂质，间隙式杂质原子一般较小，如硅、锗、砷化镓材料中的离子锂(0.068nm)。

杂质也可以取代晶格原子而位于格点上，称为替位式杂质或代位式杂质。替位式杂质通常与被取代的晶格原子大小比较接近，而且其电子壳层结构也相似。对于 IV 族的硅或锗来说，原子大小、电子结构比较接近的元素首选其周期表上的邻居，即 III、V 族元素。III、V

族元掺入Ⅳ族的硅或锗中形成替位式杂质。图 3.3 是间隙式和替位式杂质示意图。

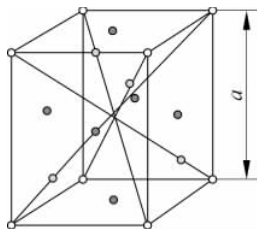


图 3.2 金刚石结构

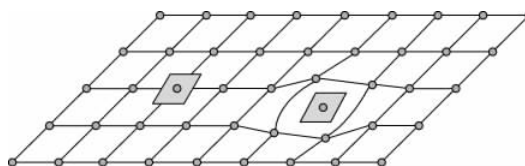


图 3.3 间隙式杂质和替位式杂质示意图

材料中杂质含量多少用单位体积中的杂质原子数,也就是杂质浓度来定量描述,杂质浓度的单位为  $1/\text{cm}^3$ 。

**【例】** 硅中掺入百万分之一的砷,求砷的掺杂浓度。

**解** “硅中掺入百万分之一的砷”是指砷占硅原子密度的百万分之一,硅原子密度是  $5.22 \times 10^{22}/\text{cm}^3$ ,所以,实际砷的掺杂浓度是  $5.22 \times 10^{22} \times \frac{1}{10^6} = 5.22 \times 10^{16} \text{cm}^{-3}$ 。

## 3.2 施主和受主

如前所述,Ⅲ、Ⅴ族元素由于其原子大小、电子结构比较接近Ⅳ族的硅或锗,所以成为硅或锗最常用的替位式杂质。如图 3.4 所示的是硅中掺入Ⅴ族元素磷(P)和Ⅲ族元素硼(B)时的情况。由于硅中每一个硅原子的最近邻有四个硅原子,当五个价电子的磷原子取代硅原子而位于格点上时,磷原子五个价电子中的四个与周围的四个硅原子组成四个共价键,还多出一个价电子,磷原子所在处也多余一个称为正电中心磷离子的正电荷。多余的这个电子虽然不受共价键的束缚,但被正电中心磷离子所吸引只能在其周围运动,不过这种吸引要远弱于共价键的束缚,只需要很小的能量  $\Delta E_D$  就可以使其挣脱束缚(称为电离 ionization),形成能在整个晶体中“自由”运动的导电电子。而正电中心磷离子被晶格所束缚,不能运动。由于以磷为代表的Ⅴ族元素在 Si 中能够释放导电电子,称Ⅴ族元素为施主杂质(donor impurity)或 N 型杂质。电子脱离施主杂质的束缚成为导电电子的过程称为施主电离,所需要的能量  $\Delta E_D$  称为施主杂质电离能(ionization energy)。 $\Delta E_D$  的大小与半导体材料和杂质种类有关,但远小于硅和锗的禁带宽度  $E_g$ 。施主杂质未电离时是中性的,称为束缚态或中性态,电离后称为施主离化态。硅中掺入施主杂质后,通过杂质电离增加了导电电子数量,从而增强了半导体的导电能力,把主要依靠电子导电的半导体称为 N 型半导体。N 型半导体中的电子称为多数载流子,简称多子;而空穴称为少数载流子,简称少子。

图 3.4 中硅掺Ⅲ族元素硼(B)时,硼只有三个价电子,为了与周围四个硅原子形成四个共价键,必须从附近的硅原子共价键中夺取一个电子,这样硼原子就多余一个电子,形成负电中心硼离子,同时在硅的共价键中产生了一个空穴,这个被负电中心硼离子依靠静电引力束缚的空穴还不是自由的,不能参加导电,但这种束缚作用同样很弱,很小的能量  $\Delta E_A$  就使其成为可以“自由”运动的导电空穴,而负电中心硼离子被晶格所束缚,不能运动。

由于以硼原子为代表的Ⅲ族元素在硅、锗中能够接受电子而产生导电空穴,称Ⅲ族元素

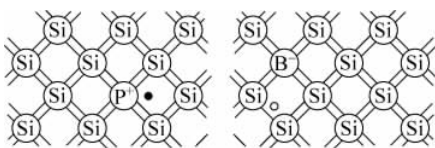


图 3.4 硅中的 V 族杂质和 III 族杂质

为受主杂质(acceptor impurity)或 P 型杂质。空穴挣脱受主杂质束缚的过程称为受主电离,而所需要的能量  $\Delta E_A$  称为受主杂质电离能。不同半导体和不同受主杂质其  $\Delta E_A$  也不相同,但  $\Delta E_A$  通常远小于硅和锗的禁带宽度  $E_g$ 。受主杂质未电离时是中性的,称为束缚态或中性态,电离后成为负电中心,称为受主离子化态。硅中掺入受主杂质后,受主电离增加了导电空穴,增强了半导体导电能力,把主要依靠空穴导电的半导体称作 P 型半导体。P 型半导体中,空穴是多子,电子是少子。表 3.1 列出了硅、锗晶体中 III、V 族杂质的电离能。

表 3.1 III、V 族杂质在硅、锗晶体中的电离能(eV)

晶 体	V 族杂质电离能 $\Delta E_D$			III 族杂质电离能 $\Delta E_A$			
	P	As	Sb	B	Al	Ga	In
Si	0.044	0.049	0.039	0.045	0.057	0.065	0.16
Ge	0.0126	0.0127	0.0096	0.01	0.01	0.011	0.011

掺入施主杂质的半导体,施主能级  $E_D$  上的电子获得能量  $\Delta E_D$  后由束缚态跃迁到导带成为导电电子,因此施主能级  $E_D$  位于比导带底  $E_c$  低  $\Delta E_D$  的禁带中,且  $\Delta E_D \ll E_g$ 。空穴由于带正电,能带图中能量自上向下是增大的。对于掺入 III 族元素的半导体,被受主杂质束缚的空穴能量状态(称为受主能级  $E_A$ )位于比价带顶  $E_v$  低  $\Delta E_A$  的禁带中, $\Delta E_A \ll E_g$ ,当受主能级上的空穴得到能量  $\Delta E_A$  后,就从受主的束缚态跃迁到价带成为导电空穴。图 3.5 是用能带图表示的施主杂质和受主杂质的电离过程。

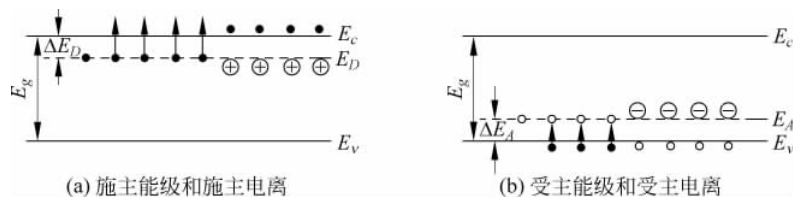


图 3.5 杂质能级和杂质电离

III、V 族杂质在硅和锗中的  $\Delta E_A$ 、 $\Delta E_D$  都很小,即施主能级  $E_D$  距导带底  $E_c$  很近,受主能级  $E_A$  距价带顶  $E_v$  很近,这样的杂质能级称为浅能级,相应的杂质就称为浅能级杂质。如果硅和锗中的 III、V 族杂质浓度不太高,在包括室温的相当宽的温度范围内,杂质几乎全部离化。通常情况下,半导体中杂质浓度不是特别高,半导体中杂质分布很稀疏,因此不必考虑杂质原子间的相互作用,被杂质原子束缚的电子(空穴)就像单个原子中的电子一样,处在互相分离的、能量相等的杂质能级上而不形成杂质能带。只有当杂质浓度很高(称为重掺杂)时,杂质能级才会交叠,形成杂质能带。

### 3.3 杂质补偿

上面讨论了半导体中分别掺有施主或者受主杂质的情况。如果在半导体中既掺入施主杂质,又掺入受主杂质,施主杂质和受主杂质具有相互抵消的作用,称为杂质的补偿作用(impurity compensation effect)。如果用  $N_D$  和  $N_A$  表示施主和受主浓度,对于杂质补偿的半导体,如果  $N_D$  大于  $N_A$ ,在  $T=0\text{K}$  时,电子按顺序填充能量由低到高的各个能级,由于受主能级  $E_A$  比施主能级  $E_D$  低,电子将先填满受主能级  $E_A$ ,然后再填充施主能级  $E_D$ ,因此施主能级上的电子浓度为  $N_D - N_A$ 。通常,当温度达到大约  $100\text{K}$  以上时,施主能级上的  $N_D - N_A$  个电子就全部被激发到导带,这时导带中的电子浓度  $n_0 = N_D - N_A$ ,为 n 型半导体。图 3.6 画出了  $N_D > N_A$  时的杂质补偿作用。类似分析不难得出:当  $N_A$  大于  $N_D$  时,将呈现 p 型半导体的特性,价带空穴浓度  $p_0 = N_A - N_D$ 。如果半导体中  $N_D \gg N_A$ ,则  $n_0 = N_D - N_A \approx N_D$ ; 如果  $N_A \gg N_D$ ,那么  $p_0 = N_A - N_D \approx N_A$ 。通过补偿以后半导体中的净杂质浓度称为有效杂质浓度。如果  $N_D > N_A$ ,称  $N_D - N_A$  为有效施主浓度; 如果  $N_A > N_D$ ,那么  $N_A - N_D$  称为有效受主浓度。

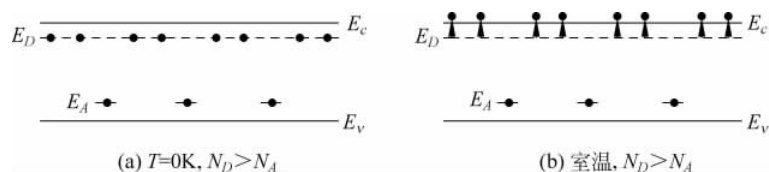


图 3.6 杂质补偿

半导体器件和集成电路生产中就是利用杂质补偿作用,在 n 型硅外延层上的特定区域掺入比原先 n 型外延层浓度更高的受主杂质,通过杂质补偿作用就形成了 p 型区,而在 n 型区与 p 型区的交界处就形成了 pn 结。如果再次掺入比 p 型区浓度更高的施主杂质,在二次补偿区域内,p 型半导体就再次转化为 n 型,从而形成双极型晶体管的 npn 结构,见图 3.7。很多情况下,晶体管和集成电路生产中的掺杂过程实际上是杂质补偿过程。杂质补偿过程中如果出现  $N_D \approx N_A$  的情况,称为高度补偿或过度补偿,这时施主和受主杂质都不能提供载流子,载流子基本源于本征激发。高度补偿的材料质量不佳,不宜用来制造器件和集成电路。

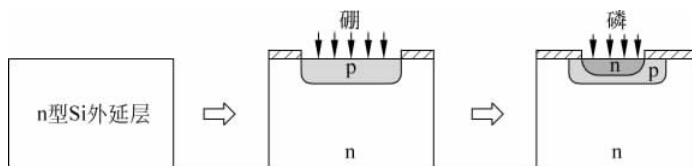


图 3.7 晶体管制造过程中的杂质补偿

上述晶体管制造过程中,硼和磷的掺杂一般通过扩散工艺进行。扩散前需要光刻开窗。图 3.8 给出了光刻工艺的主要步骤。

除了上述扩散工艺之外,杂质掺杂还可借助离子注入方法完成。离子注入是目前

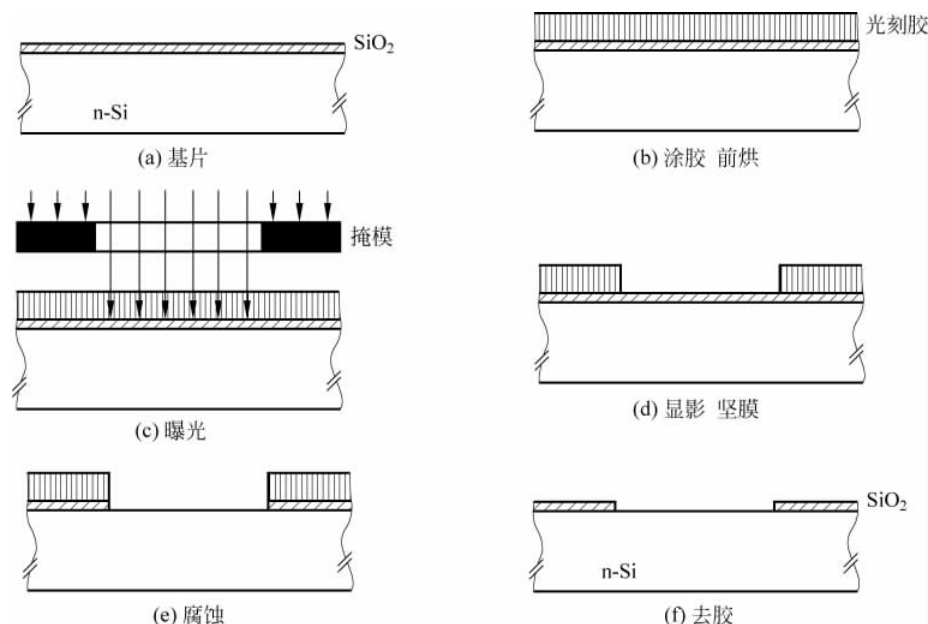


图 3.8 光刻工艺

VLSI 优越的掺杂工艺。随着离子注入技术的不断发展和成熟,目前许多原来由扩散工艺所完成的加工工序,都已经被离子注入取代了,这是时代发展的必然结果。

### 3.4 深能级杂质

除 III、V 族杂质在硅和锗的禁带中产生浅杂质能级外,实验表明,掺入其他各族元素也要在硅和锗禁带中产生能级,但非 III、V 族元素在硅和锗禁带中产生的施主能级  $E_D$  距导带底  $E_c$  较远,产生的受主能级  $E_A$  距价带顶  $E_v$  较远,这种杂质能级称为深能级,对应的杂质称为深能级杂质(Depth-levels impurities)。深能级杂质可以多次电离,每一次电离相应有一个能级,有的杂质既引入施主能级又引入受主能级。

金(Au)在锗中产生的能级情况见图 3.9。图中  $E_i$  表示禁带中线位置, $E_i$  以上注明的是杂质能级距导带底  $E_c$  的距离, $E_i$  以下标出的是杂质能级距价带顶  $E_v$  的距离。位于格点位置上的中性金原子  $Au^0$  的一个价电子可以电离释放到导带,形成施主能级  $E_D$ ,其电离能为  $E_c - E_D$ ,从而成为带一个正电荷的单重电施主离化态  $Au^+$ 。这个价电子因受共价键束缚,它的电离能仅略小于禁带宽度  $E_g$ ,所以施主能级  $E_D$  很接近  $E_v$  ( $E_v + 0.04eV$ )。另外,中性  $Au^0$  为与周围 4 个锗原子形成共价键,还可以依次由价带再接受 3 个电子,分别形成  $E_{A1}$ 、 $E_{A2}$ 、 $E_{A3}$  三个受主能级。价带激发一个电子给  $Au^0$  使之成为单重电受主离化态  $Au^-$ ,相应的电离能为  $E_{A1} - E_v$ ; 从价带再激发一个电子给  $Au^-$  使之成为二重电受主离化态  $Au^{2-}$ ,所需能量为  $E_{A2} - E_v$ ; 从价带激发第 3 个电子给  $Au^-$  使之成为三重电受主离化态  $Au^{3-}$ ,所需能量为  $E_{A3} - E_v$ 。由于电子间存在库仑斥力,金在接受价带电子过程中所需要的电离能越来越大,也就是  $E_{A3} > E_{A2} > E_{A1}$ 。硅和锗中其他一些深能级杂质引入的深能级也可以类似地做出解释。深能级杂质对半导体中载流子浓度和导电类型的影响不像浅能级杂

质那样显著,其浓度通常也较低,主要起复合中心的作用。采用掺金工艺能够提高高速半导体器件的工作速度。

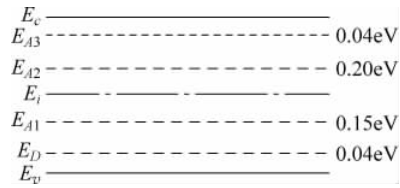


图 3.9 金在锗中的能级

## 习 题

请判断正误。

- (1) III、V 族杂质在硅和锗晶体中为深能级杂质。( )
- (2) 受主杂质向价带提供空穴成为正电中心。( )
- (3) 硅晶体结构是金刚石结构,每个晶胞中含 8 个原子( )。
- (4) “半导体工艺是控制掺杂的工艺”的意思是说,半导体中绝不能含有杂质。( )
- (5) 准确地说,铜器时代应为青铜时代,铁器时代应为铸铁时代。( )