

SÍNTESIS DE FRECUENCIA

Como se vio los osciladores LC y los osciladores controlados por cristal, presentan ventajas y desventajas, en el primero la ventaja es la posibilidad de variabilidad en la frecuencia de salida, la desventaja es la pobre estabilidad en frecuencia; en el segundo la ventaja radica en la estabilidad en frecuencia y la desventaja radica en la no variabilidad de la frecuencia de salida. A fin de aprovechar las ventajas de los dos osciladores anteriores es que se desarrollaron los osciladores sintetizados o sintetizadores de frecuencia.

La síntesis de frecuencia consiste en la generación de una señal de frecuencia variable, utilizando para esto dos o más osciladores interconectados de forma conveniente. La variación de frecuencia que se obtiene es discreta, pudiendo hacerse los saltos tan pequeños como se desee, el sintetizador debe ser capaz de producir tantas frecuencias como sea posible, pudiendo llegar a miles o millones según la necesidad. La síntesis de frecuencia puede hacerse de dos formas: una llamada **Síntesis Directa** y la otra llamada **Síntesis Indirecta**.

Síntesis Directa

La síntesis de frecuencia **Directa** consiste en efectuar con una o más señales de frecuencia estable, operaciones matemáticas (sumas, restas, multiplicaciones y divisiones) a fin de obtener en la salida una señal cuya frecuencia sea la deseada. Este método tiene la ventaja de que si el oscilador base es un oscilador muy estable, también lo serán las distintas frecuencias de salida. Este tipo de síntesis fue el que primero se utilizó y no se utiliza en la actualidad debido a su gran complejidad, se debe realizar gran número de operaciones, requiere gran número de bloques, entre ellos filtros muy complejos, resultando esto en un costo elevado. La ventaja es que permite obtener una resolución muy fina, dependiendo esto del uso que se le dará.

Por ejemplo un sintetizador directo muy simple que utiliza mas de un oscilador controlado por cristal es el siguiente:

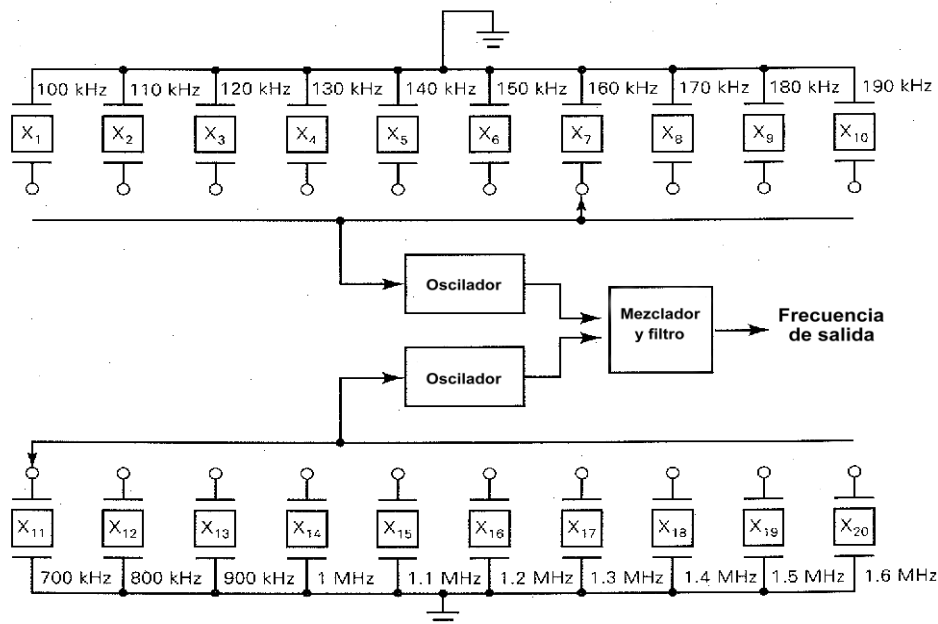


Fig. N° 3-1

Como se ve se utilizan dos osciladores con una serie de cristales intercambiables cada uno, la frecuencia de oscilación a la salida de estos dos osciladores se aplica a un mezclador

balanceado. La salida del mezclador contiene la componente suma y resta de las dos frecuencias de entrada, mediante el uso de un filtro se selecciona la suma o la diferencia, obteniéndose el valor de frecuencia deseada. Por ejemplo si se mezcla el cristal X13 de 900 KHz. con el cristal X3 de 120 KHz. y se utiliza el filtro suma se obtendrá en la salida 1.020 KHz.

Con este sintetizador se pueden obtener frecuencias con un salto de 10 KHz. Y se puede utilizar para generar frecuencias en la banda de AM de 540 a 1.600 KHz.

Otra alternativa sería utilizar un solo oscilador patrón y a partir de operaciones de suma, resta, multiplicación y división obtener la frecuencia de salida deseada, en este caso se pueden obtener resoluciones tan pequeña como se deseen, por ejemplo 1 Hz. (ejemplo debajo) o incluso 0,01 Hz. Un ejemplo se ve en el siguiente gráfico:

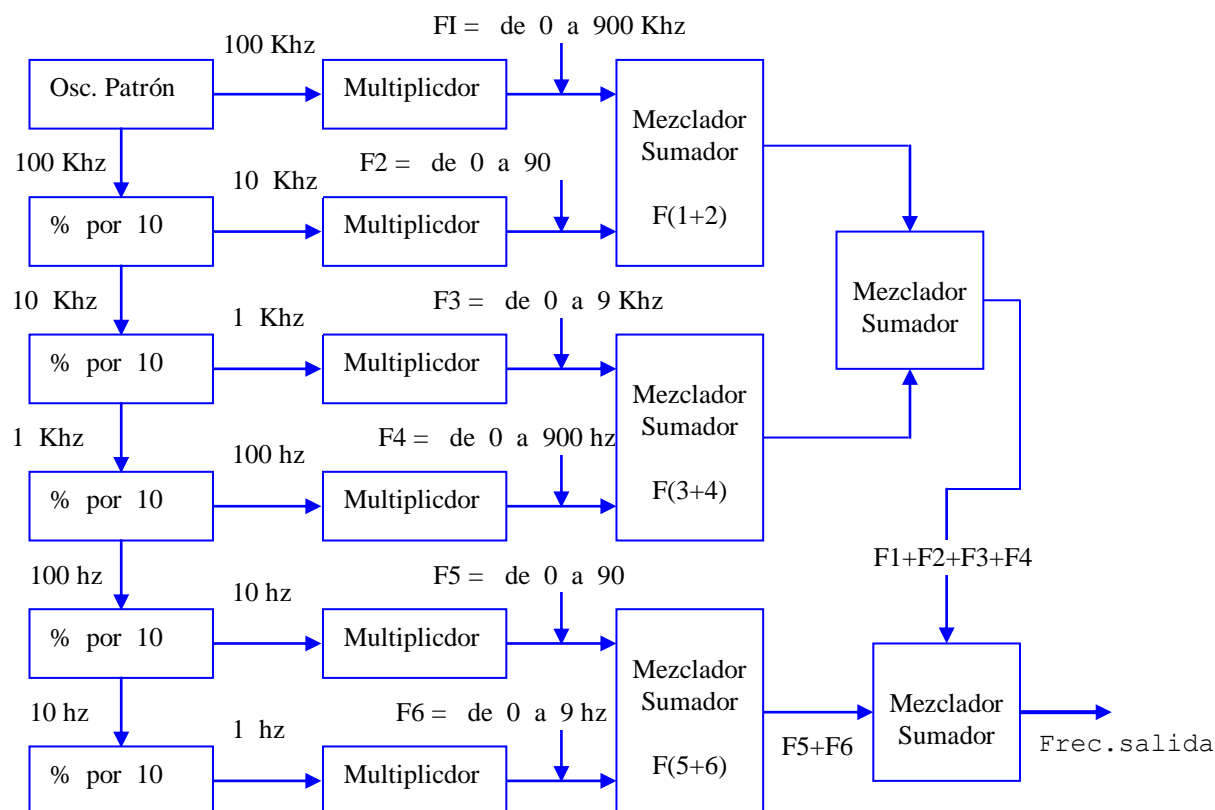


Fig. N° 3-2

Síntesis de frecuencia Indirecta - PLL (Phase Loocked Loop)

Circuitos de fase fija

Los circuitos de fase fija son de gran uso en los sistemas de comunicaciones, cumpliendo distintas funciones tales como: Generación de frecuencias, Modulación, Demodulación, etc. Se utilizan en etapas receptoras y transmisoras, ya sea para modulación analógica o digital. Con el avance de la tecnología en la actualidad se dispone de gran número de Circuitos Integrados y módulos que permiten realizar circuitos de fase fija de pequeño tamaño, gran confiabilidad y bajo costo.

En los últimos años los PLL adquirieron gran desarrollo, los que por su simplicidad y costo han visto generalizado su uso, en la actualidad es el método mas popular en la generación sintetizada de frecuencias. Este circuito nos permite, mediante una señal generada internamente (referencia), controlar un lazo o bucle (PLL) y obtener en la salida una señal cuya estabilidad en frecuencia depende de la estabilidad de la señal de control o referencia. Esa señal (de frecuencia

determinada), normalmente proviene de osciladores a cristal, que permiten obtener gran estabilidad en frecuencia.

Otra característica importante del bucle ó lazo de enganche de fase fija, radica en que además de la estabilidad en frecuencia nos permite obtener una variación discreta de la frecuencia de salida (por saltos), donde el rango de frecuencias y la resolución (salto) dependen de la red divisora y del valor de la frecuencia de referencia que ingrese al comparador de fase, este compara las fases de estas dos señales de entrada y en su salida entrega una tensión cuyo valor es proporcional a la diferencia de fase, esa tensión se utiliza para atacar al oscilador controlado por tensión, tendiendo a corregir su frecuencia de oscilación.

El primer PLL fue implementado alrededor del año 1932 por el Ing. Francés **Bellecize**. Las aplicaciones industriales de los PLL, solo pudieron ser posibles con la aparición de los PLL en circuitos integrados, los primeros PLL en IC aparecieron alrededor de 1965 y eran totalmente analógicos. Llegándose a la actualidad en la que se dispone de circuitos integrados que conforman un PLL completo. Los PLL son de uso masivo en los equipos de comunicaciones, ya sea para radiodifusión, telefonía, transmisión de datos, generadores de RF, etc. A los PLL se los puede clasificar de acuerdo a su composición y a su forma de funcionamiento, esta clasificación es la siguiente:

- 1 - **LPLL** (PLL lineal)
- 2 - **DPLL** (PLL Digital)
- 3 - **ADPLL** (PLL Totalmente digital)
- 4 - **SPLL** (PLL Software)

Los primeros PLL que aparecieron fueron los lineales (LPLL), en estos todos los bloques se constituyen mediante circuitos analógicos, en este caso el comparador de fase podría ser un multiplicador de cuatro cuadrantes. Posteriormente los PLL fueron lentamente cambiando hacia los PLL digitales (DPLL), en esto se cambió el comparador de fase, utilizándose por ejemplo una compuerta JK-flilpflop, quedando el resto de los bloques iguales. Posteriormente aparecieron los PLL totalmente digitales (ADPLL), en estos la totalidad de los bloques son digitales. Por último los PLL también pueden ser implementados mediante un programa de computadora, a este último tipo se los denomina (SPLL).

Análisis de un PLL: Básicamente un PLL es un sistema de control realimentado donde la señal de realimentación es una frecuencia en lugar de una tensión. Cuando la señal de salida requerida es la frecuencia del V_{co} , el resultado es la obtención de una señal de frecuencia variable con una gran estabilidad. En otras aplicaciones a este circuito se lo utiliza como demodulador de frecuencia, en este caso la señal de salida será una muestra de la tensión de control que ataca al V_{co} .

Análisis de Un PLL como Oscilador: El diagrama en bloques básico de un PLL a utilizar como oscilador sintetizado de frecuencia, se puede ver en la figura siguiente:

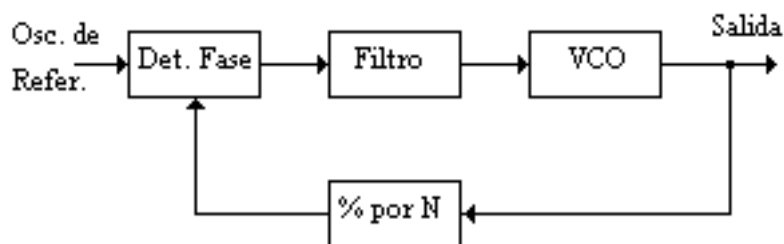


Fig. N° 3 – 3

Normalmente para hacer el análisis matemático del comportamiento de cada uno de los bloques que forman el lazo, este deberá estar enclavado, lo que quiere decir en este caso que la frecuencia de oscilación del Vco es igual a la de entrada (referencia) multiplicada por el valor del divisor N, si las dos frecuencias de entrada al comparador son iguales y la fase está **enclavada**, la tensión de control adopta un valor tal que mantiene al lazo o bucle en estado enclavado ó enganchado.

La modificación en la frecuencia de salida se obtiene mediante el circuito divisor de frecuencia por N preferentemente programable. Este divisor a partir de la señal de entrada proveniente del Vco, entrega en la salida una señal de baja frecuencia comparable con la frecuencia de referencia, esto es $f_c = f_o / n$ donde es f_o la frecuencia de salida del Vco. Cuando se produce en enganche o bloqueo del PLL será:

$$f_c = f_{ref} \quad \text{y} \quad f_o = n f_{ref}$$

Al ser la $f_o = n f_{ref}$ significa que la frecuencia de salida es un número entero de la frecuencia de referencia, por lo que el salto mínimo en la frecuencia de salida resulta ser igual al valor de la f_{ref} . Generalmente las señales de referencia que se utilizan son de baja frecuencia y dependen del tipo de servicio al que se aplicará el PLL, algunos valores utilizados pueden ser por ejemplo 1 Khz, 5 Khz, 10 Khz, 25 Khz, etc. A la salida del detector de fase se dispone de una tensión de salida llamada V_e , la forma de onda de esta V_e , depende del tipo de comparador de fase utilizado y de las señales de entrada, esta señal que por ejemplo puede ser pulsante, se inyecta a un filtro pasa bajos que puede o no contener un amplificador, la salida de este bloque debe ser una tensión continua totalmente libre de ruido, cuyo valor es proporcional al corrimiento de fase que existe entre las dos señales que ingresan al comparador de fase, una la señal de referencia y la otra proveniente del Vco. Si esta señal de control presenta ruido, se produciría una modulación de frecuencia en el Vco, produciendo ruido de fase o frecuencia en la salida del PLL.

El bloque amplificador y filtro pasa bajos puede estar compuesto por un filtro activo, un filtro pasivo, una bomba de carga y filtro, etc. El filtro puede ser de dos tipos, pasivo o activo, en el primer caso con la función de transferencia $F(s)$, se puede colocar o no a continuación un amplificador con una ganancia K_a y para el segundo caso, el mismo filtro tiene una ganancia adecuada para amplificar la diferencia de fase que se produjo al variar cualquiera de las dos señales. Si se produce una variación en la frecuencia de la señal f_o respecto de la señal de referencia f_s , se produce una variación de la tensión de salida del comparador de fase, esta tensión (V_d) luego de filtrada se aplica al Vco, debiendo ser capaz de corregir la frecuencia de oscilación de este, de esta forma se mantiene al lazo enganchado o enclavado.

Análisis de un PLL como demodulador: En este caso se puede utilizar al PLL como demodulador de frecuencia, la señal de entrada en este caso es la señal de frecuencia intermedia

del receptor modulada en fase o frecuencia, esta es una de las señales que se aplican al detector de fase, la otra señal de entrada es la salida del V_{co} , un diagrama se puede ver en la figura siguiente:

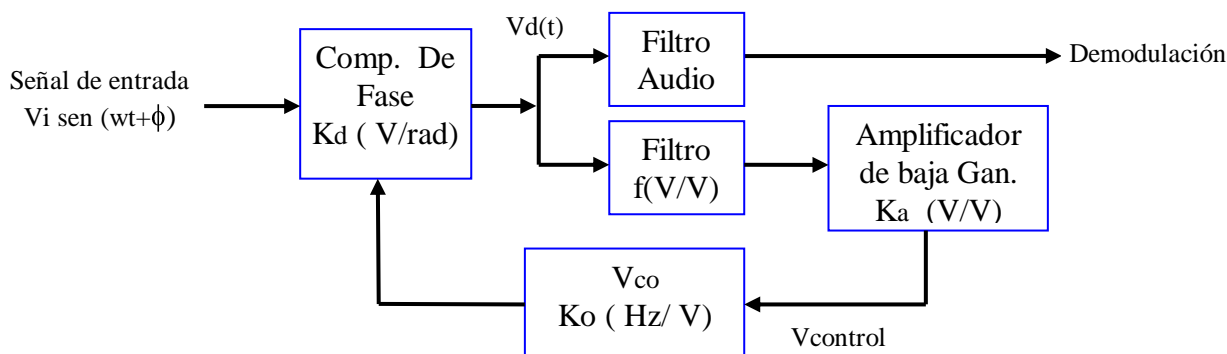


Fig. N° 3 – 4

Se utilizan 4 bloques, los que son básicos en la constitución de todos los PLL, estos son: Comparador de fase, Filtro pasa bajos, amplificador y V_{co} (oscilador controlado por tensión). El comparador de fase compara la fase de esta señal de referencia con la fase de la señal proveniente del V_{co} , entregando en su salida una tensión V_d cuyo valor es proporcional a la diferencia de fase entre las dos señales. Esta tensión luego es filtrada y amplificada a fin de transformarla en una tensión continua libre de ruido, esta tensión se aplica al terminal de control del V_{co} provocando un desplazamiento en la frecuencia de oscilación de este, hasta que esta coincida con la de la señal de entrada, produciéndose el enclavamiento del PLL, esto permite alcanzar un estado estable. Si la señal de entrada varía su frecuencia (FM), el PLL provocará variaciones en la tensión de control (V_{sal}) que serán proporcionales a las variaciones de frecuencia de la señal de entrada, obteniéndose de esta forma una demodulación de la señal de entrada.

Parámetros: Existen algunos parámetros que determinan características importantes de los PLL, los diversos autores que tratan el tema definen distintos parámetros, coincidiendo estos en alguno de ellos, por ejemplo el llamado **Rango de Bloqueo** y **Rango de Captura**.

Rango de Bloqueo: Este es llamado también rango de rastreo, se define como el rango de frecuencias comprendido en el entorno de la frecuencia natural del V_{co} (f_n) dentro del cual el PLL puede enclavarse a partir de un estado del PLL enclavado (estable). Esto significa que el PLL dentro del rango de bloqueo seguirá en forma precisa a la frecuencia de la señal de entrada. El rango de bloqueo depende de la variabilidad del V_{co} , esto es el ancho de banda del mismo y de la tensión necesaria para provocar esa variabilidad, existe un límite superior e inferior de frecuencias dentro del cual el V_{co} rastreará y enclavará su frecuencia de trabajo con la de la señal de entrada, a estos se los llama **Límite Superior de Bloqueo** y **Límite Inferior de Bloqueo**, al rango de frecuencias comprendido entre uno de los límites y la frecuencia central se lo llama **Rango de Retención**.

Rango de Captura: El Rango de Captura o Adquisición se define como el rango de frecuencias, en el entorno de la frecuencia natural del V_{co} (f_n), en el cual el PLL se puede enclavar con la señal de entrada a partir de la activación del mismo. El rango de captura es siempre menor que el rango de bloqueo, esto se debe a que una vez enclavado el V_{co} se puede arrastrar su frecuencia hasta el límite inferior o superior manteniendo el bloqueo, en estos límites las condiciones de funcionamiento del filtro y V_{co} son extremas por lo que se tornan inestables, esto hace que si se

desea activar al PLL directamente en estos límites, posiblemente no se logre el bloqueo, o si este se logra es aleatorio. El rango de captura suele ser aproximadamente un 70 % el valor del rango de bloqueo. Esto se puede ver gráficamente en la siguiente figura:

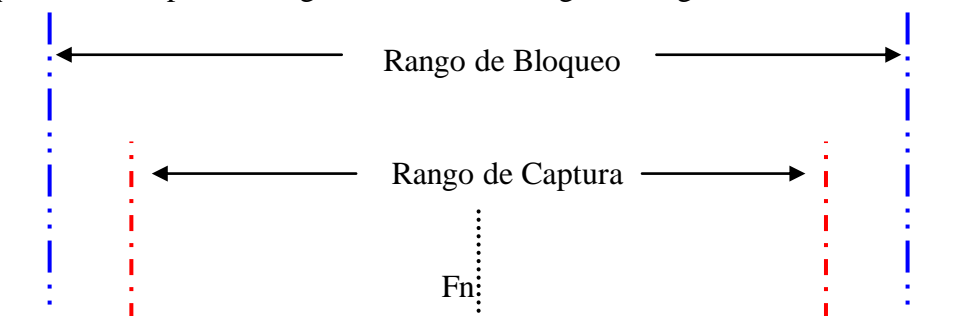


Fig. N° 3 – 5

El rango de captura depende del ancho de banda del filtro pasa bajo, disminuyendo a medida que disminuye el ancho de banda del filtro.

Frecuencia de Corrida Libre (ff o fn): Esta es la frecuencia a la cual el V_{co} oscila libremente cuando la tensión de control aplicada al terminal correspondiente es de 0 v, muchas veces esta frecuencia coincide con la mínima frecuencia de oscilación del V_{co} .

Tiempo de Captura o Adquisición (Enclave): Este es el tiempo requerido por el V_{co} para desplazar su frecuencia desde la f_f hasta la frecuencia deseada de salida, a la que el lazo se encuentra enclavado. Este tiempo depende principalmente del ancho de banda diseñado para el lazo y filtro pasa bajo, siendo su valor inversamente proporcional al ancho de banda. Este tiempo presenta también cierta dispersión debida a la aleatoriedad de las relaciones iniciales de fase entre las dos señales de entrada.

Oscilador Controlado por Tensión (V_{co}):

Los osciladores controlados por tensión, son osciladores diseñados especialmente para permitir modificar su frecuencia de salida, mediante la aplicación de una tensión continua de control, de esta forma la salida del V_{co} es su frecuencia y la entrada es la tensión de control. Además se le puede aplicar una tensión alterna para obtener una modulación de frecuencia. La expresión que representa la variación en la frecuencia de salida en función de la tensión aplicada es:

$$f_o = f_f + k_o V_d = f_f + \Delta f$$

La frecuencia f_f se debe a que por el tipo de salida (lineal), cuando la tensión de control es igual a cero, la frecuencia de salida no necesariamente es cero, sino que presenta un determinado valor llamado a veces **Frecuencia de Corrida Libre (ff)** o a veces a esta se la suele llamar **Frecuencia Natural (fn)**. El termino K_o (Hz./ V) es la función de transferencia entrada / salida y es una constante que depende de las características del V_{co} , esta representa los Mhz. por Volts de corrimiento que se pueden obtener, esto es:

$$K_o = \Delta f / \Delta v$$

Donde Δf es el cambio en la frecuencia de salida y Δv es el cambio en la tensión de control de entrada. También se puede expresar la f_o en términos de la frecuencia angular, esto es:

$$\omega_o = \omega_f + K_o V_d$$

En la gráfica siguiente se muestra la curva de transferencia, esto es frecuencia de salida en función de la tensión de control de entrada para el V_{co} :

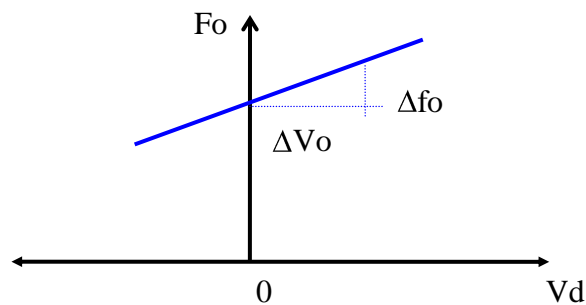


Fig. N° 3 - 6

Existen distintos tipos de osciladores controlados por tensión que pueden utilizar distintas configuraciones, distintos tipos de transistores, algunos con circuitos integrados, incluso en la actualidad se disponen de algunos V_{co} fabricados en forma seriada que operan en distintos rangos de frecuencia y con prestaciones determinadas. Un circuito oscilador que utiliza un transistor bipolar de fácil implementación, utilizado frecuentemente, es el siguiente:

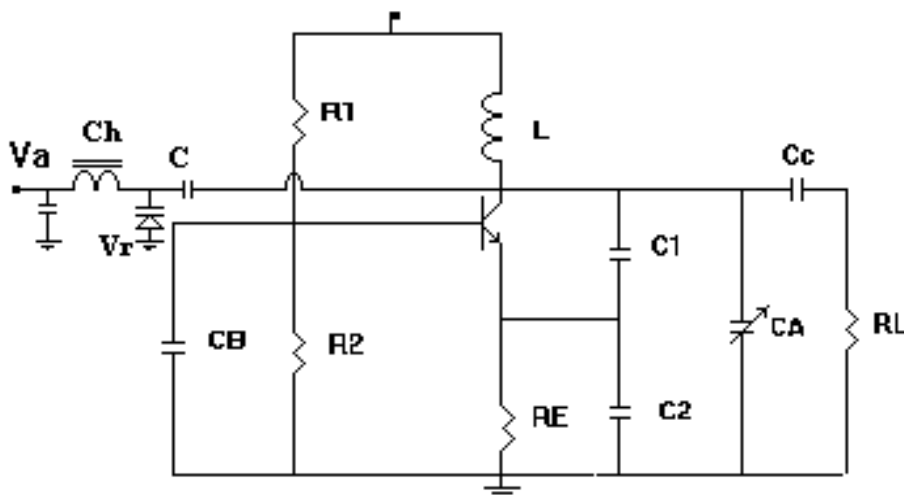


Fig. N° 3 - 7

Funcionamiento: La tensión continua de control se aplica al terminal V_a , la que a través del choque de RF ingresa al diodo varicap V_r , al variar V_a varía la capacidad que presenta este diodo modificándose la frecuencia de oscilación. Esto ocurre debido a que a través del capacitor C la variación en la capacidad de V_r se aplica en paralelo con C_a y con $C_1 - C_2$, actuando de esta forma directamente sobre el circuito resonante. Se debe tener en cuenta que el valor del capacitor C es muy importante, este regula la variación de frecuencia que puede producir la tensión de control V_a en la frecuencia de salida, debido a la presencia del varicap V_r . Cuanto mayor es el valor del capacitor C tanto mayor será la variación de frecuencia obtenida frente a una determinada variación de tensión.

Si se desea modular en frecuencia al V_{co} anterior, se puede sumar a la tensión V_a la señal modulante, o se le puede agregar otro terminal de entrada al cual se aplica la modulación.

Este terminal debería adicionar un varicap con su correspondiente circuito asociado. Esto se puede ver en la gráfica siguiente:

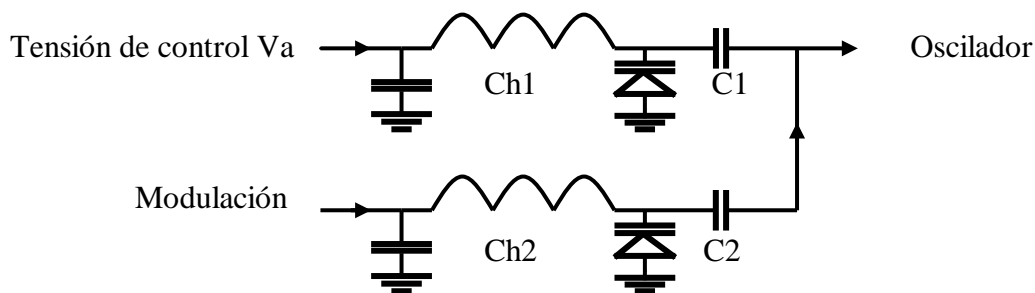


Fig. N° 3 – 8

En la gráfica anterior la señal de modulación ingresa al choque Ch2 y se aplica al varicap V_{r2} , el valor del capacitor C2 es muy pequeño, del orden del Pf o menos, esto se debe a que mientras que la tensión de control debe producir un corrimiento de frecuencia relativamente grande, la señal de modulación solo debe ser capaz de producir un corrimiento pequeño, del orden de los Khz. El circuito anterior es muy utilizado en circuitos transmisores, donde el V_{co} deberá ser modulado.

Como se mencionó anteriormente, es de suma importancia que la tensión continua V_a este totalmente libre de ruido, esto se debe a que en caso contrario, se modularía con este ruido a la señal de salida produciendo lo que se conoce como **Ruido de Fase** o **Ruido de Frecuencia**. La señal V_a proviene del filtro de lazo el que a su vez recibe la señal del comparador de fase, esta señal es generalmente pulsante. El filtro es el encargado de transformarla en una señal continua pura libre de ruidos. Esto complica el diseño del filtro ya que este tiene que cumplir con varios requisitos. Está normalizado el máximo ruido de fase que se admite en osciladores para equipos de comunicaciones, el que debe estar según el tipo de servicio entre -50 y -70 dB.

Tiene también suma importancia la tensión de alimentación que se utilizará para alimentar al V_{co} , esto se debe a que si esta viene acompañada de ruido, se produciría ruido de fase en la señal de salida, por este motivo el punto donde se toma la tensión de alimentación para el V_{co} en la placa de circuito impreso, requiere de un análisis y consideración especial, pudiendo también llegar a ser necesario el uso de un filtrado adicional. Tiene gran importancia la estabilidad y rigidez mecánica de los componentes que conformarán el V_{co} , si alguno de estos es afectado por estas vibraciones, se producirá una modulación en la señal de salida considerada ruido. Este ruido de fase que presentan los V_{co} constituye un parámetro de suma importancia y determinante de la calidad del V_{co} , cuanto menor es este tanto mejor serán las prestaciones del V_{co} .

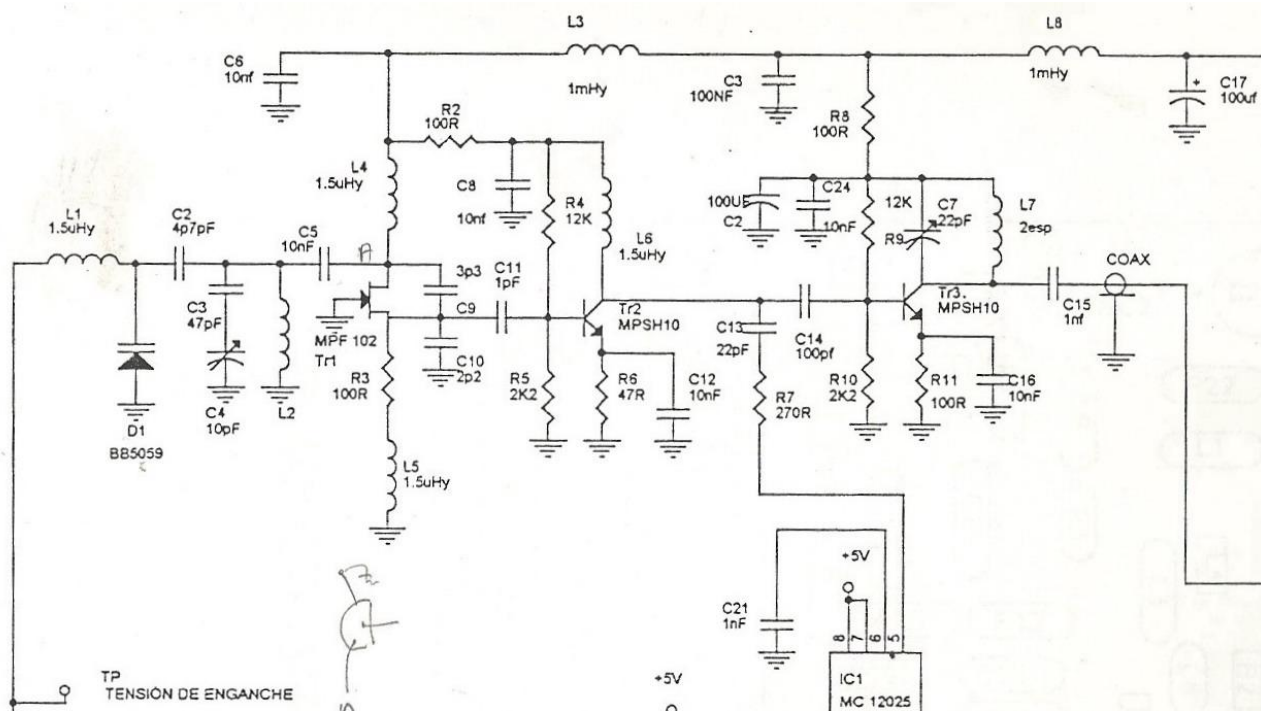
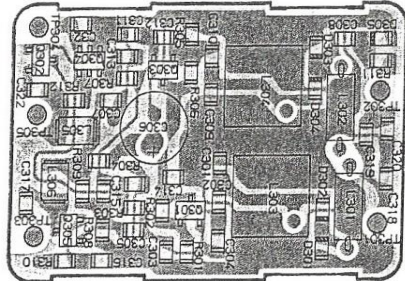


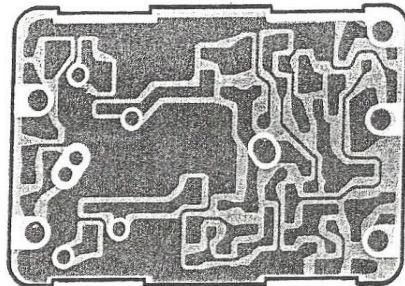
Fig. N° 3 – 9

Parts Layout & Circuit Diagram

VCO Unit (Nos. 3xx)



Obverse View of "Mixed Component" Side



Obverse View of Solder Side

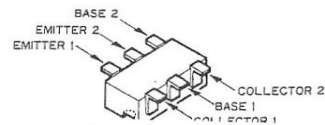
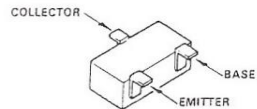
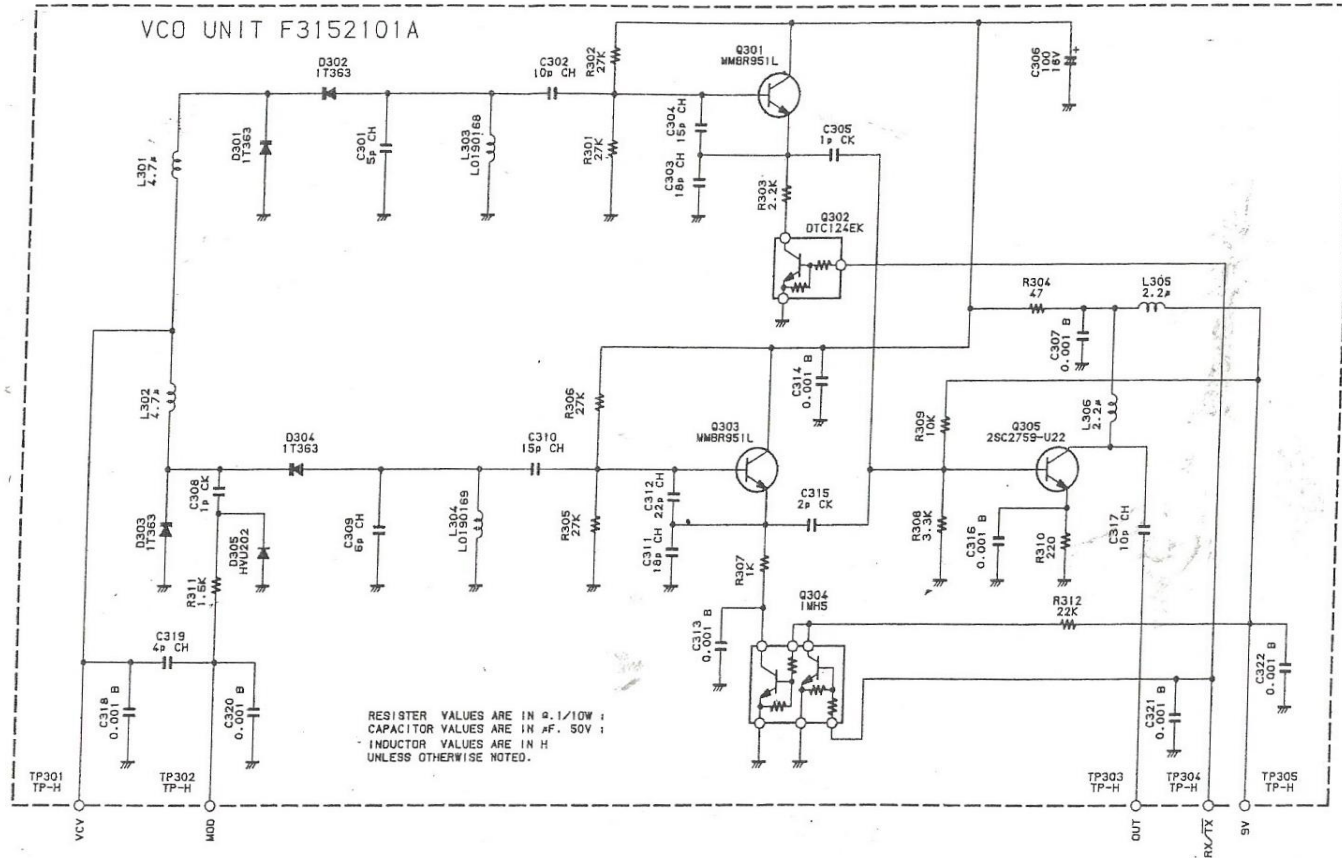


Fig. N° 3 – 10

Comparador de Fase (Cf)

El comparador o detector de fase constituye uno de los bloques principales del PLL, este presenta dos terminales de entrada y uno o dos de salida, este bloque entrega en la salida una tensión V_e cuyo valor es proporcional a la diferencia de fase (θ_d) entre las dos señales de entrada. La forma de onda de la señal de salida V_e depende de la forma de onda de las dos señales de entrada y del tipo de comparador fase utilizado. En forma simple un comparador de fase se podría construir con un multiplicador de cuatro cuadrantes, un modulador de doble balance, en este caso estaríamos en presencia de un comparador de fase lineal, o podría estar compuesto por una compuerta AND, o una compuerta OR exclusiva o un JK-flipflop (VER APÉNDICE 1) o un PFD (Detector de Fase frecuencia). En cualquiera de estos la señal de referencia se inyecta a una de las entradas, y la señal proveniente del V_{co} se inyecta a la otra entrada. La señal de salida estará compuesta por una señal cuya frecuencia y forma depende del **CF** utilizado y de las señales de entradas, pudiendo obtenerse por ejemplo un tren de pulsos cuyo ancho depende del corrimiento de fase de las dos señales de entrada. Los comparadores de fase más utilizados son los digitales y de éstos, el detector de fase frecuencia (PFD) es el más frecuente.

Comparador con PFD:

Este tipo de comparador de Fase, es el de uso mas frecuente en el desarrollo de circuitos de fase fija. El comparador de fase con PFD resulta ser el bloque que realiza el trabajo pesado en el PLL, esto se debe a que ofrece un rango virtualmente ilimitado de enclave, lo que garantiza la adquisición del enclavamiento aún bajo las peores condiciones de trabajo.

Este comparador de fase difiere sustancialmente de los comparadores anteriores, debido a que como su nombre lo indica, la señal de salida que este entrega no solo depende de la diferencia de fase θ_e , sino que también depende la diferencia de frecuencia ($\Delta w = w_1 - w_2$) presente cuando el PLL no se encuentra enclavado. Un comparador de este tipo se puede ver en la siguiente gráfica:

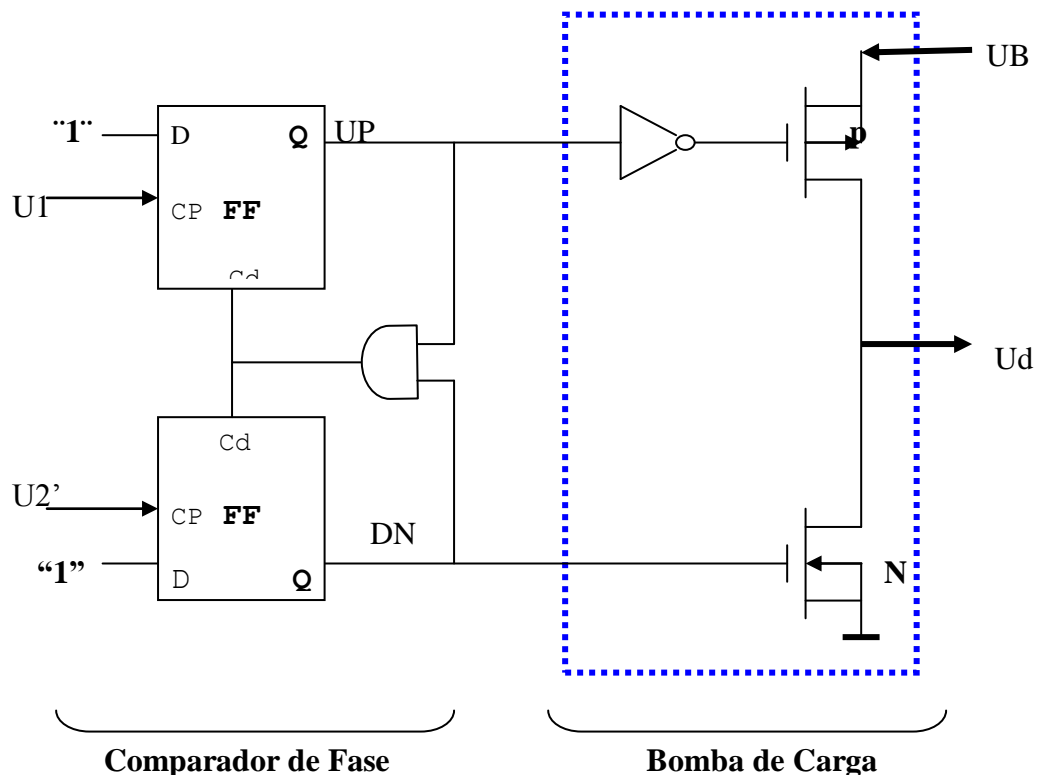


Fig. N° 3 -11

Este PFD se construye con dos **D-filpflop**, las salidas de este indicadas como UP y DN respectivamente, pueden presentar uno de cuatro estados posibles, estos son:

$$UP = 0, \quad DN = 0$$

$$UP = 1, \quad DN = 0$$

$$UP = 0, \quad DN = 1$$

$$UP = 1, \quad DN = 1$$

El cuarto estado sin embargo se encuentra inhibido por la presencia de la compuerta AND, esto se debe a que cuando las dos salidas UP y DN se encuentran en 1 la salida de la compuerta también se encuentra en 1 lo que aplicado a los terminales Cd de los flipflops, provoca el reset de estos, consecuentemente el dispositivo podrá solo presentar tres estados:

$$DN = 1, \quad UP = 0 \longrightarrow \text{estado} = -1$$

$$UP = 0, \quad DN = 0 \longrightarrow \text{estado} = 0$$

$$UP = 1, \quad DN = 0 \longrightarrow \text{estado} = +1$$

El estado que presenta el PFD en un momento depende de la transición hacia positivo de las dos señales de entrada U1 y U2', esto ocurre de forma tal que con cada transición de la entrada U1 (hacia positivo) el PFD cambiará de estado siempre en un sentido positivo, esto es si se encuentra por ejemplo en un estado (-1) cambiará a estado (0) y si su estado es (0) pasará a estado (+1), resumiendo una transición positiva en la entrada U1 fuerza al PFD hacia el próximo estado mas alto. De igual forma un cambio positivo en el terminal de entrada U2' fuerza al PFD hacia su próximo estado mas bajo, esto se puede ver gráficamente a continuación:

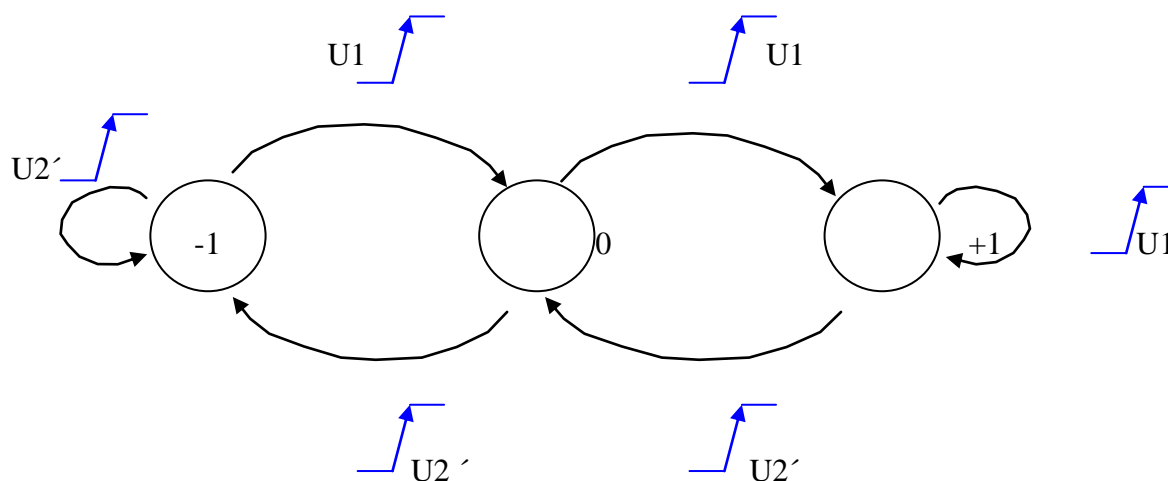


Fig. N° 3 – 12

La señal de salida Ud es una función lógica del estado del PFD, cuando este se encuentra en el estado +1, Ud deberá ser positivo; cuando se encuentra en el estado -1, Ud deberá ser negativo y cuando se encuentra en el estado 0, Ud deberá ser 0. La mayoría de los circuitos lógicos utilizados en la actualidad, generan una señal binaria, donde el tercer estado (Ud = 0) puede ser reemplazado por un estado de alta impedancia.

En la figura 3 -9, la parte del circuito encerrada por la línea cortada, constituye lo que se conoce con el nombre de Bomba de Carga, esta es la encargada de generar la señal Ud de salida. Cuando la señal UP se encuentra en un alto, el transistor MOS canal P conduce, esto hace

a la señal de salida U_d igual a la tensión de fuente U_B . Cuando la señal de salida DN se encuentra en un alto, el transistor MOS canal N conducirá, por lo que la señal de salida U_d adquiere el potencial de tierra. Si ninguna de las dos señales se encuentra en un alto los dos transistores MOS estarán cortados y la señal de salida flotará, esto es se encuentra en el estado de alta impedancia, consecuentemente la señal de salida U_d representa una señal de tres estados.

Para ver como el PFD trabaja en un sintetizador DPLL real, se debe observar detenidamente las formas de ondas correspondientes a los distintos estados de salida, esto para los distintos casos se puede ver en la siguiente gráfica:

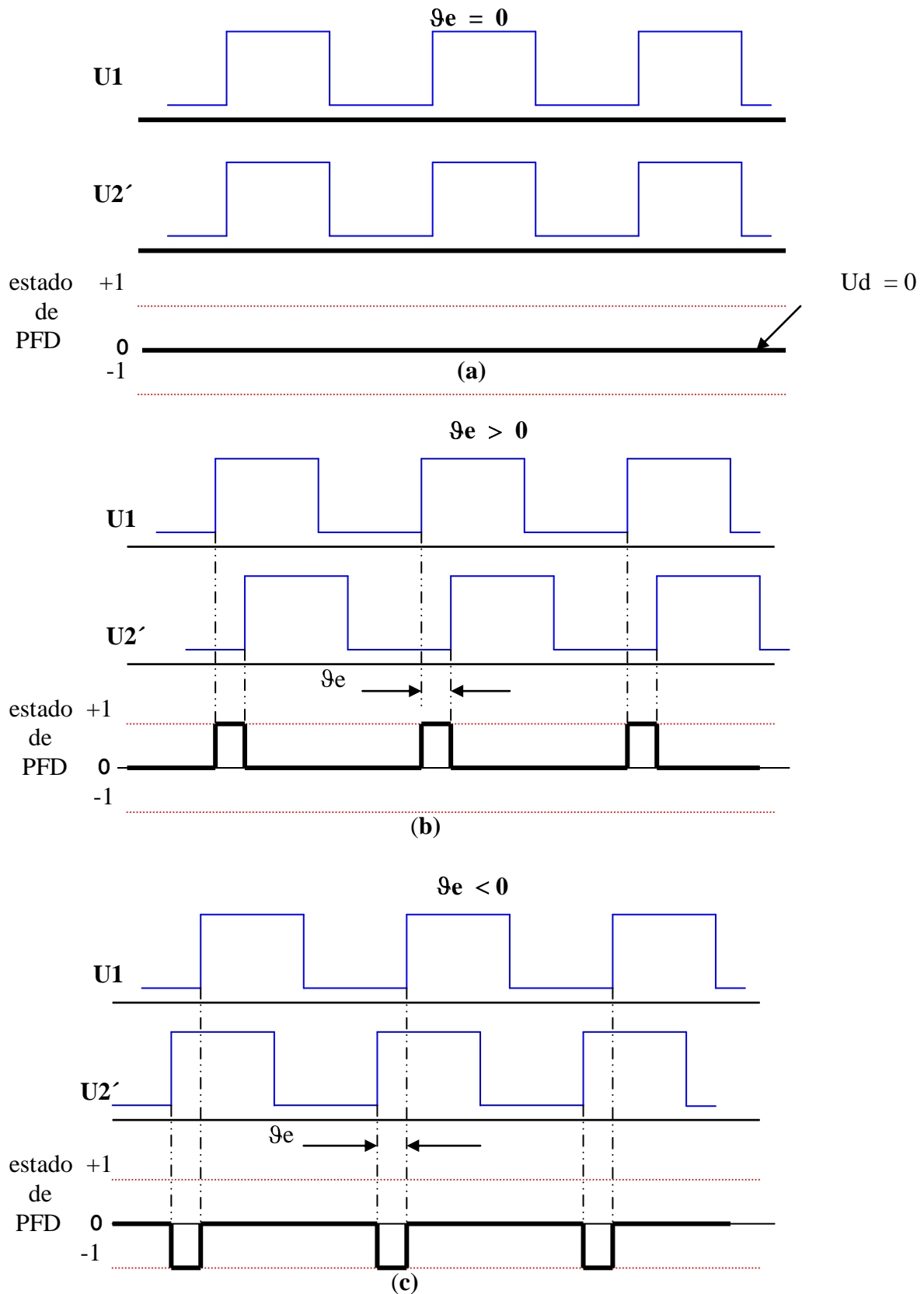


Fig. N° 3 – 13

En la figura anterior se ve que para el caso cuando es $\vartheta_e = 0$, las señales de entrada U_1 y U_2' se encuentran exactamente en fase, por lo que el flanco positivo en ambas ocurre al

mismo tiempo, cancelándose sus efectos. En estas condiciones si el PFD se encontraba inicialmente en estado 0, se mantendrá en ese estado indefinidamente.

En **b** se ve que si la señal de entrada U_1 se adelanta a la señal U_2' , la señal de salida del PFD pasará del estado 0 al estado +1. Pero si como se ve en **c** la señal U_1 atrasa respecto de la señal U_2' , la señal de salida del PFD pasará del estado 0 al estado -1.

Es fácil ver en las formas de onda **b** y **c** de la figura anterior, que la señal U_d crece cuando el error de fase es positivo y se aproxima a los 360° y U_d disminuye cuando el error de fase es negativo y se aproxima a los -360° . Si se grafica la señal de salida U_d en función del error de fase ϑ_e , se obtiene lo siguiente:

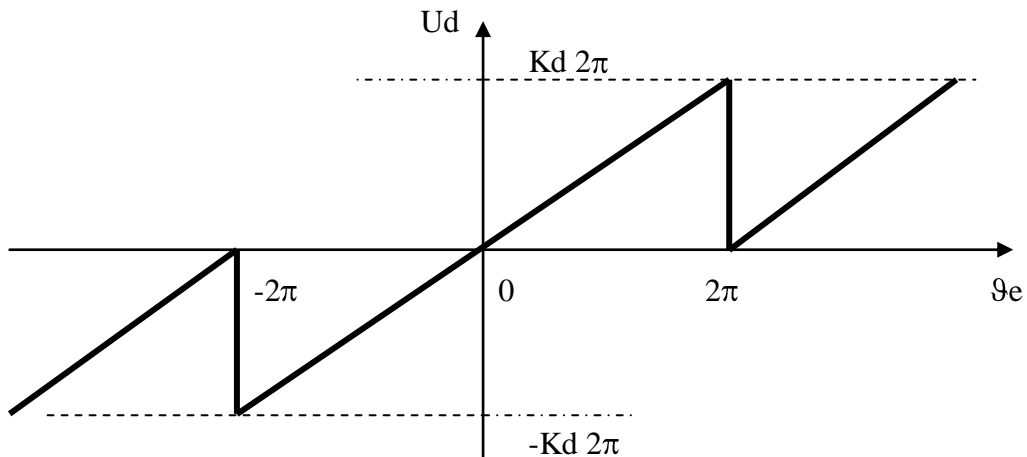


Fig. N° 3 - 14

Cuando el error de fase ϑ_e excede el valor de 2π la señal de salida del PFD vuelve a 0 y se hace periódica, donde el periodo es 2π . Una consideración similar se puede hacer cuando el error de fase se hace menor que -2π . Cuando el error de fase es:

$$-2\pi < \vartheta_e < 2\pi \longrightarrow U_d = K_d \vartheta_e$$

los niveles lógicos para la señal de salida son **UB** o **0** respectivamente, estos se ven limitados por los efectos de saturación de los transistores, quedando la expresión de la ganancia K_d de la siguiente forma:

$$K_d = (U_{sta+} - U_{sat-}) / 4\pi$$

Para observar las mejoras en las prestaciones que ofrece el comparador con PFD, respecto de otros comparadores digitales_(APÉNDICE1), se debe asumir que el DPLL inicialmente no se encuentra enclavado y que la frecuencia de referencia w_1 es mayor que la frecuencia de salida w_2 , entonces la señal de entrada U_1 generará mas transiciones positivas por unidad de tiempo que la señal U_2' , de esta forma el PFD solo podrá saltar entre estado 0 y el estado +1, si w_1 es mucho mayor que w_2 , el PFD permanecerá la mayoría del tiempo en el estado +1. De igual forma cuando w_1 es mucho menor que w_2 , el PFD permanecerá la mayoría del tiempo en el estado -1.

Se puede concluir entonces que si el DPLL no se encuentra enclavado, la señal de salida del PFD varia con el error de frecuencia $\Delta w = w_1 - w_2$, esto significa que la señal de salida del PFD depende del error de fase cuando el DPLL se encuentra enclavado y del error de frecuencia cuando el DPLL no se encuentra enclavado, por esto a este comparador de fase se lo

denomina “**Comparador de Fase-Frecuencia**” y es preferido su uso en la mayoría de los DPLL.

Filtro de Lazo

La señal de salida del comparador de fase se compone de un número de términos, de estos el primero consiste en una tensión continua, la que es proporcional a la diferencia de fase θ_e , los términos restantes son componentes alternas cuyas frecuencias son $2W_1$, $4W_1$, etc. donde W_1 es la frecuencia de referencia. Estas componentes de alta frecuencia son indeseadas y deben ser eliminadas, función que cumple el filtro de lazo. Por otro lado, el filtro además provee al PLL una memorización de corta duración de la tensión de control, esto asegura una rápida recaptura de la señal en caso que el sistema se desenganche por efecto de un ruido transitorio de corta duración.

El filtro de lazo que se utiliza es un filtro pasa bajo, a veces también llamado Filtro de Atraso/Adelanto, esto debido a las características inductivas y capacitivas que presenta. En la mayoría de los LPLL o DPLL el filtro pasa bajo utilizado es de primer orden. Filtros de mayor orden se pueden utilizar, pero se debe tener en cuenta que cada polo adicional introduce corrimientos de fase adicionales, lo que dificulta el mantenimiento de la estabilidad en sistemas de alto orden.

El ancho de banda del filtro pasa bajo tiene gran importancia en las prestaciones del PLL. Una disminución en su ancho de banda produce cambios significativos en las prestaciones, por ejemplo la rapidez que presenta el PLL para colocarse en fase fija, desde el momento del encendido hasta una determinada frecuencia de referencia. Si el filtro presenta un ancho de banda pequeño, el corrimiento que se obtiene del V_{co} es pequeño, esto significa que si la frecuencia de arranque del V_{co} está muy alejada de la deseada, es posible que este no pueda llegar a la frecuencia deseada de salida, no estabilizándose el lazo. Por otro lado un ancho de banda pequeño significa hacerlo más inmune a los ruidos o perturbaciones. En el momento de arranque, es necesario que el filtro presente un ancho de banda grande para que el V_{co} pueda engancharse. De lo dicho anteriormente surge que necesitamos un filtro que en el momento del arranque tenga un ancho de banda grande, y que una vez enganchado tenga un ancho de banda lo más pequeño posible. Una disminución en el ancho de banda entonces provoca varios efectos en el PLL, por ejemplo:

- 1 – El proceso de captura se vuelve lento aumentando este tiempo.
- 2 - Disminuye el rango de captura.
- 3 – Las propiedades de rechazo a interferencias del PLL mejoran ya que el voltaje de error causado por la frecuencia interferente es atenuado en forma adicional por el filtro pasa bajo.
- 4 – La respuesta transitoria del lazo o sea la respuesta del PLL a los cambios repentinos en la frecuencia de entrada, dentro del rango de captura, se vuelve sub-amortiguado.

El filtro de lazo generalmente se compone de un filtro pasa bajo que puede ser pasivo o activo y puede o no contener una Bomba de Carga, en cualquier caso lo que más interesa es la función de transferencia que presenten. Diversas características que resultan muy importantes en el lazo dependen de las características del filtro, como por ejemplo el ancho de banda, el tiempo de captura, la respuesta transitoria.

El orden del lazo dependerá del filtro utilizado, por ejemplo los lazos de 1° orden se obtienen suprimiendo el filtro, esto significa que la función de transferencia del filtro será igual a 1 “ $F_s = 1$ ”. Estos tipos de lazo no se utilizan debido a que los únicos parámetros que se pueden modificar son K_o (Cte. de ganancia del V_{co}) y K_d (Cte. de ganancia del detector de fase), además este tipo de lazos son muy ruidosos.

En la mayoría de los PLL se utilizan filtros pasa-bajo de 1° orden, por lo que los lazos serán de 2° orden, según el tipo de filtro que se utilice será su función de transferencia y el resultado obtenido en el PLL.

Filtro Pasivo: En filtro pasivo pasa bajo (filtro de atraso-adelanto) utilizado en gran cantidad de PLL, se ve en la siguiente gráfica:

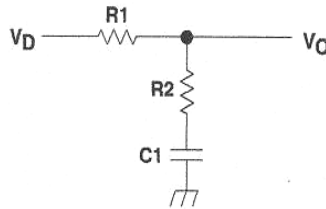


Fig. N° 3 – 15

Este filtro presenta un polo y un cero, este último tiene una importante influencia en el factor de amortiguamiento ζ . Su función de transferencia, luego de aplicar la transformada de Laplace resulta ser:

$$\frac{V_0}{V_D} = K_F(s) = \frac{1 + sC1.R2}{1 + sC1(R1 + R2)} = \frac{1 + s\tau_2}{1 + s(\tau_1 + \tau_2)}$$

donde:

$$\begin{aligned} \tau_1 &= C1.R1 \\ \tau_2 &= C1.R2 \end{aligned}$$

la respuesta en amplitud para este filtro es la siguiente:

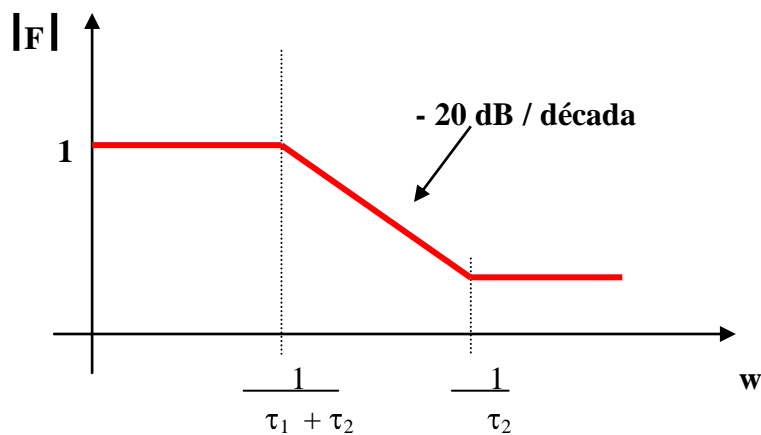
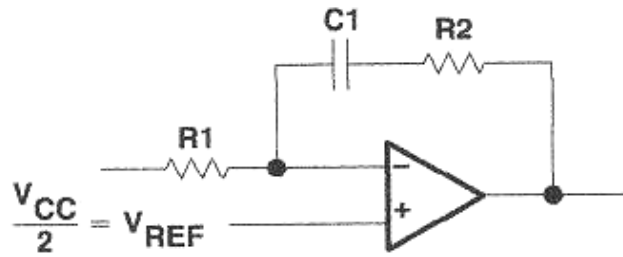


Fig. N° 3 – 16

Filtro Activo:

La utilización de un filtro pasa bajo activo, incorpora un término adicional correspondiente a la ganancia del amplificador operacional. La función de transferencia de este es muy similar a la correspondiente al filtro pasivo. Un filtro de este tipo muy utilizado se puede ver en la siguiente gráfica:

**Fig. N° 3 – 17**

En este caso la V_{ref} está definida para sistemas de alimentación única. A este filtro se lo suele denominar como Filtro PI (de la teoría de control por su acción proporcional + integral), este presenta un polo en $s = 0$ por lo que se comporta igual que un integrador, presentando teóricamente una ganancia infinita para una frecuencia cero. Para obtener la función de transferencia de este filtro, se toma la transformada de Laplace, obteniéndose la siguiente expresión:

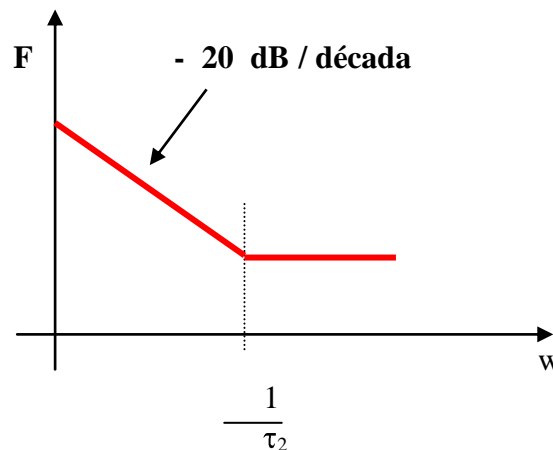
$$K_F(s) = \frac{1 + sC_1.R_2}{sC_1R_1} = \frac{1 + s\tau_2}{s\tau_1}$$

donde:

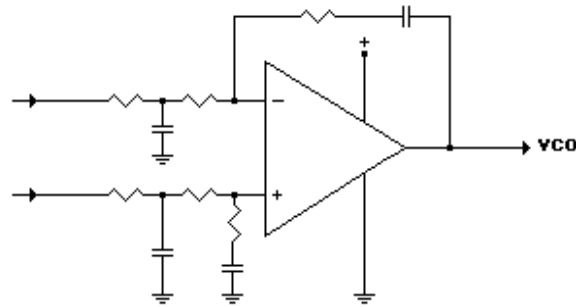
$$\tau_1 = C_1.R_1$$

$$\tau_2 = C_1.R_2$$

la respuesta en amplitud para el filtro indicado anteriormente se puede ver a continuación:

**Fig. N° 3 – 18**

El filtro completo utilizando un amplificador operacional basado en el esquema anterior se puede ver en la siguiente gráfica:

**Fig. N° 3 – 19**

Este filtro es especialmente útil cuando se utiliza un comparador de fase con PFD, donde los terminales de salida UP y DN se conectan directamente a las dos entradas del filtro, no necesitando el uso de una bomba de carga.

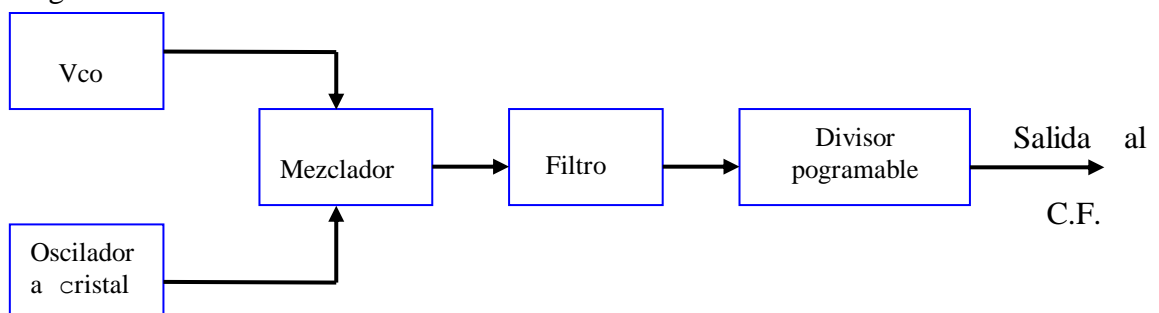
Divisores de frecuencia Programables

Esta etapa en el PLL tiene gran importancia, debido a que esta permite seleccionar la frecuencia deseada de salida. Esta se compone de un divisor programable por N, pudiendo ingresar la selección de división en forma paralela o en forma serie.

Si la señal de entrada presenta una frecuencia F_0 , el divisor entregará en la salida una señal cuya frecuencia será F_0/N , donde necesariamente N deberá ser un número entero, el que puede ser cambiado según la frecuencia deseada de salida. En muchas oportunidades la frecuencia de entrada máxima que es capaz de procesar el divisor es de 10 a 20 Mhz., si la frecuencia de salida del Vco es mayor el lazo no podrá funcionar. Cuando el Vco opera a frecuencias elevadas, el lazo se puede constituir de dos formas:

- 1 - Mediante el uso de un mezclador
- 2 - Mediante el uso de un preescaler

Lazo con mezclador: En este caso se intercala entre el Vco y la cadena divisora un mezclador, una de las entradas de este se conecta a la salida del Vco y a la otra se aplica una señal proveniente de un oscilador a cristal, la salida se inyecta a la cadena divisora, esto se puede ver en la siguiente gráfica:

**Fig. N° 3 – 20**

La frecuencia de operación del oscilador a cristal se debe seleccionar de acuerdo con la frecuencia máxima de salida del Vco y de operación del divisor programable, por ejemplo si el Vco opera entre 840 y 850 Mhz se puede utilizar una señal de oscilador local de 830 Mhz, de

modo que la frecuencia de señal que ingresa al divisor programable se encuentra comprendida entre 10 y 20 Mhz. En este caso el filtro que sigue al mezclador será un filtro pasa bajo que elimine las componentes no deseadas generadas en el mezclador.

Lazo con Prescaler: En esto caso se debe intercalar un divisor de alta frecuencia llamado Prescaler entre el Vco y el divisor programable, de esta forma la frecuencia de salida del Vco que puede ser muy elevada, se traslada a valores aceptables para el contador programable, esto se puede ver en la siguiente gráfica:

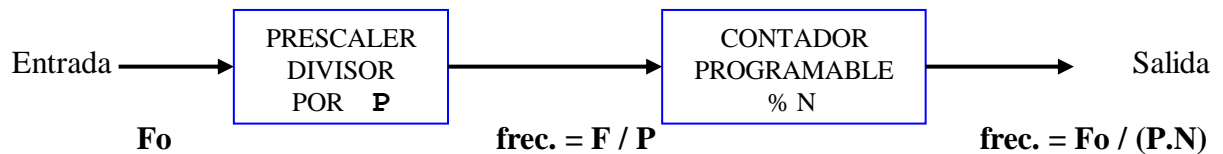


Fig. N° 3 – 21

Como se ve en la gráfica, la frecuencia de salida del Vco puede ser reducida en un valor fijo P a fin de que el contador programable divisible por N pueda trabajar, en este caso el número total por el cual se divide será $(P.N)$.

Si el divisor programable por ejemplo divide por 1457 y el prescaler divide por 10, el número total de división será 14570, si el divisor programable cambia en una unidad y divide por ejemplo por 1456, la división total será ahora 14560, esto significa que el salto mínimo de una unidad a pasado a ser de 10 unidades, por lo que también el salto mínimo que se puede obtener para el Vco será 10 veces mayor, no pudiéndose seleccionar los canales intermedios en la salida. Para poder seleccionar los canales intermedios, manteniendo el salto de canales original, se deberá dividir la frecuencia de referencia también por P . Esto último puede complicar en forma importante el diseño del filtro ya que la nueva frecuencia de referencia puede resultar ser muy baja. Otra solución para poder seleccionar los canales intermedios sin sacrificar las prestaciones del filtro pasa bajo, es mediante el uso de los prescaler duales o Prescaler de Módulo dual (Dual – Modulus Prescalers). El uso de esta técnica permite un preescalamiento directo a alta frecuencia, sin ningún sacrificio en la resolución.

Como ya se vio: $F_{out} = N.P.F_{ref}$

Si se define a N como la suma de un entero (N_p) mas una fracción (A/P), se obtiene:

$$N = N_p + A/P$$

Reemplazando se obtiene: $F_{out} = (N_p + A/P).P.F_{ref} = (N_p .P + A) . F_{ref}$

Si se suma y resta el término AP se obtiene: $F_{out} = (N_p .P + A + AP - AP) . F_{ref}$

Reagrupando se obtiene: $F_{out} = [(N_p - A) P + A (P + 1)] F_{ref}$ (1)

supongamos que $P=10$ entonces la ecuación anterior se convierte en:

$$F_{out} = (10 N_p + A) F_{ref} \quad (2)$$

en esta se ve que cualquier sea el valor de N_p , la contribución del divisor A a la división es lo que permite obtener el salto mínimo de una unidad en la división total.

La ecuación (1) sugiere que al valor de N se lo puede interpretar como si fuese fraccional, lo que se puede sintetizar mediante el uso de un contador de dos módulos P y $P+1$, en esta caso se utiliza un preescaler cuyo factor de división puede ser cambiado mediante una señal de control que proviene del módulo Control Lógico (MCL) el cual es interno del PLL, para poder cambiar la división, el preescaler incluye un terminal de entrada de control, según que este terminal esté en un alto o en un bajo el preescaler dividirá por P ó $P+1$.

Además del contador programable divisor por N , el PLL debe incluir un segundo contador programable divisor por A y el módulo de control lógico, esto se puede ver en la siguiente gráfica:

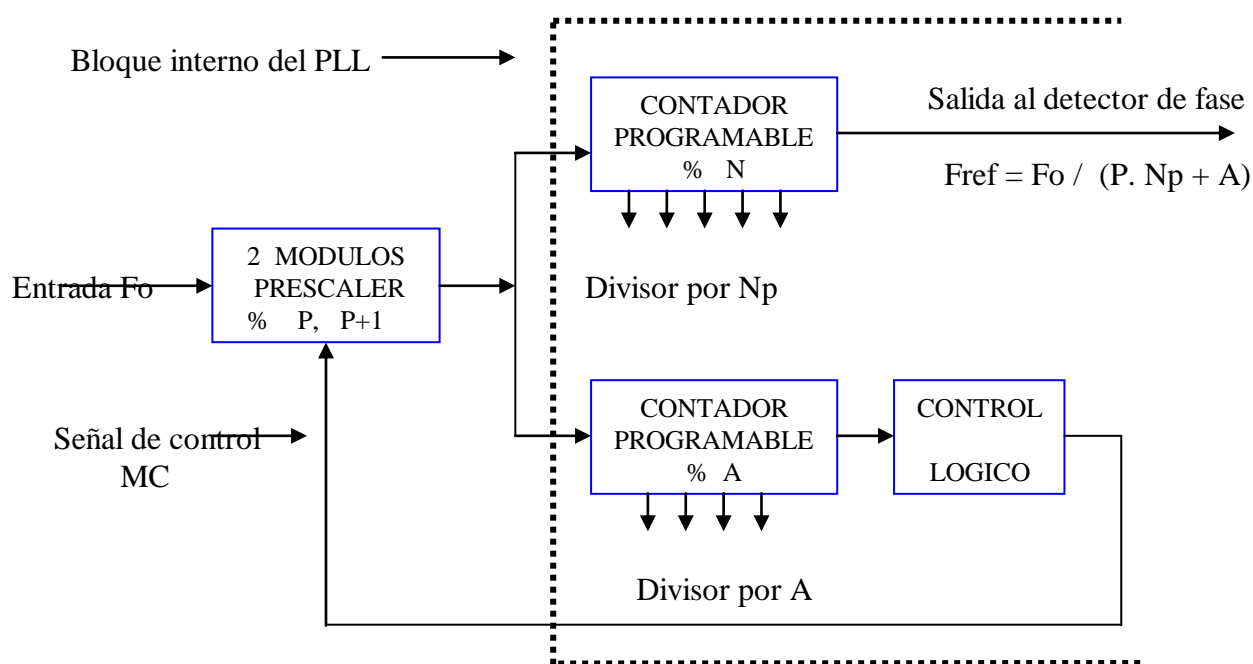


Fig. N° 3 – 22

El contador programable que divide por N_p , cuenta por un número entero en forma decreciente, el contador programable adicional que divide por A , también cuenta en forma decreciente. Al comienzo del ciclo de cuenta el nivel de la señal de salida del MCL está en un bajo y se mantendrá en bajo, durante el tiempo que el contador A cuenta en forma decreciente desde su valor de programación hasta 0. El contador A define el número de ciclos de reloj de la señal de entrada F_0 que proviene del Vco, durante los cuales se mantendrá el estado lógico 0 en la salida del módulo de control lógico, durante ese tiempo el preescaler dividirá por $P+1$, A veces. En ese momento el MCL cambia de estado su salida a un alto, este estado se mantiene en alto hasta que el contador divisor por N_p , que también cuenta en forma decreciente, haya completado el resto de su cuenta, a partir de su valor programado, durante ese período de tiempo $N_p - A$ el preescaler dividirá por P .

Los dos contadores N_p y A cuentan en forma decreciente y simultanea, durante la primera parte del ciclo, siendo siempre $N_p > A$. Cuando el contador N_p finaliza la cuenta, los contadores son reseteados a sus respectivos valores programados, en ese momento la señal de salida del MCL se coloca en bajo y el ciclo se repite. Este sistema permite obtener un valor total

de división programable, teniendo en cuenta las ecuaciones (1) y (2), dado por la siguiente expresión:

$$N_t = N_p \cdot P + A$$

La frecuencia de la señal de salida se puede expresar de la siguiente forma:

$$F_{ref} = f_o / (P \cdot N_p + A) \Rightarrow f_o = F_{ref} (P \cdot N_p + A)$$

Donde P y P+1 respectivamente representan el valor de división para el Prescaler de Modo Dual correspondientes a niveles de MCL altos y bajos, N_p es el número programado para el contador % N_p y A es el número programado para el contador % A. El rango de división para los dos contadores depende del PLL utilizado, para el caso de circuito integrado MC 145152 estos son:

% N rango = 3 a 1023

% A (% A) rango = 0 a 63

Referencia:

(Manual de Motorola Communications
Capitulo 4 - Nota de aplicación AN-827)

Un circuito de ejemplo de PLL muy utilizado se ve en la figura siguiente:

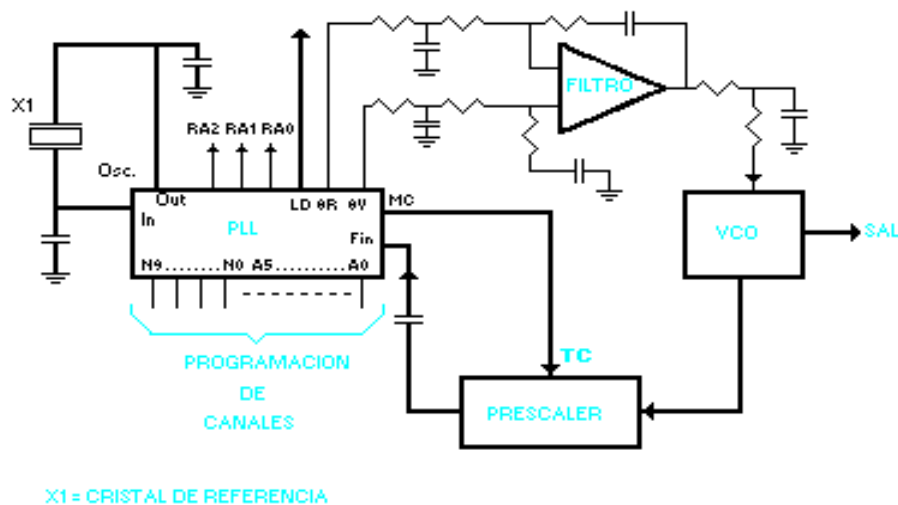


Fig. N° 3 – 23

Este utiliza un Circuito integrado MC 145152, el que incluye en su interior el oscilador de referencia, el comparador de fase, el contador % por N, el contador % por S ó A, mediante los cuales se puede seleccionar la frecuencia deseada de salida. Incluye también un divisor programable, este permite seleccionar el número por el cuál se dividirá la frecuencia del cristal de referencia, los terminales de control son RA0, RA1, RA2, según que estos terminales estén en alto o bajo, dependerá el número por que se dividirá la frecuencia del cristal. Posee un terminal de salida para la señal de control del prescaler (MCL) y un terminal (LD) el cuál indica cuando el PLL alcanza el estado estable o sea cuando se ha enclavado.

El circuito integrado **MC 145152** posee además dos terminales de salida cuyas señales son proporcionales al corrimiento de fase (Φ_R y Φ_V), estas señales se aplican a un filtro pasa-bajo activo y la salida de este ataca el Vco. Se toma una muestra de la señal de salida del Vco y se la inyecta a la entrada del prescaler.

El prescaler a utilizar es un divisor de frecuencia capaz de dividir por dos números fijos, según el estado del terminal de control **TC**, por ejemplo puede dividir por 10/11 ó 63/64 ó 64/65 ó 127/128, etc. La salida de este se aplica al PLL. La frecuencia de operación se selecciona colocando 1 ó 0 en los terminales de control del MC 145152, esto es N0 a N9 para el contador % por N y A0 a A5 para el contador % por A.

En la figura siguiente se puede ver un circuito completo de un sintetizador de frecuencia, el que opera en el rango de 240 Mhz. El un oscilador (VCO) utiliza un transistor fet (MPF102), el que podría ser reemplazado por un mosfet de doble compuerta, en cuyo caso a la compuerta N2 se la tendría que polarizar. El PLL utilizado es de Motorola el MC 145152, con estrada de selección de frecuencia en paralelo. Se puede observar a la salida del oscilador una etapa separadora que desacopla al oscilador del resto del circuito, a la salida de esta se deriva una parte de la señal al preescaler, para el funcionamiento del PLL y otra parte a una etapa amplificadora, para ingresarse a etapas de potencia.

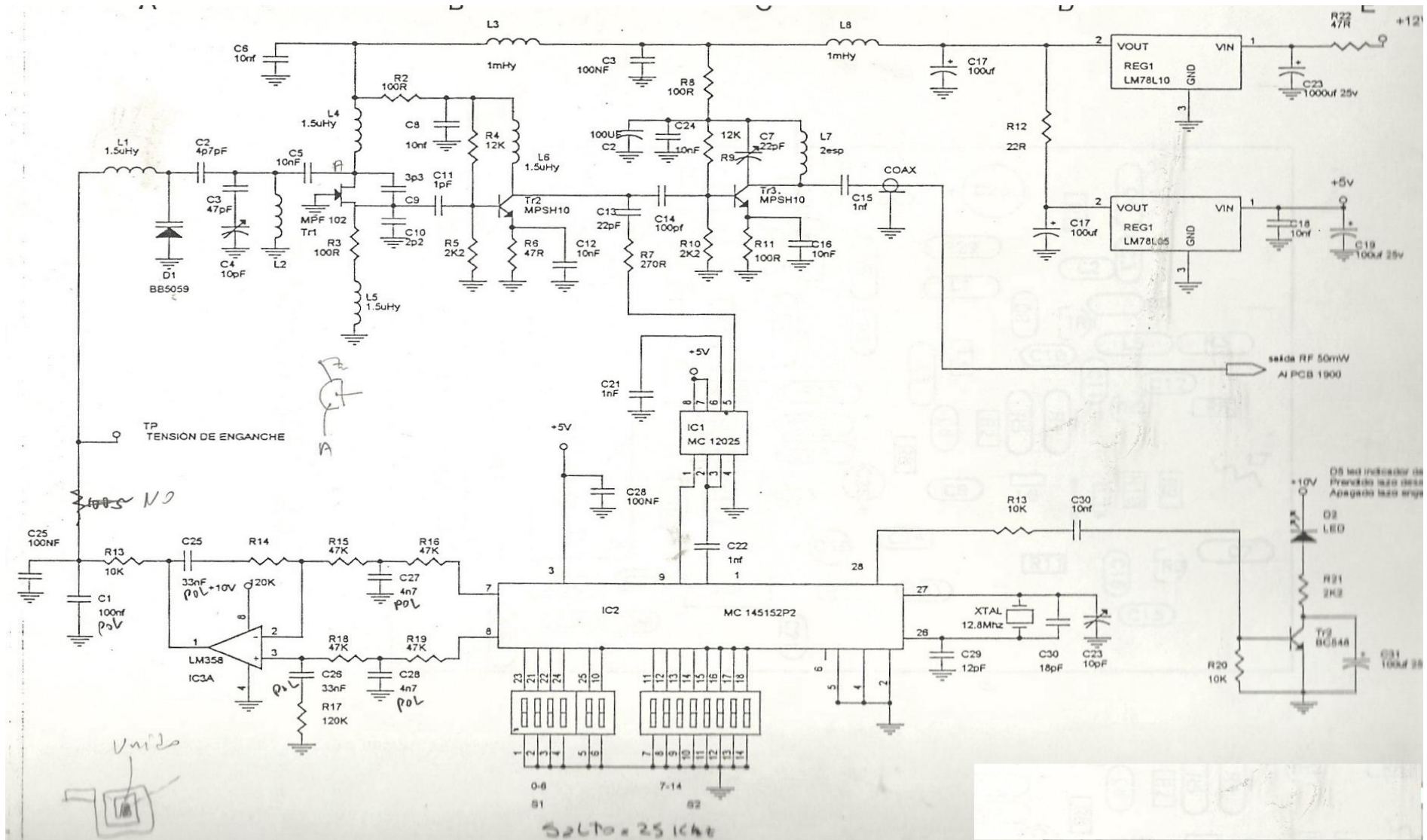


Fig. N° 3 – 24

Diseño de un Sintetizador de Frecuencia

Introducción: El primer paso en el diseño de un PLL es definir el tipo y orden del mismo. Estos términos provienen del análisis del mismo como sistema realimentado de lazo cerrado. El diagrama en bloques del sistema es el siguiente:

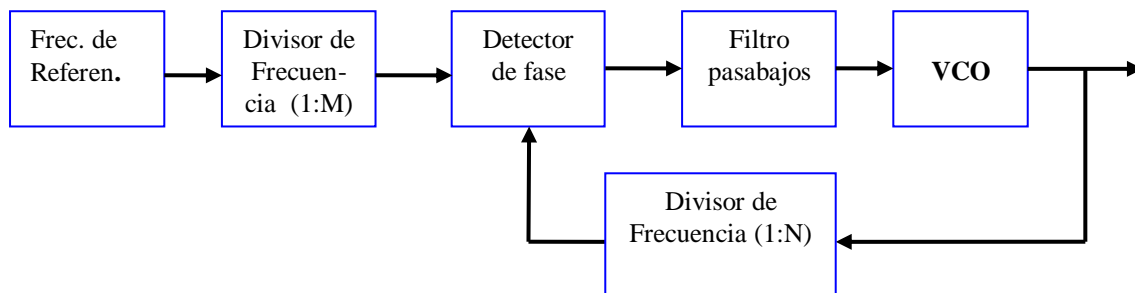


Fig. N° 3 – 25

Observando el mismo y usando transformadas de Laplace, la función de transferencia de lazo cerrado puede ser expresada de la siguiente manera:

$$\frac{\theta_{OSC}(s)}{\theta_{REF}(s)} = \frac{K_p \cdot K_F(s) \cdot K_V(s)}{1 + K_p \cdot K_F(s) \cdot K_V(s) K_N} = W(s)$$

Donde:

K_p = ganancia del detector de fase [V/rad]

K_F = función de transferencia del filtro pasabajos [V/V]

K_V = ganancia del VCO [rad/V/seg]

K_N = Función de transferencia de la cadena de divisores = $1/N$

V_c = tensión de control del VCO

s = variable de Laplace

Suponiendo que la ganancia del detector de fase no es función del tiempo, mientras que la ganancia K_V del VCO, si lo es, resulta que:

$$K_V(s) = \frac{K_V}{s}$$

dado que la fase es la integral en el tiempo de la frecuencia, la función de transferencia a lazo cerrado resulta ser:

$$W(s) = \frac{K_p \cdot K_F(s) \cdot K_V}{s + K_p \cdot K_F(s) \cdot K_V / N} \quad (1)$$

Por otro lado se sabe que la función de transferencia de un sistema realimentado responde genéricamente a la siguiente expresión:

$$W(s) = \frac{G(s)}{1 + G(s)H(s)}$$

En base a esta expresión puede definirse:

- **ORDEN** del sistema es el máximo grado del polinomio

$$1 + G(s)H(s)$$

- **TIPO** del sistema es el número de polos ubicados en el origen de la expresión:

$$G(s)H(s) \quad (2)$$

Por lo general los filtros RC pasivos responden a sistemas del tipo I, mientras que los activos son de tipo II.

En virtud de lo expuesto debe tenerse en cuenta que el tipo y orden del sistema fijan la respuesta transitoria, y por tanto la estabilidad en frecuencia del PLL. Dado que por lo general vamos a utilizar sistemas de segundo orden, la selección correcta del factor de amortiguamiento y la frecuencia natural son los parámetros más importantes a tener en cuenta en el diseño y son función exclusiva del filtro de lazo.

Datos: Los datos con los que se cuenta normalmente para el diseño, son generalmente condicionados por los requisitos de funcionamiento, estos pueden ser los siguientes:

- 1 - Rango de frecuencia de salida
- 2 - Pasos de frecuencia entre canal y canal
- 3 - Tiempo de enganche
- 4 - Máximo error permisible

Pasos de Diseño: En función de estos datos primeramente se debe seleccionar los componentes a utilizar, es decir, el comparador de fase, el Vco y el divisor de frecuencia.

1 - Seleccionar el comparador de fase y en función de esta selección determinar su función de transferencia, K_p . Esta ganancia del detector de fase puede calcularse mediante la siguiente expresión:

$$K_p = \frac{V_{OH} - V_{OL}}{\varphi_2 - \varphi_1} \quad [V/rad]$$

donde:

V_{OH} = máxima tensión de salida

V_{OL} = mínima tensión de salida

$\varphi_2 - \varphi_1$ = Rango de detección de fase. Vale 4π en el caso de un PFD.

2 - Seleccionar el Vco a utilizar y determinar la ganancia K_v del mismo. De la característica de salida del Vco se puede obtener la ganancia mediante la siguiente expresión:

$$K_{<v} = \frac{f_{max} - f_{min}}{V_{max} - V_{min}} \cdot 2\pi \quad \left[\frac{rad}{seg \cdot V} \right]$$

donde: f_{max} = máxima frecuencia a la que puede mantenerse la linealidad frecuencia-tensión de control.

f_{min} = mínima frecuencia a la que puede mantenerse la linealidad frecuencia-tensión de control.

V_{max} = Tensión de control para la cual la frecuencia de oscilación es f_{max} .

V_{min} = Tensión de control para la cual la frecuencia de oscilación es f_{min} .

3 - Se determina el factor de división, basándose en la frecuencia de referencia y la frecuencia que se desea en la salida. De esta manera se obtiene $K_N = 1/N$.

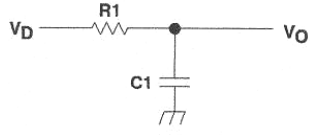
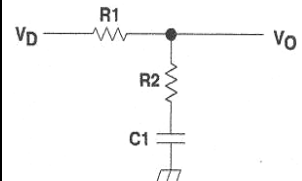
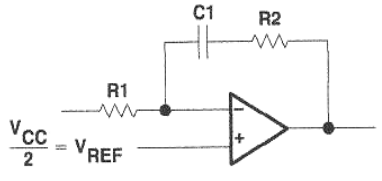
4 - Pueden reemplazarse estas funciones en (1), observándose que el único parámetro libre para el diseño resulta ser K_F . Para el análisis del orden y tipo de sistema, observamos que forma adopta la (2):

$$G(s)H(s) = \frac{K.K_F}{s}$$

donde:

$$K = K_p K_v K_N$$

5 - Seleccionando ahora el tipo de filtro a utilizar, en función del orden y tipo de sistema a obtener, podemos sintetizar el mismo. Vale mencionar que por lo general se utilizan tres tipos de filtros, recomendándose en especial los dos últimos dos, dado que la presencia de ceros mejora las condiciones de estabilidad:

Filtro pasivo RC	Filtro Pasivo avance-retroceso	Filtro activo
		
$K_F(s) = \frac{1}{1 + sC_1R_1}$ $K_F(s) = \frac{1}{1 + s\tau}$	$K_F(s) = \frac{1 + sC_1.R_2}{1 + sC_1(R1 + R2)}$ $K_F(s) = \frac{1 + s\tau_2}{1 + s(\tau_1 + \tau_2)}$	$K_F(s) = \frac{1 + sC_1.R_2}{sC_1R_1}$ $K_F(s) = \frac{1 + s\tau_2}{s\tau_1}$
Resulta un sistema: de Orden 2 y Tipo I	Resulta un sistema: de Orden 2 y Tipo I	Resulta un sistema: de Orden 2 y Tipo II
$G(s)H(s) = \frac{K}{s(s+a)}$	$G(s)H(s) = \frac{K.(s+a)}{s(s+b)}$	$G(s)H(s) = \frac{K.(s+a)}{s^2}$

6 - Una vez definido el tipo de filtro a utilizar, y basados en la respuesta a la excitación por función escalón del PLL, se puede elegir el factor de amortiguamiento, analizar la pulsación angular natural y examinar las características del tiempo de respuesta y estabilidad relativa. Para la función de transferencia a lazo cerrado analizada, la respuesta del PLL al escalón, según el filtro utilizado, se presenta en los siguientes gráficos:

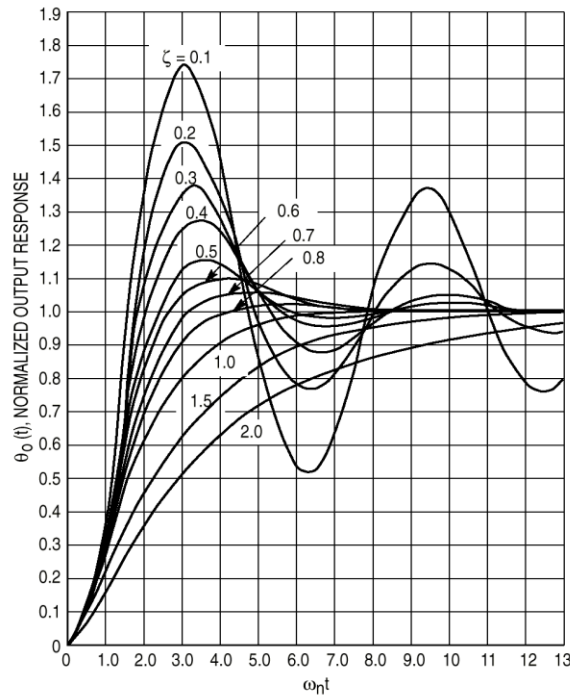


Fig. N° 3 – 26 (Respuesta al escalón de un Sistema de segundo orden Tipo I)

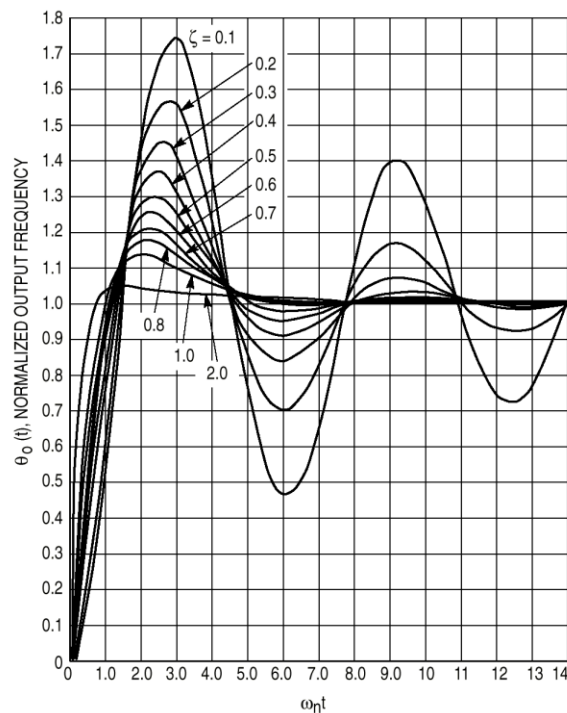


Fig. N° 3 – 27 (Respuesta al escalón de un Sistema de segundo orden Tipo II)

Puede observarse claramente la influencia del factor de amortiguamiento. A menores valores de este, mayor es el tiempo que tarda el sistema en estabilizarse, y mayores son los porcentajes de error. Asimismo, a mayores valores de ω_n corresponden tiempos más cortos de respuesta. Para el diseño del filtro, se selecciona primeramente un valor de ζ . Luego se elige de la característica de respuesta al escalón, el valor de $\omega_n t$ para el cual la respuesta cae dentro de un porcentaje elegido del valor final. (usualmente 5%). Dividiendo luego $\omega_n t$ por el tiempo deseado de enganche t_s , se determina ω_n .

ζ es una medida de la estabilidad, y usualmente se seleccionan valores comprendidos entre 0,6 y 0,8. Supongamos por tanto un valor elegido de $\zeta = 0,7$. Para valores más bajos del factor de amortiguamiento, el sistema responderá mas rápidamente, pero perdiendo estabilidad, es decir generando mayores errores hasta que se produzca la estabilización. Si es demasiado alto, el tiempo de enganche se hace demasiado alto. El valor de ω_n se obtiene de las características de respuesta al escalón, entrando en las curvas con ζ y el porcentaje de error admisible. Para el valor adoptado de ζ , resulta:

$$\omega_n = \frac{\omega_n \tau}{t_s} = \frac{4,5}{t_s} \quad [rad/seg]$$

siendo el tiempo de enganche un dato de las consideraciones específicas del proyecto. El criterio depende de la aplicación. Resulta conveniente escoger la frecuencia natural ($f_n = \omega_n/2\pi$) entre un décimo y un centésimo de la frecuencia de referencia del detector de fase.

7 -Con los datos obtenidos, puede sintetizarse el filtro. Se muestra a continuación el procedimiento solamente para los filtros de avance-retroceso y activos:

	Filtro avance-retroceso:	Filtro activo:
Formulas de diseño	$R_1 = \left(\frac{K}{\omega_n^2} - \frac{2\zeta}{\omega_n} + \frac{1}{K} \right) \cdot \frac{1}{C_1}$ $R_2 = \left(\frac{2\zeta}{\omega_n} - \frac{1}{K} \right) \cdot \frac{1}{C_2}$	$R_1 = \frac{K}{\omega_n^2} \cdot \frac{1}{C_1}$ $R_2 = \frac{2\zeta}{\omega_n} \cdot \frac{1}{C_1}$

Por tanto se adopta un valor para C_1 , pudiéndose calcular así los valores de R_1 y R_2 .

8 - Usualmente, en los filtros pasivos se suele agregar un segundo capacitor C_2 que tiene por finalidad la eliminación de ruidos espurios en la entrada del VCO. El valor de C_2 debería ser menor o igual que un décimo de C_1 a fin de evitar que C_2 afecte la respuesta en frecuencia y sin embargo cumpla con sus funciones de filtrado de ruido. También en el caso de los filtros activos es recomendable la incorporación del capacitor adicional C_2 . Esta capacidad es usada para compensar la respuesta a altas frecuencias de R_2 . La frecuencia de corte ω_c , de C_2 y R_2 debería ser elegida de manera que sea aproximadamente 10 veces la frecuencia natural ω_n , del PLL:

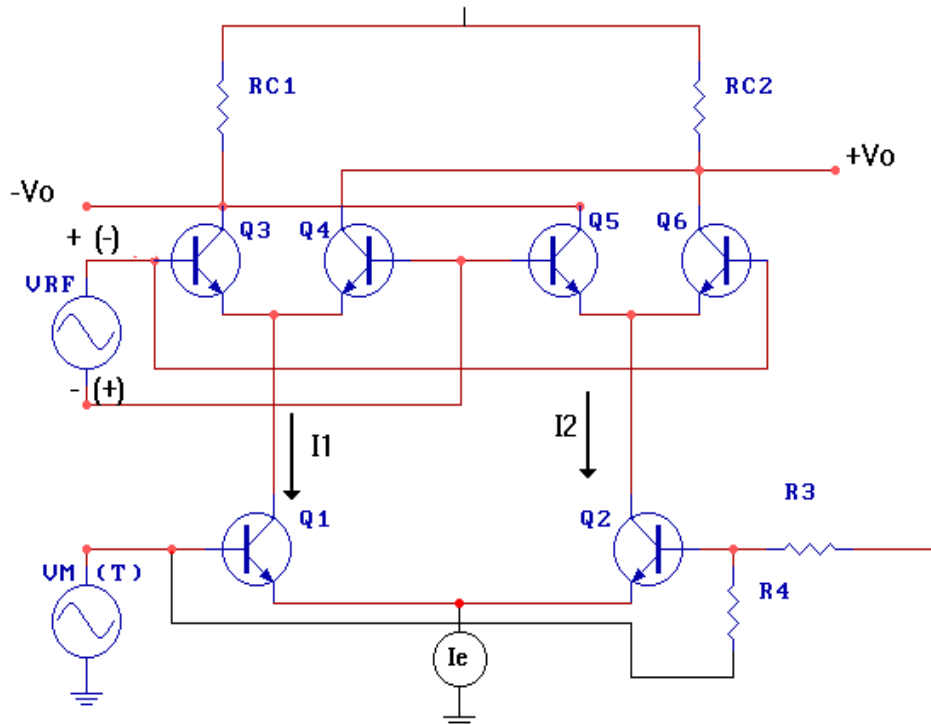
$$\omega_c = \frac{1}{C_2 \cdot R_2} \cong 10\omega_n$$

	Filtro avance-retroceso:	Filtro activo:
Diseño final		

Apéndice 1:**Comparador de fase lineal:**

Un comparador de fase lineal muy utilizado es el compuesto por el llamado Multiplicador o mezclador de Doble Balance como por ejemplo el C.I. **MC 1496**, también se podría utilizar un multiplicador de cuatro cuadrantes como por ejemplo el C.I. **MC 1495**.

El CI MC 1496 es muy utilizado en equipos de comunicaciones, ya sea como modulador de doble balance, en etapas transmisoras de equipos transmisores de BLU, o como mezclador de doble balance en etapas receptoras, un esquema simplificado de un multiplicador de doble balance como el MC 1496 es el siguiente:

**Fig. N° 1**

La señal proveniente del Vco se aplica a los terminales indicados como Vrf, esta señal será la encargada de llevar a corte y saturación a los transistores Q3, Q4, Q5 y Q6, provocando que la corriente I1 e I2 circulen alternativamente por Rc1 o Rc2, según el caso. La señal de referencia se aplica al terminal Vm y controla la corriente I1 e I2 que circulan por los transistores Q1 y Q2. Ie es un generador de corriente constante que permite que toda variación en la corriente I1 sea seguida de una variación de igual magnitud pero de sentido contrario en la corriente I2.

Para un determinado valor instantáneo de la señal de referencia aplicada al terminal Vm, se obtendrá una determinada corriente I1 circulando por Q1 y una I2 circulando por Q2. La señal proveniente del Vco aplicada al terminal Vrf controlará el estado de conducción de los transistores Q3, Q4, Q5 y Q6, cuando esta presenta la polaridad (+) a Q3 y Q6, estos transistores conducirán y los transistores Q4 y Q5 estarán cortados, de esta forma la corriente I1 circulará por Rc1 y la corriente I2 circulará por Rc2, cuando se invierte la polaridad de la señal aplicada al terminal Vrf, se cortarán los transistores Q3 y Q6 y conducirán los transistores Q4 y Q5, de esta forma la corriente I1 pasará a circular por Rc2 y la corriente I2 circulará por Rc1. Este circuito presenta dos terminales de salida, por los que sale la misma señal pero desfasada 180° una de otra.

Si se toma por ejemplo la salida + V_o , esta salida estará en bajo cuando circule corriente por la resistencia R_{c2} , para que esto ocurra deberá estar en conducción el transistor Q_6 y Q_2 , circulando la I_2 por Q_6 y R_{c2} . Si se invierte la polaridad de la señal ingresante al terminal V_m o V_{rf} , se cortará el transistor Q_2 o Q_6 por lo que se cortará la corriente por R_{c2} , esto lleva la tensión de salida a un alto. De esta forma la tensión de salida V_o estará en bajo únicamente cuando las dos señales de entrada coincidan en un alto, esta coincidencia depende de la diferencia de fase entre estas dos señales. El ancho de los pulsos negativos y positivos en la señal de salida dependerá entonces de la diferencia de fase entre las dos señales de entrada. Esto último se ve en la siguiente gráfica:

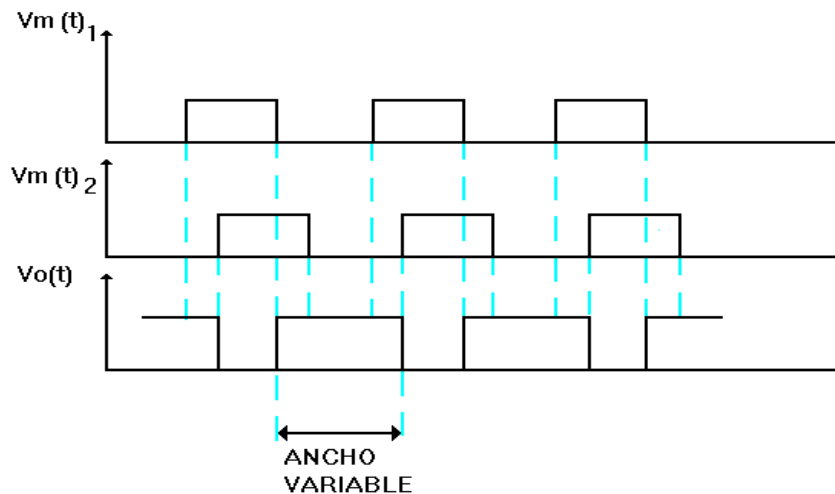


Fig. N° 2

Supongamos ahora que las dos señales de entrada son de tipo senoidal y el comparador de fase es el multiplicador visto, entonces la señal de salida será el producto de estas dos señales de tipo senoidal, por ejemplo si V_1 es senoidal y V_2 cosenoidal se obtiene:

$$V_1 = K_1 \sin(\omega_1 + \theta_1) \quad \text{y} \quad V_2 = K_2 \cos(\omega_2 + \theta_2)$$

el producto de estas dos señales es:

$$V_1 V_2 = K_1 K_2 \frac{1}{2} [\sin(\omega_1 + \theta_1 + \omega_2 + \theta_2) + \sin(\omega_1 + \theta_1 - \omega_2 - \theta_2)]$$

Si a la salida del comparador se coloca un filtro pasa bajo, se eliminarán las componentes de alta frecuencia, por lo que no se considera el término suma, además las dos frecuencias de entrada deben coincidir para alcanzar el estado estable, por lo que deberán ser $\omega_1 = \omega_2$, de esta forma el resultado es:

$$V_e = A \sin(\theta_1 - \theta_2) \quad \text{donde será} \quad \theta_e = \theta_1 - \theta_2$$

$$V_o = V_e \text{ será también senoidal, esto es: } V_e = A \sin \theta_e$$

De donde para $\theta_e = 0$ será $V_e = 0$, el valor de θ_e deberá estar como máximo entre $\pm \pi / 2$ para funcionamiento estable. Si el desplazamiento de fase fuera mayor, como la tensión de control es proporcional a la diferencia de fase, en determinados casos esta tensión podría ser mayor o menor que la necesaria, pudiéndose omitir ciclos y por consiguiente salirse el PLL del

estado estable, no pudiéndose enclavar. Por otro lado generalmente se lo trabaja en un entorno pequeño, debido a que si se lo trabaja en entornos grandes, cualquier ruido presente en el bucle puede producir un desenganche provocando que el bucle se salga de fase fija, esto hace que el valor de θ_e sea bastante menor que el indicado. La ganancia del detector de fase se puede expresar mediante una expresión que relaciona estos parámetros, esto se ve en la siguiente expresión:

$$k_d = \frac{V_e}{\theta_e} \quad (\text{V / Rad.})$$

Se debe tener en cuenta que según sea la aplicación del PLL, será el tipo de detector de fase a utilizar.

Comparador de Fase Digital:

Cuando se utiliza un comparador de fase de este tipo al PLL obtenido se lo llama DPLL, en este se utilizan bloques analógicos, siendo el único bloque digital el comparador de fase, por esto el DPLL en muchos aspectos presenta características similares a los PLL lineales (LPLL).

En la constitución de los comparadores de fase digitales, se pueden utilizar diversos tipos de circuitos lógicos, por ejemplo se puede utilizar una compuerta **EXOR** o un **JK-flipflop** o un **Detector Fase Frecuencia (PFD)**.

Comparador con EXOR: En este caso la operación del PLL es similar a la de los PLL lineales. Las señales de entrada a una compuerta de este tipo son siempre señales digitales (ondas cuadradas), si las señales de entrada son **U1** y **U2** y la señal de salida es **Ud**, la respuesta del comparador de fase se ve en la siguiente gráfica:

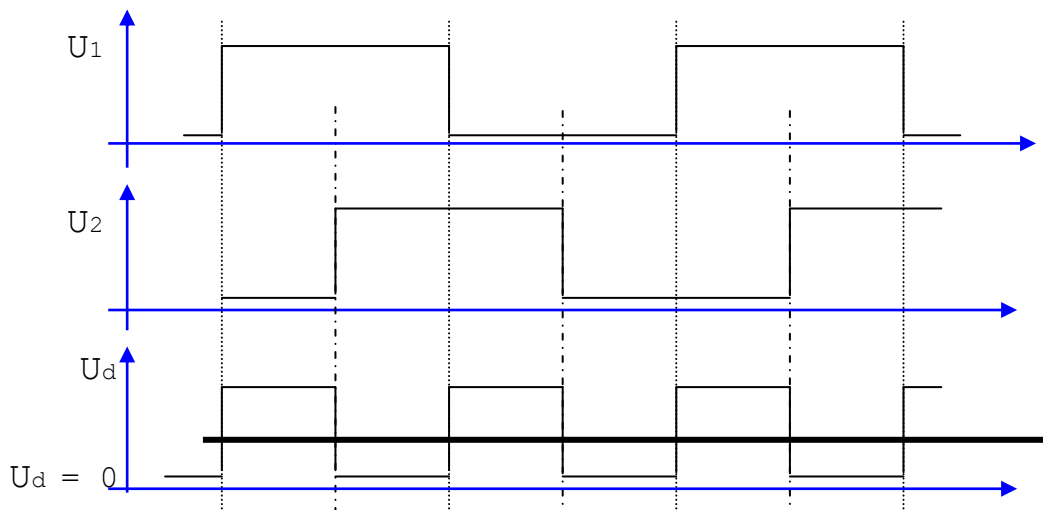


Fig. N° 3

En esta gráfica se ven las formas de onda de entrada y salida, para un error de fase igual a 0 ($\theta_e = 0$) las señales U_1 y U_2 están exactamente 90° fuera de fase, la señal de salida U_d será una onda cuadrada cuya frecuencia es el doble de la frecuencia de referencia y el valor medio de tensión de esta es el 50% del valor máximo, como las componentes de alta frecuencia serán

filtradas, solo se consideran este valor. Si la compuerta EXOR se alimenta con $5V_{cc}$, este valor de U_d será de $2,5 V_{cc}$, y se lo considera el punto estable ($U_d = 0$).

Cuando la señal proveniente del V_{co} (U_2) supera la señal de referencia (U_1) el error de fase se vuelve positivo, esto es $\vartheta_e > 0$, esto se ve en la siguiente gráfica:

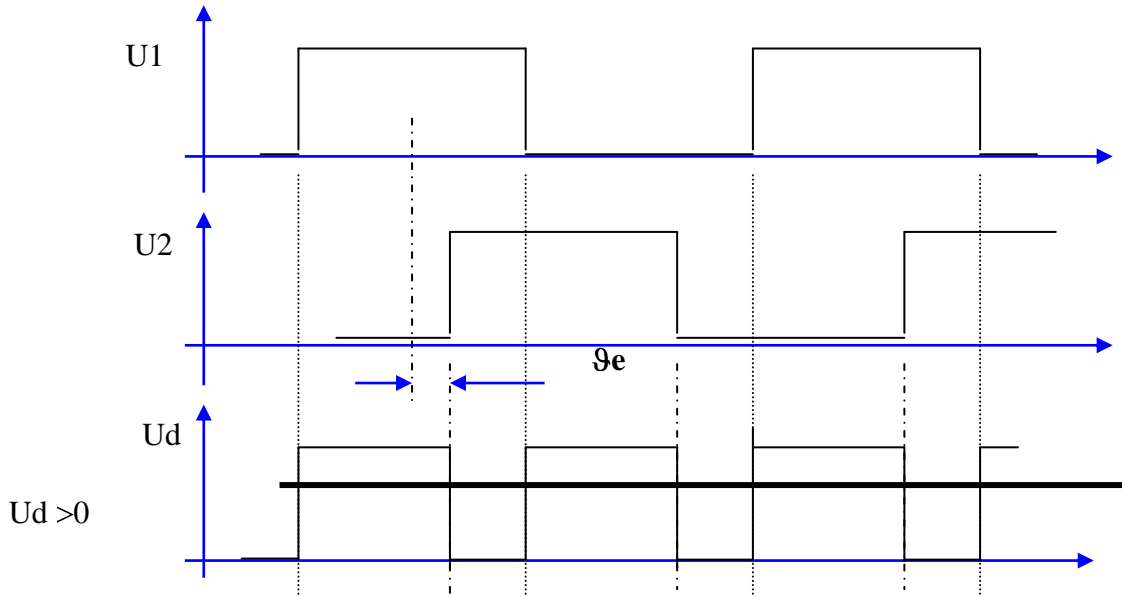


Fig. N° 4

En este caso la señal de salida U_d es mayor que el 50%, considerándose un incremento positivo, el mayor valor que puede alcanzar U_d se produce cuando $\vartheta_e = 90^\circ$ y el mínimo valor se obtiene cuando $\vartheta_e = -90^\circ$ si se gráfica la tensión de salida U_d en función de la diferencia de fase ϑ_e se obtiene la siguiente gráfica:

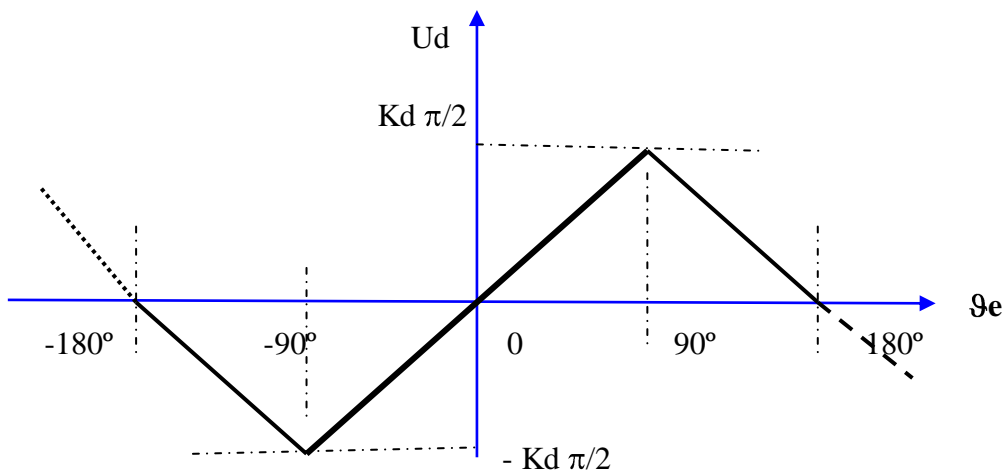


Fig. N° 5

Donde como se ve la U_d es una función triangular de la diferencia de fase entre las señales de entrada, siendo el rango el comprendido entre $+90^\circ$ y -90° . La ganancia del detector de fase es K_d y U_b es la tensión de alimentación de la compuerta y si se asume que los niveles lógicos de salida son 0 y U_b la ganancia del C.P. es:

$$K_d = U_b / \pi$$

Al igual que el comparador de fase lineal que utiliza el multiplicador visto anteriormente, cuando se utiliza la compuerta EXOR como comparador de fase, esta es capaz de mantener la fase enclavada siempre y cuando la diferencia de fase este confinada dentro del rango. El adecuado funcionamiento y prestaciones de este comparador de fase, se ven severamente deteriorados cuando las formas de onda de las dos señales de entrada se vuelven asimétricas, si esto ocurre la señal de salida U_d se recorta a algún valor intermedio, esto reduce la ganancia del lazo del DPLL y resulta en un menor rango de bloqueo, esto se ve en la siguiente gráfica:

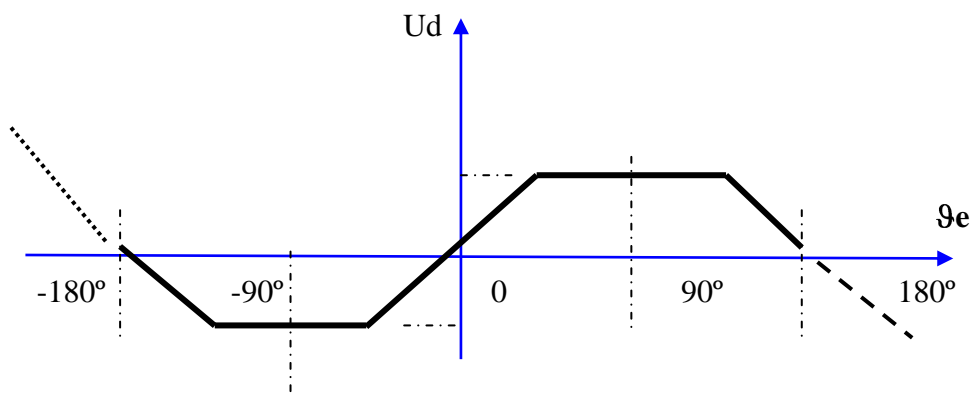


Fig. N° 6

Comparador con JK-filpflop: Una forma de onda de las señales de entrada asimétrica, no reviste importancia si se utiliza un comparador de fase constituido por un **JK-filpflop**, este difiere de un JK-ff convencional debido a que el disparo se produce por flanco. Cuando aparece un flanco positivo en la entrada **J** del JK-ff este cambia hacia su estado alto ($Q = 1$) y si aparece un flanco positivo en la entrada **K** el JK-ff cambia hacia su estado bajo ($Q = 0$), las formas de onda para este caso se pueden ver en la figura siguiente:

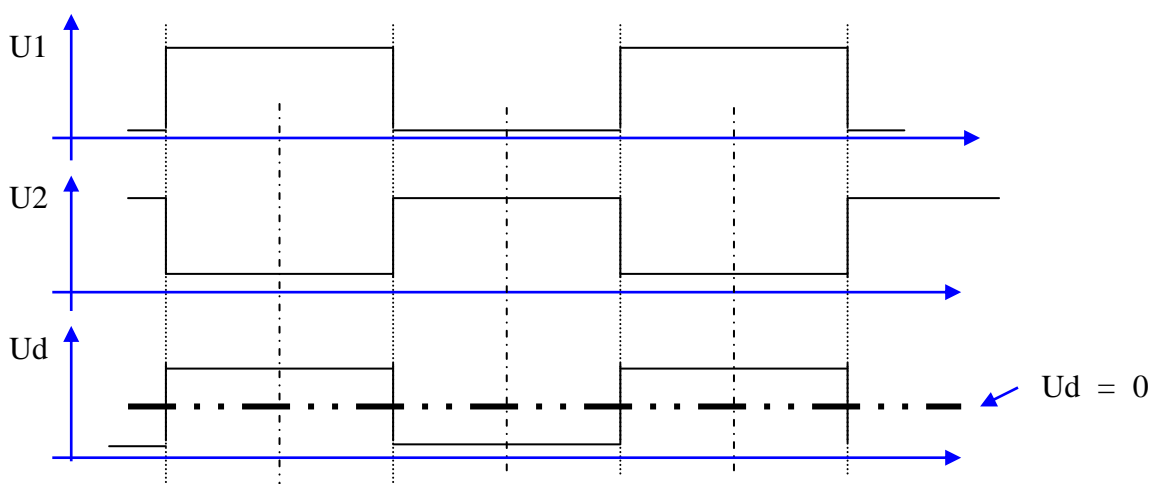


Fig. N° 7

En esta gráfica se considera diferencia de fase 0 ($9e = 0$) cuando las dos señales de entrada se encuentran en oposición de fase, además en este caso la frecuencia de la señal de salida es la misma que la frecuencia de la señal de referencia, como se ve en la gráfica. En esta condición se considera la tensión de salida igual a 0 ($U_d = 0$). Si se produce un corrimiento de fase de la señal U_2 respecto de la señal U_1 de forma que el corrimiento de fase se vuelve positivo, la señal

de salida U_d se hace mayor que el 50%, provocando un crecimiento positivo de esta tensión, alcanzando el valor máximo cuando el error de fase es 180° y será U_d mínimo cuando el error de fase es -180° , esto se puede ver en la siguiente gráfica:

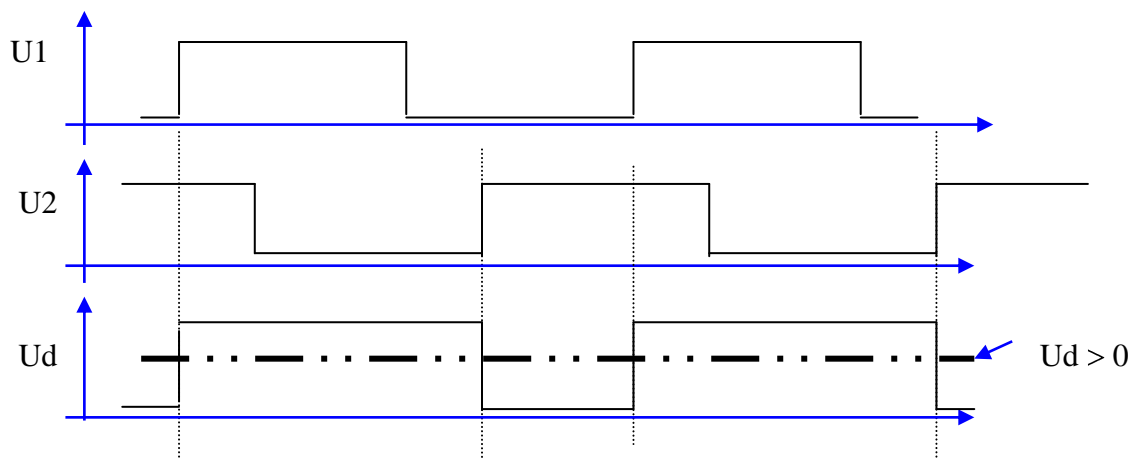


Fig. N° 8

Si se considera al igual que antes que el máximo valor para la tensión de salida U_d coincide con el valor de la fuente de alimentación U_b y teniendo en cuenta que el error de fase para este caso puede variar entre $+180^\circ$ y -180° , la ganancia del detector de fase se puede expresar con:

$$K_d = U_b / 2\pi$$

Obviamente, este comparador de fase compuesto por un JK-flipflop es capaz de mantener la fase enclavada para diferencias de fase comprendidas entre $+\pi$ y $-\pi$. Si se gráfica la señal de salida U_d en función del error de fase ϑ_e se obtiene la siguiente gráfica:

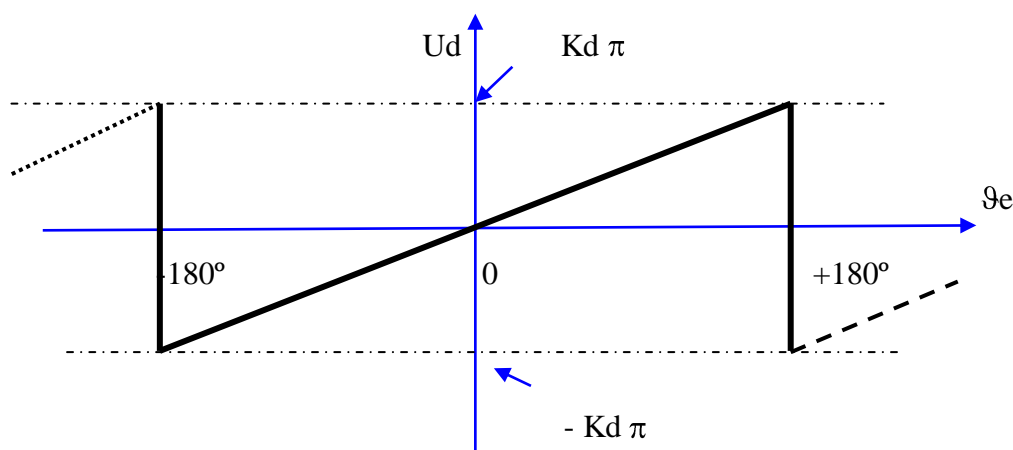


Fig. N° 9

Con el comparador de fase con JK-flipflop, en contraposición con la compuerta EXOR, las simetrías de las señales de entrada son irrelevantes, esto se debe a que el estado del JK-flipflop utilizado solo se altera con una transición positiva de las señales de entrada, en todos los otros aspectos las dos compuertas se comportan de la misma forma.