

UNIDAD 3

MEMORIAS ELECTRÓNICAS

Introducción

Las memorias son los dispositivos de almacenamiento de datos e instrucciones en una computadora. Llamamos **sistema de memoria** al conjunto de estos dispositivos y los algoritmos de hardware y/o software de control de los mismos. Diversos dispositivos son capaces de almacenar información, lo deseable es que el procesador tuviese acceso inmediato e ininterrumpido a la memoria, a fin de lograr la mayor velocidad de procesamiento. Desafortunadamente, memorias de velocidades similares al procesador son muy caras. Por esta razón la información almacenada se distribuye en forma compleja en una variedad de memorias diferentes, con características físicas distintas.

Una clasificación funcional de las memorias es la siguiente:

- Memoria interna:** Constituida por los registros internos de la CPU. Este tipo de memoria se estudia en la Unidad 5 y se caracteriza por su alta velocidad.
- Memoria central (o principal):** Almacena programas y datos, es relativamente grande, rápida y es accedida directamente por la CPU a través de un bus. Este tipo de memoria es parte de esta unidad.
- Memoria secundaria:** Se usa para el almacenamiento de programas del sistema y grandes archivos. Su capacidad es mucho mayor que las anteriores pero más lenta y el acceso a la misma por parte de la CPU es indirecto. Las principales tecnologías son la magnética y la óptica. Este tipo de memorias se estudia en la Unidad 7.

Se pueden definir algunos parámetros generales aplicables a todas las memorias

- Unidad de almacenamiento:** Bit.
- Capacidad de almacenamiento:** Cantidad de bits que puede almacenarse. Si bien la unidad de almacenamiento es el **bit**, muchas veces se usa el **byte**. Así encontramos capacidades en Kb (1Kb = 1024 bytes), en Mb (1Mb = 1024 Kb), en Gb (1Gb = 1024 Mb), etc.. Las memorias se consideran organizadas en palabras, cada palabra es un conjunto de bits a los cuales se accede simultáneamente.
- Tiempo de acceso (t_a):** Es el que se tarda en leer o escribir una palabra en la memoria desde el momento que se direcciona. La velocidad de acceso $b_a=1/t_a$ se mide en palabras/segundo. Ver fig. 1.
- Tipo de acceso:**
 - Acceso aleatorio:* cuando el tiempo de acceso es similar para cualquier posición
 - Acceso serie:* cuando el tiempo de acceso depende de la posición que ocupa la palabra dentro de la memoria.

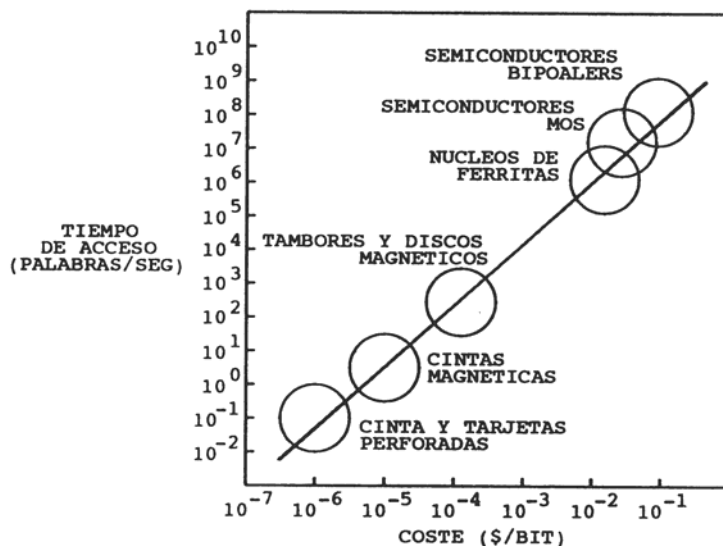


Figura 1

- Tiempo de ciclo (t_c):** Indica el mínimo tiempo entre dos accesos sucesivos a la memoria. El tiempo t_c es mayor que el tiempo t_a . El ancho de banda de una memoria se define como la inversa de t_c y es un indicativo de la cantidad de palabras procesables por unidad de tiempo.

f) Medio físico

- *Electrónicas:* construidas con semiconductores.

- *Magnéticas*: basadas en el fenómeno de histéresis de los materiales ferromagnéticos.
 - *Ópticas*: utilizan la tecnología láser.
- g) **Estabilidad**
- *Volatilidad*: el contenido de la memoria se pierde cuando se suspende la alimentación eléctrica.
 - *Almacenamiento dinámico*: El bit se almacena como carga de una capacidad parásita de un transistor MOS. La información se pierde cuando el capacitor se descarga lo que hace necesario un refresco periódico para restaurar el contenido antes que se deteriore.
 - *Lectura destructiva (DRO)*: Al efectuar la lectura se pierde la información, por lo cual dicho proceso debe acompañarse de una restauración.

Tecnología	Coste \$/bit	Tiempo Acceso	Modo de Acceso	Alterabilidad	Estabilidad	Medio Físico Almacenamiento
Bipolar semiconductor	10^{-1}	10^{-8}	Aleatorio	Lectura/escritura	NDRO Volátil	Electrónico
Metal-óxido-Semicond.(MOS)	10^{-2}	10^{-7}	Aleatorio	Lectura/escritura	DRO o NDRO volátil	Electrónico
Núcleos de ferrita	10^{-2}	10^{-6}	Aleatorio	Lectura/escritura	DRO no volátil	Magnético
Discos y tamb. magnéticos	10^{-4}	10^{-2}	Aleatorio o semialeatorio	Lectura/escritura	NDRO no volátil	Magnético
Cintas magnéticas	10^{-5}	10^{-1}	Serie	Lectura/escritura	NDRO no volátil	Magnético
Tarjetas y papel perforado	10^{-6}	10	Serie	Solo lectura	NDRO no volátil	Mecánico

Memorias electrónicas

Pueden considerarse como un sistema digital mixto (combinacional y secuencial) capaz de almacenar información binaria el cual se puede acceder (introducir o extraer información) sólo parcialmente en un momento dado. En función del tipo de acceso, estas memorias se clasifican en:

- **Memorias de acceso aleatorio (RAM)**, en las que t_a es similar para cualquier posición.

Se subdividen en:

Memorias de lectura/escritura, también llamadas *activas*. Se caracterizan por tener los t_a de lectura y escritura similares, presentan *volatilidad*, pierden su contenido cuando dejan de estar alimentadas. Se subdividen en:

Memorias estáticas (SRAM)

Memoria dinámicas (DRAM)

Memorias de sólo lectura (ROM), también llamadas *pasivas*. Se caracterizan por tener el t_a de escritura en mucho mayor que el de lectura, presentan *no volatilidad*, no pierden su contenido sin alimentación. Se subdividen en:

ROM, se graban una vez por el fabricante.

PROM, se graban una vez por el usuario.

EPROM, se graban varias veces por el usuario, el borrado se realiza con luz ultravioleta.

EEPROM, se graban varias veces por el usuario, el borrado se realiza eléctricamente posición a posición.

FLASH, se graban varias veces por el usuario, el borrado se realiza eléctricamente de una sola vez.

- **Memorias de acceso serie**, en las que el tiempo de acceso t_a depende de la posición de la palabra dentro de la memoria. Son memorias de lectura/escritura. Se subdividen en:

Registros de desplazamiento

Memorias pila (LIFO), última escritura, primera lectura

Memorias cola (FIFO), primera escritura, primera lectura.

Memorias de acceso aleatorio (RAM)

Desde los 60 aparecen los circuitos integrados que permiten construir memorias de alta capacidad, actualmente se encuentran memorias semiconductoras del orden de los Mb. Podemos considerar la memoria

como un conjunto de posiciones, cada una de ellas está formada por una o más celdas o células elementales. El esquema general de una memoria de acceso aleatorio puede verse en la fig. 2 y el diagrama en bloque en la fig. 3

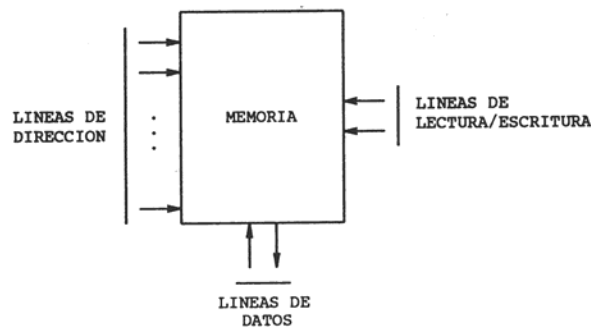


Figura 2

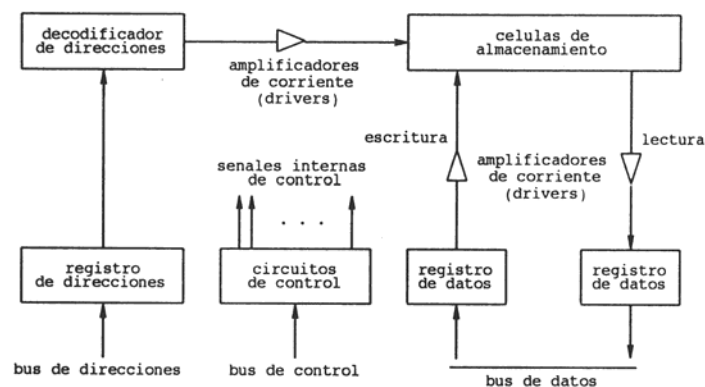


Figura 3

El tipo de celda depende de la clase de memoria que se trate y la tecnología utilizada. En las RAM de lectura/escritura consisten en biestables asíncronos como los estudiados en la Unidad 3. En las RAM de sólo lectura (ROM) consisten en diodos o transistores.

Las memorias RAM operan de la siguiente manera:

- Una dirección (conjunto de m bits) se transfiere al registro de direcciones
- El decodificador de direcciones procesa la dirección y selecciona una posición de memoria
- La posición seleccionada se lee o escribe en función de las señales de control.
- Si es una lectura, el contenido de la posición seleccionada se transfiere al registro de datos de salida (de n bits). Si es una escritura (para el caso de una RAM de lectura/escritura) se transfiere el registro de datos de entrada (que debe haber sido cargado anteriormente) a la posición seleccionada.

La organización interna de las memorias RAM puede ser 2D o 3D

Organización 2D

Cada celda binaria es accedida por una sola línea de selección. Las celdas se organizan en una matriz de dos dimensiones, en la que las filas vienen dadas por el número de palabras (N) y las columnas por la longitud (cantidad de bits) de cada palabra. Ver fig. 4.

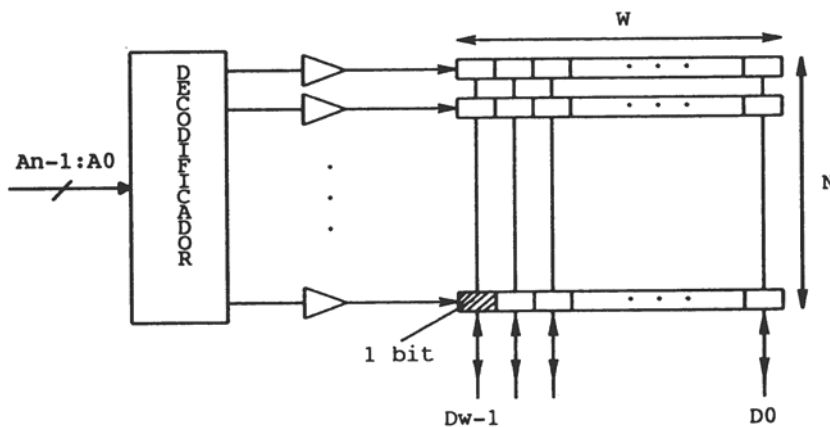


Figura 4

Esta organización se usa en memorias de pequeña capacidad.

Organización 3D

Cada celda binaria es accedida por dos líneas de selección. La activación de ambas simultáneamente determina la selección de la celda. Así se logra reducir el tamaño de los decodificadores, ver fig. 5.

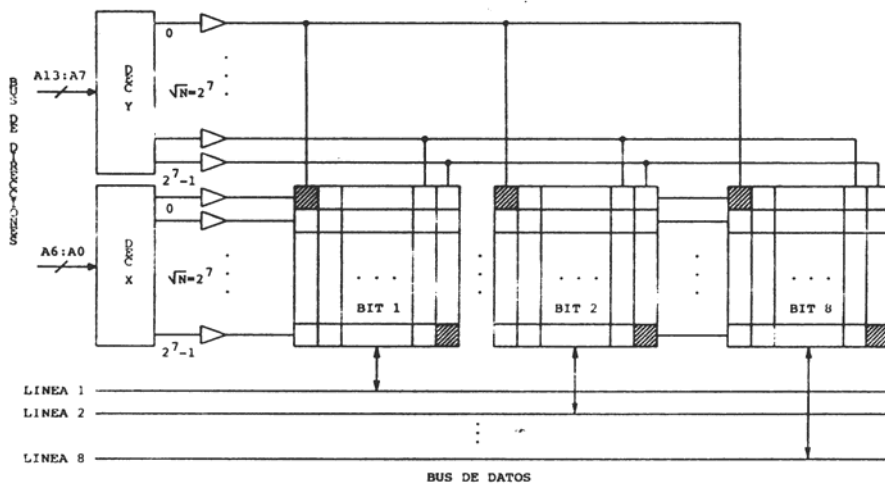


Figura 5

Se observa que la cantidad líneas de salidas del decodificador de una organización 2D:

$$LS_{2D} = 2^m$$

donde m es la cantidad de líneas de direccionamiento

Se reduce a

$$LS_{3D} = 2 \cdot 2^{m/2}$$

considerando a los dos decodificadores iguales.

La reducción de líneas se logra a costa de agregar un decodificador y una compuerta AND por cada palabra.

MEMORIAS DE LECTURA/ESCRITURA

Memorias de lectura/escritura estáticas

El elemento básico (celda elemental) de estas memorias consiste en un biestable asíncrono como el estudiado en la Unidad 3 y algunas compuertas adicionales para manejar la selección y el control de la celda. Para el caso de una organización 2D, la celda básica se muestra en la fig. 6.

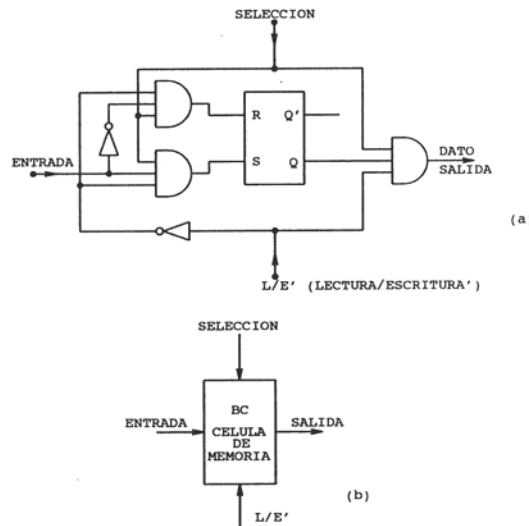


Figura 6

Se observa que si la línea de selección está activa con un 1 lógico, se habilita la celda para lectura/escritura. Si $L/E' = 1$ se trata de una operación de lectura, las entradas al biestable se bloquean y se habilita la compuerta AND de salida. Si $L/E' = 0$, se bloquea la compuerta AND de salida y se habilita la entrada al biestable.

Para el caso de una organización 3D, la celda básica se muestra en la fig. 7.

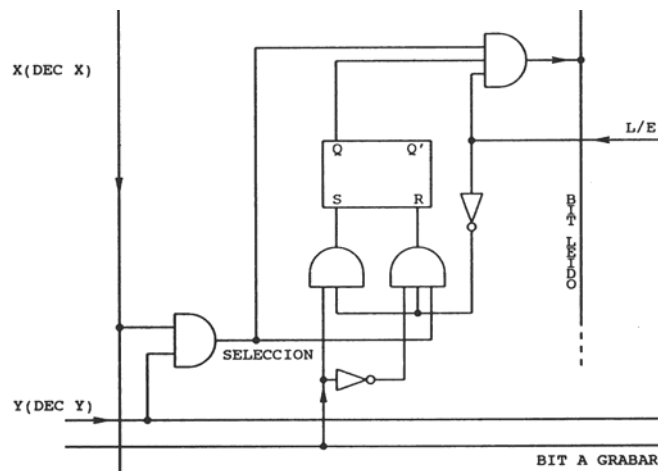


Figura 7

Se observa que hay una compuerta AND de dos entradas que completa la selección.

En la fig. 8 se muestra una RAM de lectura/escritura con organización interna 2D que usa la celda básica de la fig. 6, de 16 palabras de 4 bits.

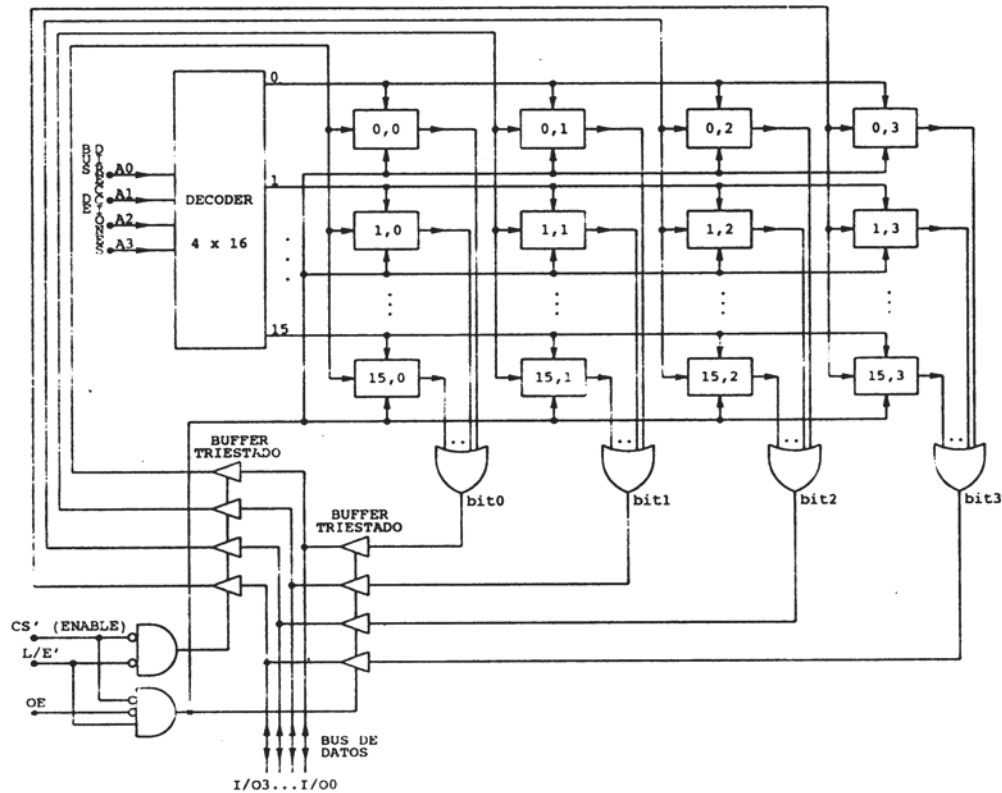


Figura 8

Las líneas de acceso a la memoria son:

- Líneas de direccionamiento A0:A3
- Líneas de datos I/O0:I/O3, se trata de 4 líneas bidireccionales que pueden actuar como entradas o salidas. Para lograr líneas bidireccionales se usan los buffer triestado, de esta forma se evita usar líneas de entrada y salida independientes.
- Señales de control de lectura escritura (L/E*). L/E* = 1 : leer; L/E* = 0 : escribir
- Señales de control
 - . C/S' = 1, líneas de datos en alta impedancia
 - . C/S' = 0 y L/E' = 0, líneas de datos conectadas al bus, el contenido de la posición direccionada se vuela al bus.
 - . C/S' = 0 y L/E' = 1, líneas de datos de entrada conectadas al interior de la memoria y líneas de datos de salida en alta impedancia.
 - . O/E' = 1, se deshabilitan los circuitos de salida de la memoria sin tener en cuenta el estado de las señales C/S' y L/E'.

Ciclo de lectura y ciclo de escritura

Para una correcta operación de la memoria es necesaria una temporización adecuada de las señales aplicadas a sus líneas. Existe una variedad de memorias, cada una de ellas requiere de su propia temporización. El fabricante provee los diagramas de tiempo que involucran las señales de la memoria. Se plantean diagramas de tiempo para operación de lectura y escritura para una memoria más o menos general. Ver fig. 9 a y b. Tabla B

CE'	R/W'	Acción
0	1	Operación de lectura
0	0	Operación de escritura
1	X	Memoria deshabilitada. Líneas de datos en alta impedancia

TABLA B

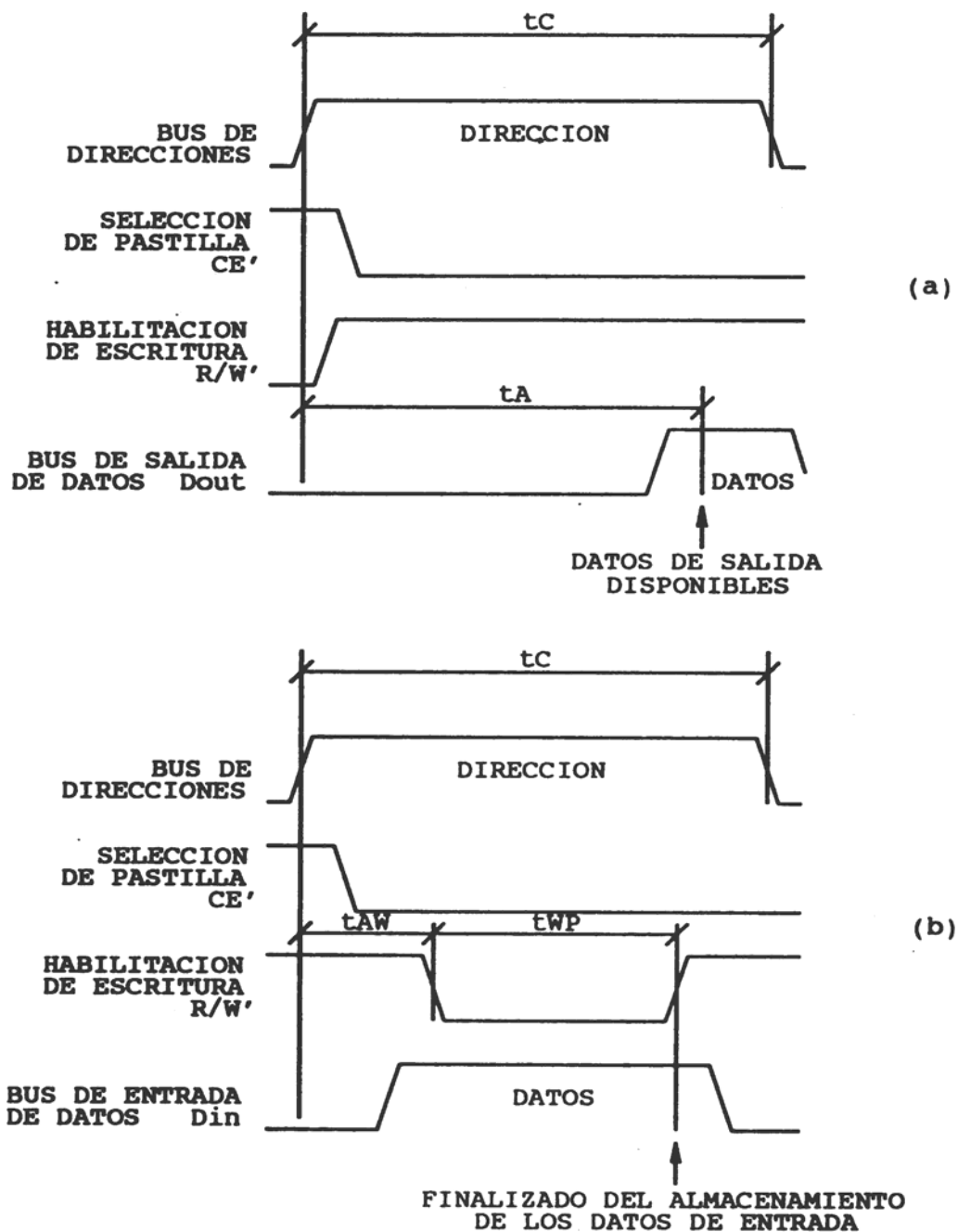


Figura 9a

Un ciclo de lectura o escritura comienza con la aplicación de una dirección en las líneas de direccionamiento (bus de direcciones), la línea CE' (como se ve en la tabla de verdad) debe estar en cero desde aproximadamente el mismo momento.

Si es una lectura R/W' debe colocarse en 1. Los datos a leer aparecerán en las líneas de salida de datos (D_{out}) al cabo del tiempo TA, este es el tiempo de lectura.

Si es una escritura R/W' debe colocarse en 1 un tiempo mínimo tAW (tiempo de fijación de la dirección), después del cual debe pasar a 0 para indicar una operación de escritura, valor en el cual debe mantenerse al menos el tiempo tWP (ancho del pulso de escritura) para garantizar que los datos se han almacenado en la RAM. Los datos a escribir deben estar en las líneas de entrada de datos (Din) aproximadamente en el momento que aparece la nueva dirección y mantenerse hasta después del tiempo tWP

El tiempo t_C es el tiempo de ciclo, indicativo de la cantidad de operaciones sucesivas por unidad de tiempo. Se observa que t_C es siempre mayor que t_a .

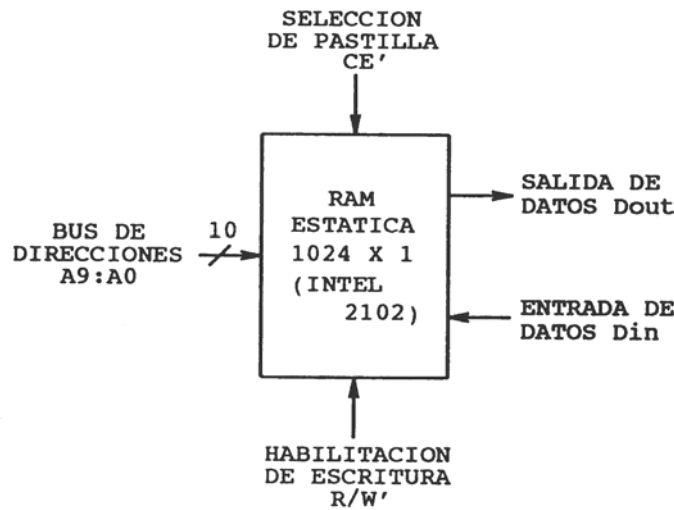


Figura 9b

Memorias de lectura /escritura dinámicas

En estas memorias la celda básica consiste en la capacidad parasita de compuerta de un transistor MOS y los circuitos asociados de control. Puesto que debido a las pérdidas inevitables el capacitor se descarga, es necesario restaurar periódicamente la información mediante un proceso que se llama **refresco**. Este refresco consiste en una lectura seguida de una escritura automática cada aproximadamente 2 MS. (dependiendo de la memoria). Cuando está actuando el proceso de refresco, no es posible acceder a la memoria. La velocidad de estas memorias es menor que las estáticas, sin embargo la densidad de integración es apreciablemente mayor.

La estructura interna de estas memorias es generalmente 3D, con el mismo número de filas (ROW) y columnas (COLUMN). Los m bits de dirección están divididos en $m/2$ para las filas y $m/2$ para las columnas. Ver fig. 10. Generalmente las líneas de dirección están multiplexadas en el tiempo, es decir: desde el exterior se suministran primero los $m/2$ bits de filas que se cargan en el registro de filas con la señal RAS, luego se suministran los $m/2$ bits de columnas que se cargan en el registro de columnas con la señal CAS. De esta manera se reduce el bus de direcciones a la mitad.

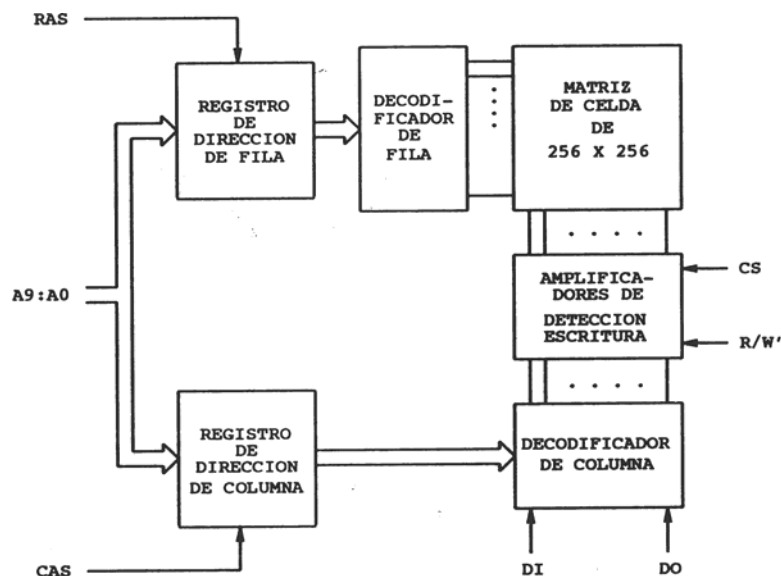


Figura 10

La aplicación de una dirección de fila provoca que todas las celdas de la fila se lean y restauren, esto tiene lugar en cualquier operación de lectura o escritura. La operación de refresco es realizada por un Controlador de RAM dinámica a veces incluido dentro de la memoria, otras exterior.

Si bien estas memorias son más lentas que las estáticas, poseen una característica interesante. En muchos casos es necesario leer o escribir direcciones consecutivas de memoria, si este es el caso y además pueden colocarse los datos en una misma fila, será necesario sólo cambiar la dirección de columna para realizar la operación. Esto se traduce en velocidades aún mayores que las estáticas. Si bien lo anterior es posible, puede ser complejo aprovecharlo en la generalidad de los casos.

Memorias aleatorias de sólo lectura (ROM)

Estas memorias una vez programadas sólo realizan operaciones de lectura. No son volátiles pueden utilizarse para almacenar códigos, generadoras de caracteres, funciones aritméticas complejas, unidades de control microprogramadas, almacenamiento de partes del sistema operativo (BIOS), entre otras. La organización interna de estas memorias es similar a las RAM de lectura/escritura. La parte de entrada/salida es más sencilla por cuanto sólo es necesario considerar las salidas, de igual manera que las líneas de control. A pesar que las ROM son memorias RAM, se suele utilizar este último término para hacer referencia a las memorias de lectura/escritura.

Memorias ROM

Se utilizan diodos y transistores. Se utilizan las conexiones para indicar un 1, y no conexiones para indicar un 0, como puede verse en la figura 11. La presencia o no de un elemento acoplador (diodo) es realizada por el fabricante al cual hay que suministrarle la información requerida.

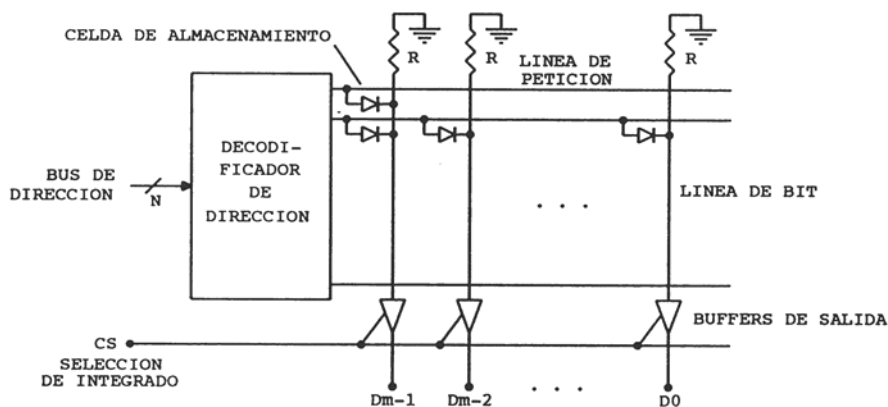


Figura 11

Los diodos se utilizan como elementos acopladores. La conexión de varios a una misma línea, implementa la función OR de las señales de entrada. Puede decirse entonces que una ROM de $2^n \times m$ bits, podría realizar cualquier combinacional de n variables de entrada y m funciones.

Las salidas del bus de datos de la fig. 11 son triestado para permitir la conexión de más de una memoria a un bus común.

Memorias PROM

Los elementos de conexión son diodos o transistores con un fusible en serie. Inicialmente la memoria presenta todas las conexiones establecidas. La programación consiste en destruir el fusible en aquellos lugares donde quiere almacenarse un 0. Esto se consigue direccionando la palabra deseada e inyectando una corriente adecuada en las salidas, así la conexión queda abierta y es como si no existiera el elemento acoplador. Se deduce que una vez programada la memoria ya no es posible volver a hacerlo.

Internamente estas memoria son similares a las ROM como puede verse en la fig. 12.

Para la grabación de estas memorias es necesario disponer de equipos de grabación especiales, disponibles comercialmente.

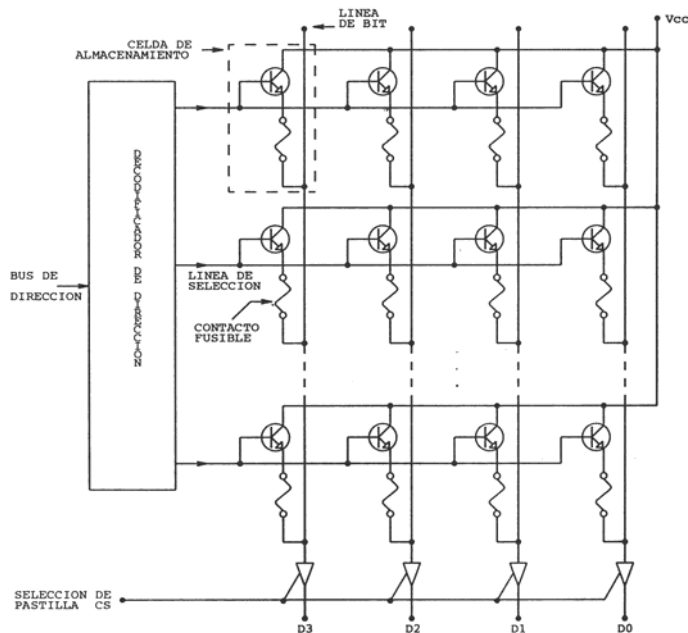


Figura 12

Memorias R PROM

A diferencia de las anteriores pueden ser reescritas por el usuario. Es necesario contar con equipos de grabación específicos para cada tipo de memoria. La grabación se realiza con la memoria fuera del circuito en el cual está conectada. Se distinguen tres tipos de R PROM

- EPROM Las celdas están constituidas por puertas flotantes de transistores MOS. La descarga se realiza con luz ultravioleta exponiendo la celda a la misma por varios minutos. La reprogramación es eléctrica aplicando tensiones superiores a las de funcionamiento. La reprogramación es permanente hasta que vuelva a grabarse.
- EEPROM Similares a las anteriores con diferencia que el borrado es posición a posición, eléctrico y en algunas caso puede realizarse con la memoria inserta en el circuito.
- FLASH Similares a la anterior solo que el borrado se realiza simultáneamente a todas la posiciones.

Extensión de longitud de palabra y capacidad

Es posible aumentar la capacidad de una memoria partiendo de circuitos integrados de menor capacidad. Esto puede lograrse aumentando la longitud de palabra o la cantidad de las mismas.

Extensión de la longitud de palabra

En la fig. 13 puede verse una memoria de N palabras de k.m bits, partiendo de un CI de N palabras de m bits. Se observa que las líneas de dirección y de control son compartidas por todos los CI. Las líneas de datos se amplían de m a k.m bits.

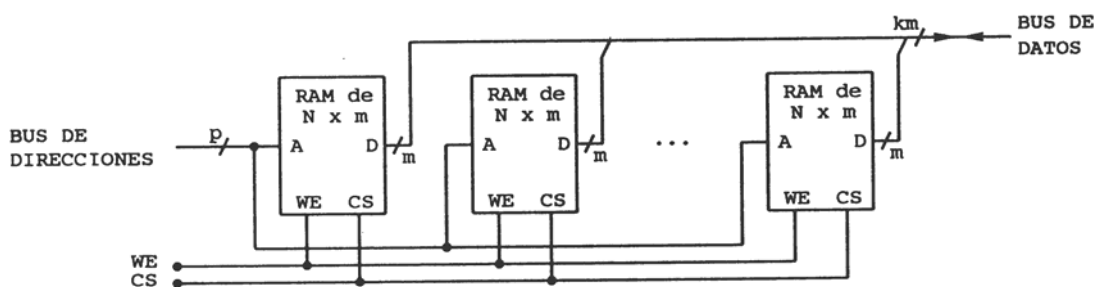


Figura 13

Extensión del número de palabras

En la fig. 14 se observa una memoria de 2kN palabras de m bits, partiendo de un CI de N palabras de m bits.

De las p + k líneas de dirección necesarias, p se interconectan a todos los CI a fin de seleccionar una de las N (2^p) palabras en cada CI.

El resto de las k líneas de dirección se inyectan a un decodificador cuyas salidas se conectan a las líneas de selección (CS) de cada CI

La señal de W/R' es común para todos los CI.

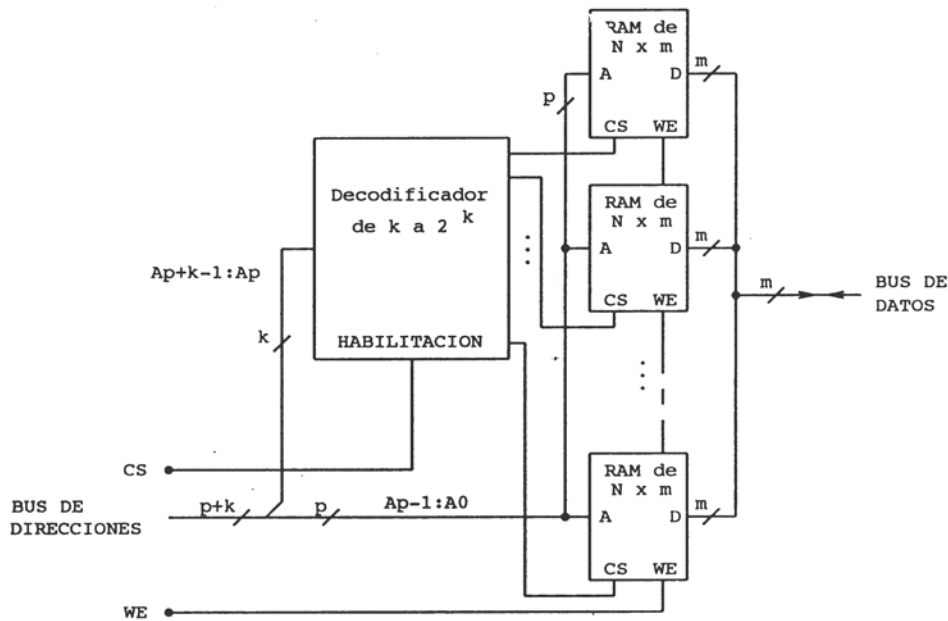


Figura 14

El bus de datos es común para todos los CI. Esto es posible gracias a la tecnología triestado de los CI. Para ampliar la longitud de palabra y la cantidad de las mismas, se suman las técnicas indicadas. Como ejemplo es interesante observar la fig. 15.

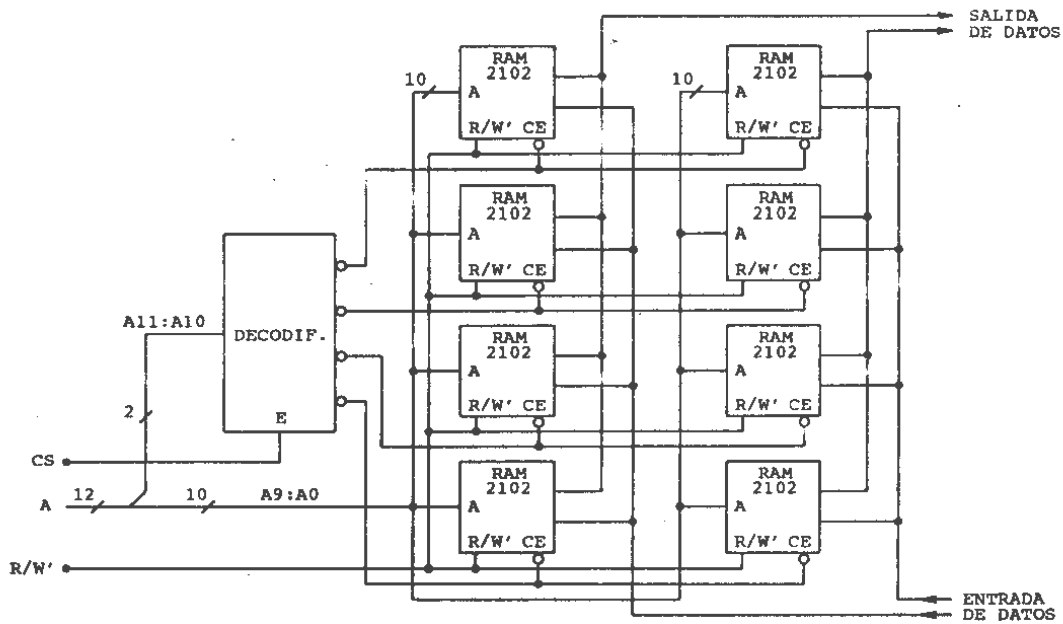


Figura 15

Finalmente si disponemos de memorias RAM de N palabras de m bits y pretendemos una memoria de N' palabras de $h \times m$ bits, se procede como sigue:

- Cálculo del número de CIs
- Número de CIs = Entero $\lceil \frac{N'}{N} \rceil \times h$
- Se calcula el decodificador de k entradas, donde $2^k \geq$ Número de CIs
- La parte baja de la dirección se conecta a las líneas de dirección de los CIs (p líneas, siendo $2^p=N$), la parte alta de la dirección (k bits), se conecta a las entradas del decodificador.
- Las salidas del decodificador se conectan a las entradas de selección (CS) de cada CI.
- Las líneas de datos se conectan a un bus común de $m + h$ bits.

Memorias de acceso serie

Son aquellas en las que el tiempo de escritura o lectura de una posición depende de la situación física de la misma en el interior de la memoria. Para escribir o leer en una de estas memorias es preciso pasar primero por todas las posiciones anteriores. Ver fig. 13

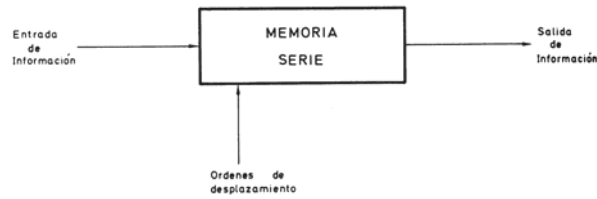


Figura 13

La información puede organizarse de dos formas:

a) Organización bit a bit

Se disponen tanto las palabras como los bits que las conforman en serie. Ver fig. 14 a y b



Figura 14a

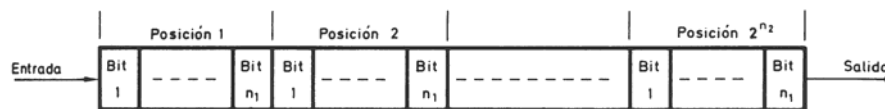


Figura 14b

La memoria posee una sola línea de entrada de información y una sola de salida. Además posee líneas de control de lectura/escritura.

b) Organización posición a posición

Se disponen las palabras en serie pero los bits que las conforman en paralelo. Ver fig. 15 a y b



Figura 15a

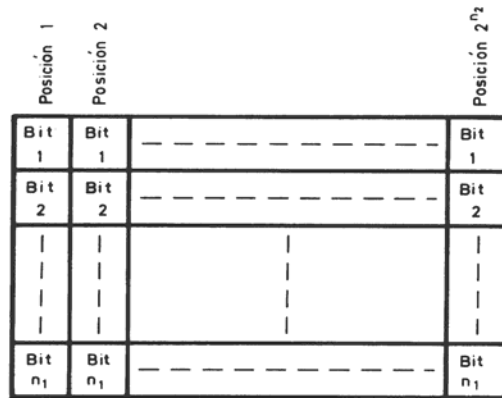


Figura 15b

En este caso existen n entradas de información y n salidas de información. Las líneas de control también están presentes.

Estas memorias pueden clasificarse en tres tipos: *Registros de desplazamiento*, memorias *LIFO* y memorias *FIFO*.

Registros de desplazamiento

Son aquellas en las que la información se desplaza una posición en un sentido, con cada orden de lectura o escritura. La orden externa de desplazamiento está constituida por los impulsos de un generador (reloj o clock). Existen dos tipos de registros de desplazamiento: *estáticos* y *dinámicos*.

Registros de desplazamiento estáticos.

Son aquellos en los que los impulsos de desplazamiento pueden anularse por tiempo indefinido sin que la información almacenada se pierda. Están constituidos por biestables síncronos activados por flancos. Ver fig. 16



Figura 16

Registros de desplazamiento dinámicos

Son aquellos en los que los impulsos de desplazamiento no pueden anularse porque la información se perdería. La celda elemental en este caso es la capacidad parásita de la puerta de un transistor MOS (similar a las DRAM).

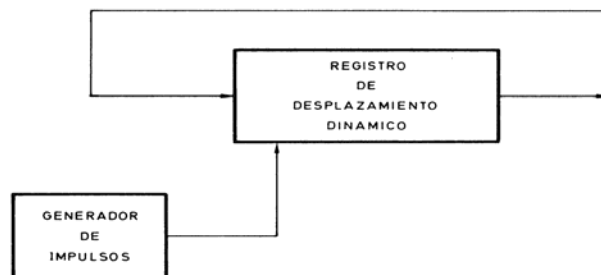


Figura 17

La sencillez de estas celdas y su alta densidad de integración ha permitido construir CI de gran capacidad y bajo costo.

A fin de restaurar la información en estos registros las salidas se conectan a las entradas, de esta forma la información circula permanentemente en todo el registro sincrónicamente a los impulsos del reloj. Ver fig. 17.

El circuito de la fig. 17 funciona correctamente siempre y cuando no se realice ninguna operación de lectura o escritura. Se puede concluir que es necesario agregar circuitos que permitan las operaciones de lectura y escritura. En ambos casos se deberá adicionar un circuito exterior para permitir las operaciones mencionadas.

Para el caso de la lectura se propone el circuito de la fig. 18.

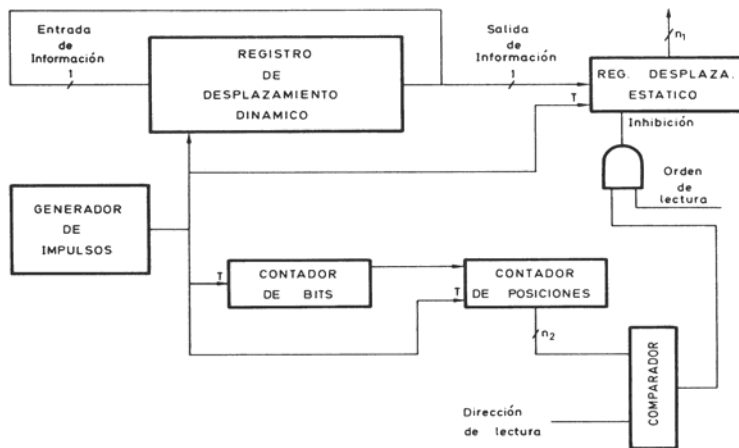


Figura 18

Para el caso de la escritura se propone el circuito de la fig. 19

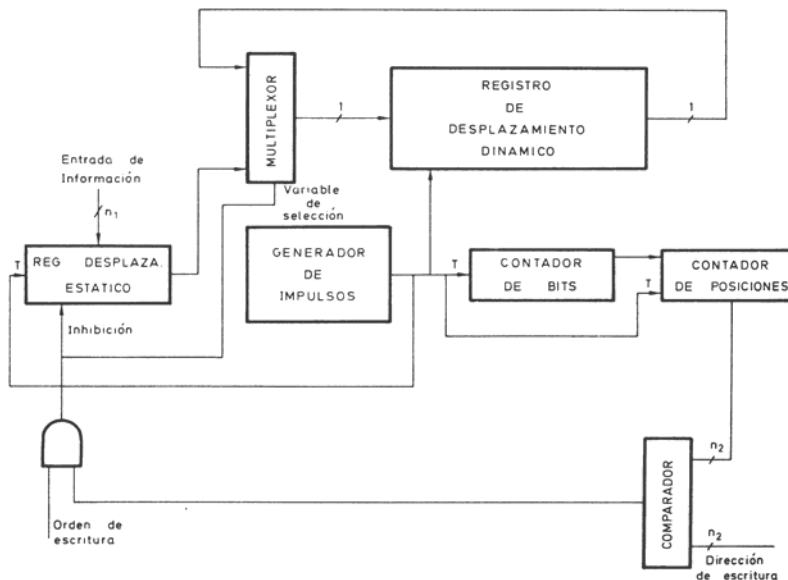


Figura 19

Se invita al alumno a interpretar el funcionamiento de ambos circuitos y realizar los ciclos de lectura/escritura.

Memorias FIFO

Son memorias serie en las que la primera información que entra es la primera que sale (First Input First Output). La fig. 20 indica una FIFO en bloque y su funcionamiento en la figura 21.

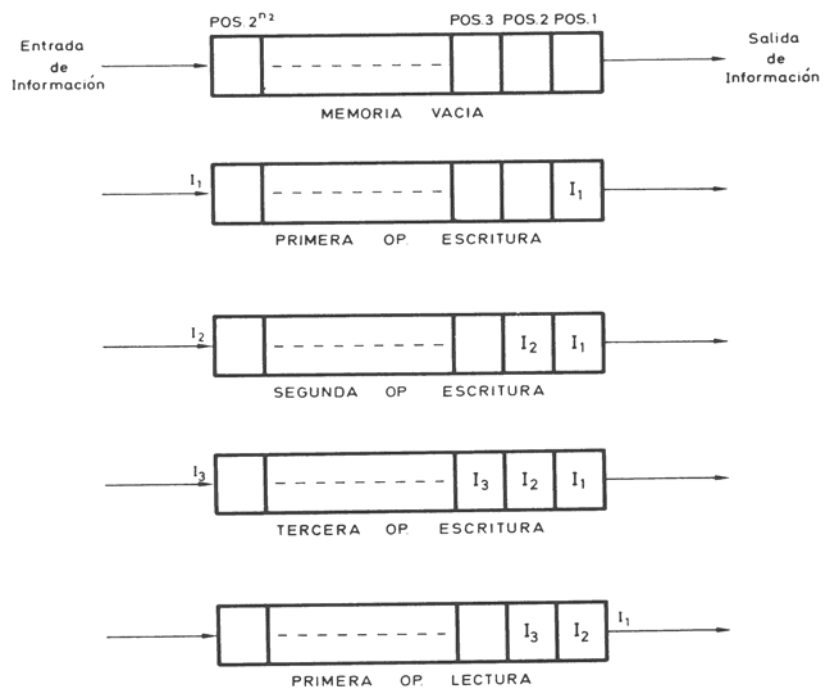


Figura 20

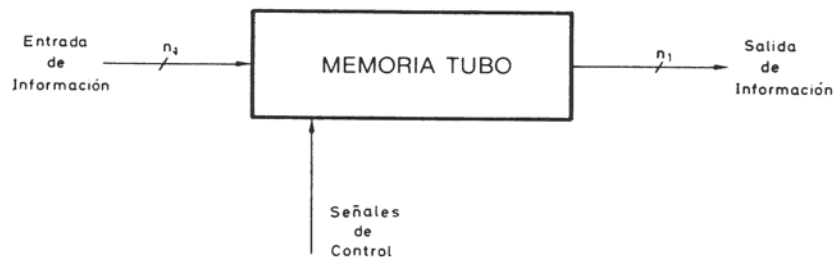


Figura 21

Las memorias FIFO pueden implementarse con registros de desplazamiento estáticos y una unidad de control. Esta última debe tener en cuenta las siguientes características de este tipo de memoria.

- La lectura es destructiva, es decir que al leer, el dato leído ya no está más en la memoria.
- Cada operación de lectura o escritura debe producir un desplazamiento del resto de la memoria.
- Cuando la memoria está llena no podrá escribirse, por lo tanto la Unidad de Control deberá ser capaz de generar una señal de Memoria Llena.
- Generar las señales de control necesarias para que el primer dato escrito esté disponible para la primera lectura.
- Deberá aceptar al menos tres entradas exteriores: señal de lectura/escritura, señal de inicio de ciclo y señal de sincronismo.

En la figura 22 aparece un diagrama en bloques simplificado de una memoria FIFO implementada con un registro de desplazamiento estático.

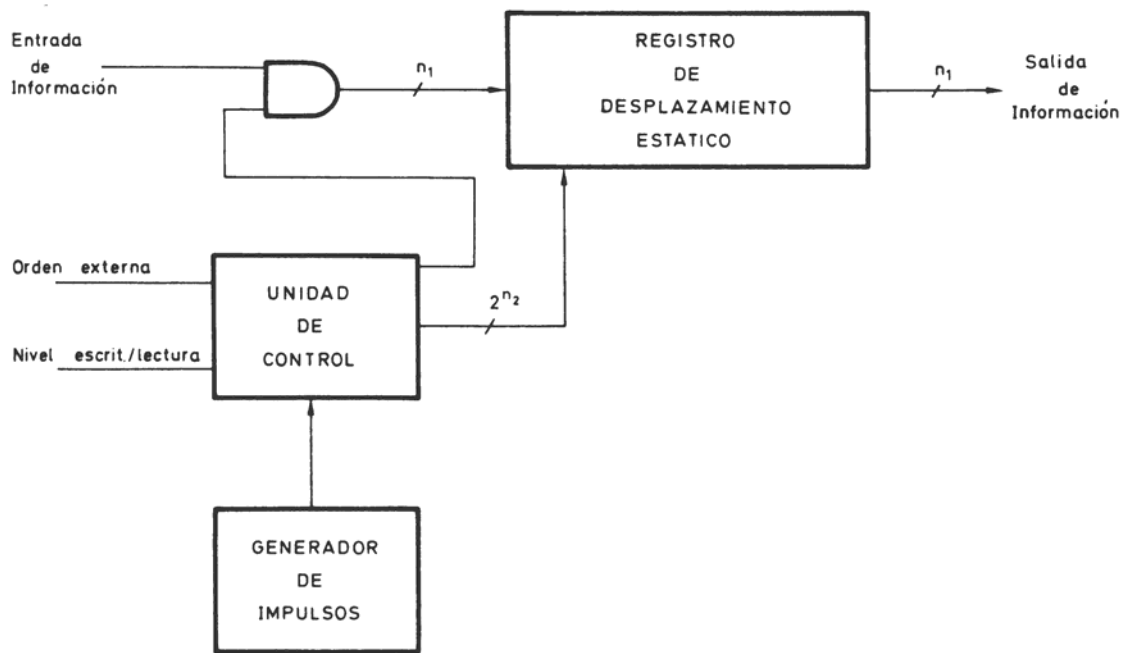


Figura 22

Las FIFO se encuentran en CI de LSI y una de sus aplicaciones es acoplar sistemas digitales con velocidades de procesamiento diferentes, ver fig. 23. El sistema rápido va llenando la FIFO mientras que el lento la va vaciando. La capacidad de la memoria debe estar acorde con la diferencia de velocidades y el tamaño del bloque a transferir.

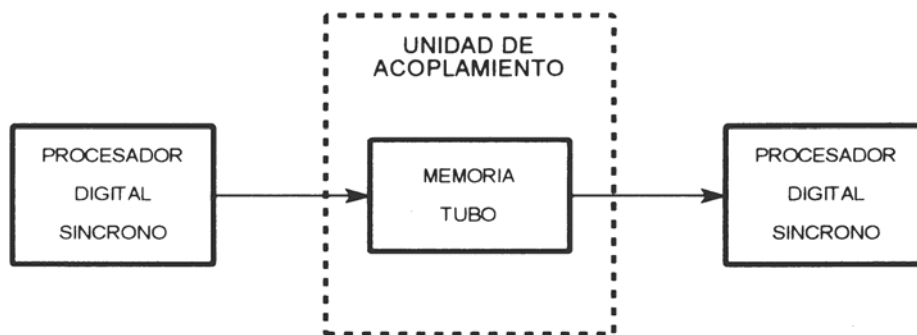


Figura 23

Memorias LIFO

En estas memorias al última información que entra es la primera que sale (Last Input First Output). En la fig. 24a se indica el funcionamiento de una LIFO y su diagrama en bloque en la fig. 24b.

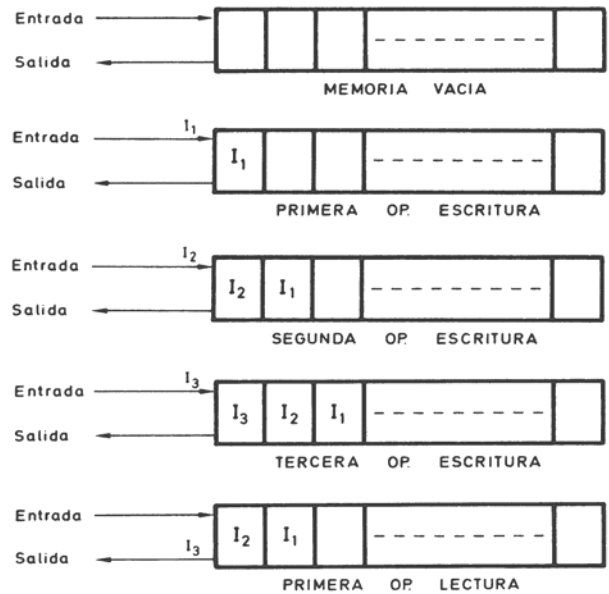


Figura 24a

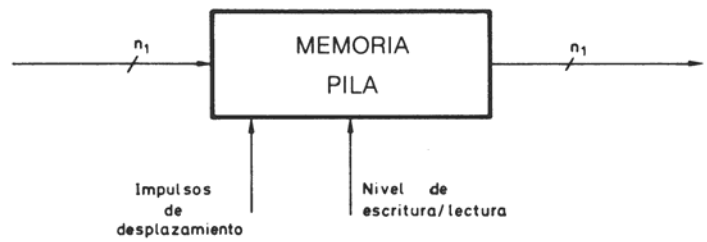


Figura 24b

Una LIFO puede implementarse con un registro de desplazamiento reversible, según puede verse en la fig. 25.

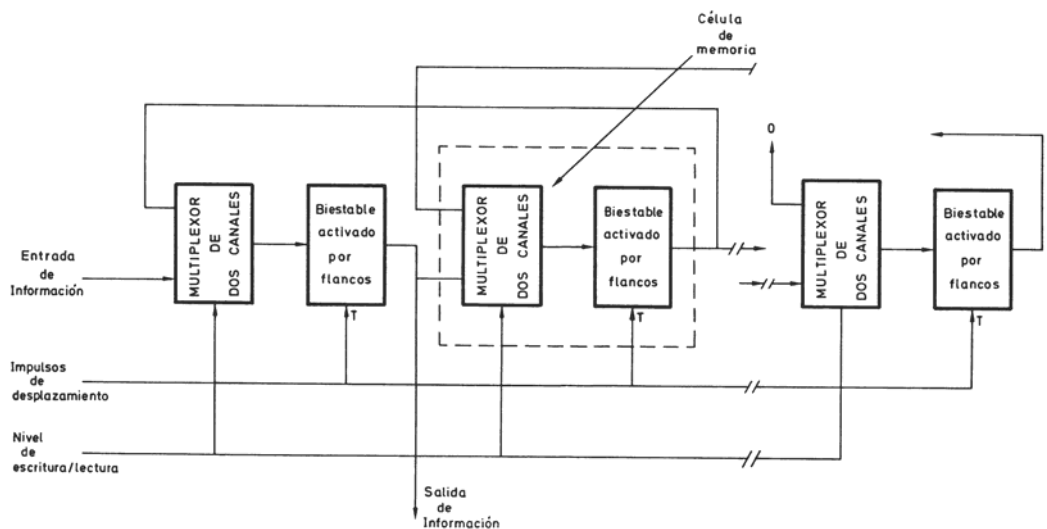


Figura 25

Un registro de desplazamiento reversible está formado por biestables síncronos y multiplexores. La salida de la memoria es la salida del primer biestable y la entrada es el segundo canal del primer multiplexor. Se sugiere al alumno interpretar la fig. 25 y realizar los ciclos de lectura/escritura.

El diagrama en bloque de una LIFO es el indicado en la fig. 26

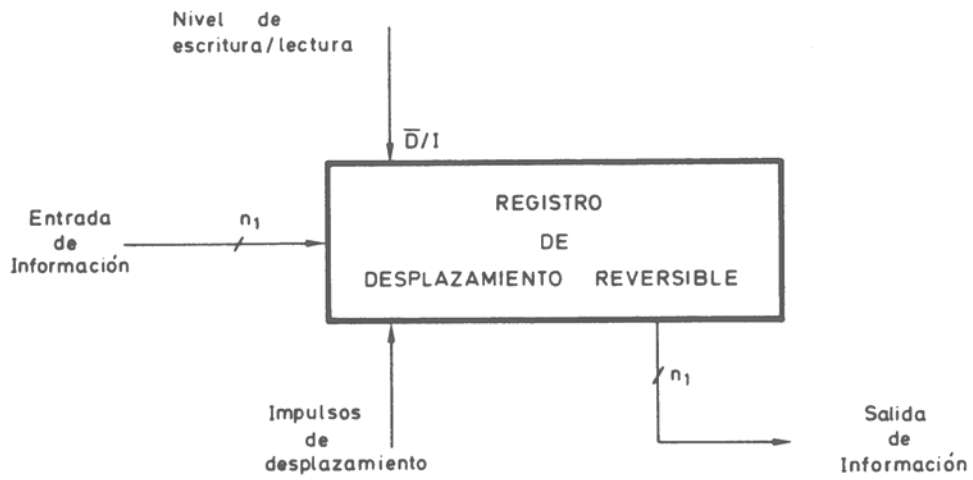


Figura 26