

4.0 OBJETIVOS:

Conocer, analizar y aplicar las técnicas de diseño de los circuitos enclavados en fase en un PLL analógico.

4.1 INTRODUCCION:

El PLL (Phase Locked Loop) es un dispositivo electrónico de amplia aplicación en sistemas de comunicación. Básicamente consiste en un sistema de lazo cerrado capaz de enclavar (o sincronizar) la fase de un oscilador controlado por voltaje (VCO), con la fase de una señal de entrada.

Entre las aplicaciones más conocidas en comunicaciones se pueden mencionar las siguientes:

- Recuperación de portadora en AM y demodulación de FM
- Sincronización de frecuencia
- Multiplicación y división de frecuencia
- Restauración o acondicionamiento de señales
- etc.

Por su gran versatilidad es común encontrar al PLL formando parte de sistemas tales como:

- Modems
- Decodificadores de tono
- Receptores de FM, SCA
- Sincronizador de datos

En esta experiencia se estudiará el PLL analógico de propósitos generales disponible en el circuito integrado LM565. Se presentará un resumen del análisis teórico del PLL, el que debe ser contrastado en el Laboratorio con los resultados de las mediciones realizadas.

4.2 ANALISIS DE UN PLL ANALOGICO

4.2.1 DIAGRAMA DE BLOQUES GENERAL

El esquema más simple de un PLL es el que está constituido por tres bloques funcionales: un detector de fase (PhD: Phase Detector), un filtro pasabajos (LPF: Low Pass Filter) y un oscilador controlado por voltaje (VCO: Voltage controlled oscillator), ver figura 4.2.1. El sistema puede incluir un amplificador a objeto de aumentar la ganancia de lazo del sistema. Este amplificador está conectado generalmente a uno de los extremos del LPF, o bien incorporado a éste. Para el caso del circuito integrado LM 565 este amplificador de error está inmediatamente después del PhD y su ganancia incorporada al factor de sensibilidad del PhD (K_D).

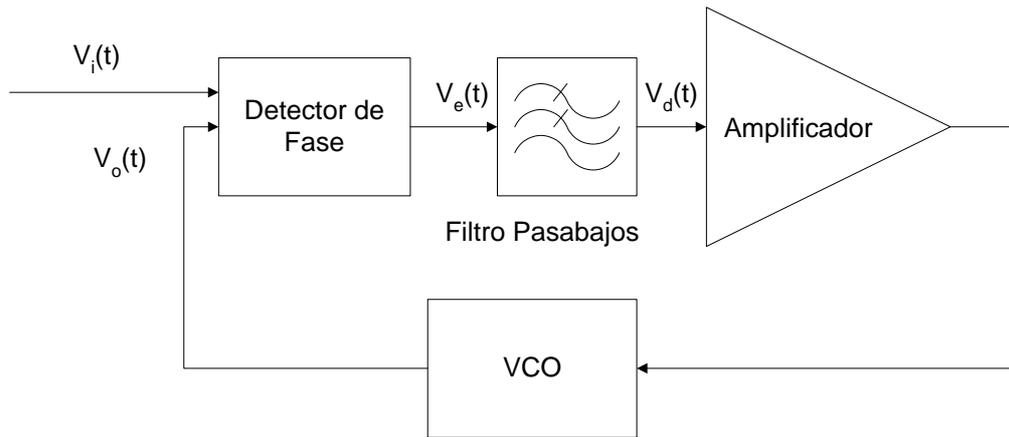


Figura 4.2.1: diagrama en bloques del PLL

4.2.2 DESCRIPCION DE BLOQUES FUNCIONALES

a) Detector de fase(PhD), ver figura 4.2.2: Es esencialmente un switch electrónico que conmuta la señal de entrada a una frecuencia que es la del VCO. Una versión integrada más común es la del modulador balanceado 1496, con señal de control proveniente del VCO.

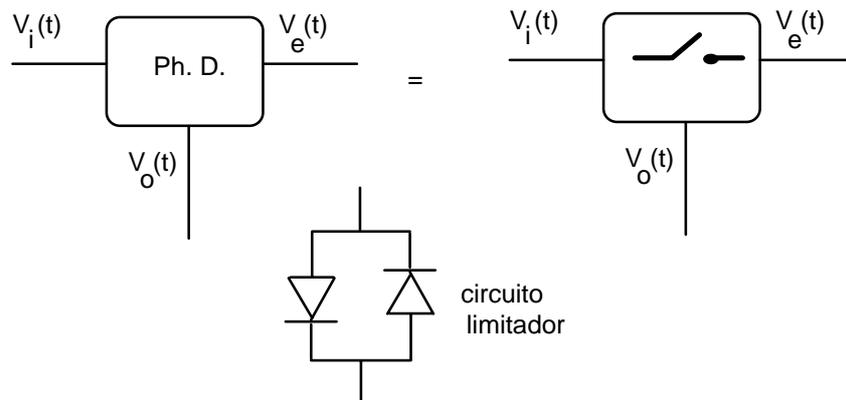


Figura 4.2.2: detector de fase

Generalmente la señal del VCO es de niveles lo suficientemente elevados como para que el multiplicador actúe en conmutación, o sea como switch ideal. De esta forma la señal de salida, $V_e(t)$, se puede expresar como:

$$V_e(t) = C * V_i(t) * \sum_{-\infty}^{\infty} \text{Sa}(n\pi\tau/T_0) * e^{jn\omega_0 t}; \quad \omega_0 = \frac{2\pi}{T_0}$$

donde C es una constante que depende del detector de fase. Para los propósitos de este análisis sólo consideraremos la multiplicación por la señal de frecuencia fundamental (ω_0); el efecto de las demás componentes será eliminado por el filtro según se verá. (Para ciertas aplicaciones, las armónicas se usan para sincronizar el VCO con una componente múltiplo de la fundamental).

Se observa además, que el voltaje de error $V_e(t)$ es proporcional a la amplitud de la señal de entrada $V_i(t)$. En la mayoría de las aplicaciones esto es indeseable, pues hace que la ganancia del lazo dependa de la amplitud de señal de entrada. De esta forma la dinámica del lazo (estabilidad, etc) dependerá de la amplitud de las señal de

entrada. Para evitar este efecto, los PLL normalmente incluyen un limitador para la amplitud de la señal de entrada o de salida mediante un circuito de diodos.

b) Oscilador controlado por voltaje (VCO): Suele ser el bloque funcional de comportamiento más crítico, debido a que la estabilidad en frecuencia y las características de demodulación de FM dependen fundamentalmente de las características del VCO. Son deseables las siguientes características:

- conversión voltaje-frecuencia lineal
- alta ganancia de conversión
- amplio rango de control de frecuencia
- buena estabilidad de frecuencia ante variaciones térmicas
- determinación de la frecuencia de oscilación mediante un mínimo número componentes.

c) Filtro Pasabajos (LPF) y Amplificador (A): Son los bloques funcionales sobre los cuales puede actuar el diseñador de PLL al emplear componentes integrados. Las características de estos bloques definen el comportamiento estático y dinámico del sistema, como se verá posteriormente.

4.2.3 OPERACIÓN DEL PLL

La forma de operar del PLL se explica en base al diagrama de bloques de la Fig. 4.2.1. En ausencia de señal a la entrada del sistema ($V_i(t)=0$) el voltaje de error es nulo ($V_e(t)=0$). En estas condiciones el VCO oscila a una frecuencia angular ω_0 predeterminada, denominada frecuencia de oscilación libre o simplemente frecuencia central. Si se aplica una señal $V_i(t)$ al sistema el detector de fase compara su fase con la del VCO y genera un voltaje de error $V_e(t)$ proporcional a esta diferencia. Este voltaje es filtrado, amplificado y aplicado al terminal de entrada del VCO. De esta forma el voltaje de control $V_d(t)$ fuerza a que la frecuencia del VCO varíe en la dirección en que se reduce la diferencia de fase entre la señal de entrada y la del VCO. Si la frecuencia de la señal de entrada, ω_i , está suficientemente cercana a la del VCO, la naturaleza servo del lazo hace que el VCO se sincronice o enganche en fase (y por lo tanto en frecuencia) con la señal de entrada. Una vez producido el enganche la frecuencia del VCO es idéntica a la de la señal de entrada, y la diferencia de fase permanece acotada dentro de un margen. La condición de enganche perfecta corresponde a señales de VCO y de entrada en cuadratura; en ese caso se dice que el error de fase es cero. La diferencia de fase en relación a la condición de cuadratura es la que produce el voltaje de error correctivo $V_d(t)$ para desplazar la frecuencia del VCO desde su valor de oscilación libre al valor de la frecuencia de la señal de entrada, y por lo tanto, es la que mantiene al PLL enganchado. Esta habilidad autocorrectora del sistema permite también al PLL seguir los cambios de frecuencia que experimenta ω_i una vez que ya se ha producido el enganche.

4.2.4 ANALISIS DEL FUNCIONAMIENTO DEL PLL

El siguiente análisis es esencialmente el realizado en la asignatura "Teoría de Comunicaciones", pero hace referencia al circuito integrado particular que se utilizará. Análisis similares se encuentran en diversos textos.

Consideremos el diagrama de bloques general descrito en la figura 4.2.1

Estando el PLL enganchado, las señales presentes se definen como:

$$V_i(t) = V_i \cos(\omega_0 t + \phi_i(t))$$
$$V_o(t) = V_o \sin(\omega_0 t + \phi_o(t))$$

V_o, V_i : constantes

ω_0 : frecuencia de oscilación libre del VCO

$$\phi_i(t) = \Delta\omega_i t + \theta_i(t)$$

$$\phi_o(t) = \Delta\omega_o t + \theta_o(t) + \theta_k$$

$\phi_i(t)$: diferencia de fase de la señal de entrada, respecto de la referencia $\omega_0 t$
 $\phi_o(t)$: diferencia de fase de la señal del VCO, respecto de la referencia $\omega_0 t$
 $\Delta\omega_i$: representa la desviación de frecuencia de la señal de entrada respecto de la frecuencia ω_0

$\phi_i(t)$: representa la modulación de fase de $V_i(t)$
 $\phi_o(t)$: respuesta del PLL a $\phi_i(t)$
 ϕ_k : error de fase constante debido a $\Delta\omega_i$

A la salida del detector, considerando multiplicación perfecta de las señales de entrada, se tiene:

$$V_e(t) = K_d \text{sen}[\phi_i(t) - \phi_o(t)] - K_d \text{sen}[2\omega_0 t + \phi_i(t) + \phi_o(t)]$$

donde $K_d = (V_o \cdot V_i / 2) \cdot K_p$
 K_d : ganancia del PhD

Asumiremos que el filtro pasabajos sólo dejará pasar el primer término de la expresión anterior, es decir:

$$V_e(t) = K_d [\text{sen}(\phi_i(t) - \phi_o(t))]$$

Se observa entonces que la relación entre $V_e(t)$ y $\phi_e(t) = \phi_i(t) - \phi_o(t)$ es no lineal cuando no hay limitación de las señales de VCO y de entrada.

Cuando el PLL está operando en el rango de enganche, el error de fase normalmente es pequeño y puede entonces hacerse la siguiente aproximación:

$\text{sen}(\phi_i(t) - \phi_o(t)) \approx \phi_i(t) - \phi_o(t)$ y por ende

$$V_e(t) \approx K_d [\phi_i(t) - \phi_o(t)]$$

Se puede además demostrar que si las señales de entrada al detector de fase son cuadradas (por ejemplo por haber sido limitadas) entonces el detector de fase es lineal para $\phi_i(t) - \phi_o(t)$ entre $-\pi/2$ y $+\pi/2$.

Bajo estas condiciones, el PLL puede analizarse como un sistema de control lineal realimentado.

La señal aplicada al VCO es entonces:

$$V_d = A \cdot V_e(t) * f(t) \quad \text{donde } A: \text{ganancia del amplificador y } h(t): \text{respuesta a impulso del LPF}$$

La frecuencia instantánea del VCO se desvía respecto de ω_0 en forma proporcional a V_d :

$$\frac{d\phi_o}{dt} = K_0 V_d(t) \quad \text{donde } K_0: \text{Sensibilidad del VCO [rad/seg/V]}$$

Por lo tanto:

$$\phi_o(t) = K_0 \int V_d(u) du$$

De lo cual se deduce que la acción del VCO es análoga a la de un integrador en el lazo de realimentación, al considerar el PLL como un sistema de control realimentado.

Reemplazando V_d en la ecuación anterior se obtiene:

$$\frac{d\phi_o}{dt} = AK_0 V_e(t) * f(t)$$

$$\frac{d\phi_o}{dt} = AK_0 K_d [\phi_i(t) - \phi_o(t)] * f(t)$$

Si se aplica la transformada de Laplace a la expresión anterior se obtiene:

$$\Phi_o(s) = AK_o \frac{K_d}{s} [\Phi_i(s) - \Phi_o(s)] F(s)$$

La ecuación anterior representa el modelo linealizado del PLL, en el plano de frecuencias como un sistema de control lineal realimentado. Dicho modelo equivale al diagrama de bloques de la figura 4.2.4.

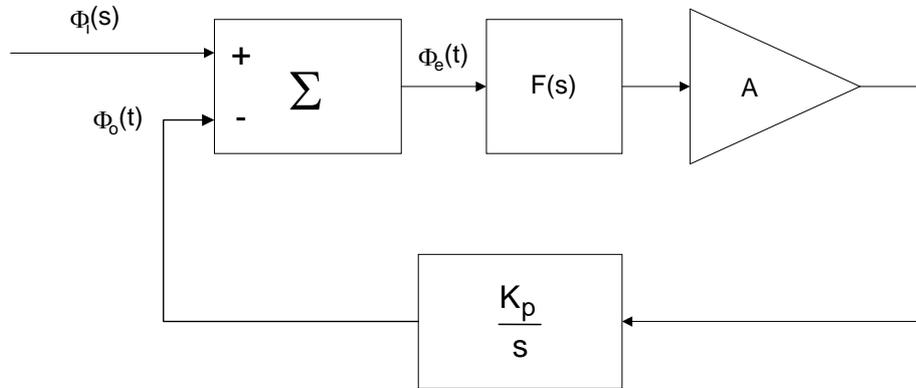


Figura 4.2.4 Modelo lineal del PLL

La función de transferencia de lazo abierto para el PLL puede escribirse como:

$$T(s) = K_v \cdot F(s)/s$$

donde K_v es la ganancia total del lazo ($= A \cdot K_d \cdot K_o$).

Entonces la característica de transferencia del lazo cerrado del PLL es:

$$H(s) = T(s)/(1+T(s)) = K_v \cdot F(s)/(s + K_v \cdot F(s)) = A \cdot K_o \cdot K_d \cdot F(s)/(s + A \cdot K_o \cdot K_d \cdot F(s))$$

arreglando esta ecuación se puede obtener también:

$$(\Phi_i(s) - \Phi_o(s))/\Phi_i(s) = s/(s + A \cdot K_o \cdot K_d \cdot F(s)) = \Phi_e(s)/\Phi_i(s)$$

por lo que el error de fase puede expresarse como:

$$\Phi_e(s) = s\Phi_i(s)/(s + A \cdot K_o \cdot K_d \cdot F(s))$$

Mediante el teorema del valor final es posible obtener a partir de la expresión anterior, el comportamiento estacionario del error de fase del PLL, frente a diferentes excitaciones en su entrada. Por ejemplo, consideremos las siguientes entradas suponiendo que hasta $t=0$, $\phi_i(t)=0$.

- a) Escalón de fase ($\phi_i(t) = \Theta_i$). La transformada de Laplace de $\phi_i(t)$ es $\Phi_i(s) = \Theta_i/s$. Se comprueba entonces fácilmente que:

$$\lim_{t \rightarrow \infty} \phi_e(t) = 0$$

o sea, el lazo se enclavará en fase con la señal de entrada y el error de fase en estado estacionario será nulo.

- b) Escalón de frecuencia ($\Delta\omega_i$): En este caso el cambio de fase en la entrada será una rampa, y su transformada de Laplace es:

$$\phi_i(s) = \Delta\omega_i/s^2$$

Se comprueba que

$$\lim_{t \rightarrow \infty} \phi_e(t) = \Delta\omega_i / AK_0 K_d F(0)$$

Entonces, frente a un escalón de frecuencia, aparece un error estacionario de fase dependiente de la magnitud del escalón y de la ganancia del lazo a señal continua ($A \cdot K_0 \cdot K_d \cdot F(0)$). Aumentando la ganancia del lazo, se reducirá el error de fase en estado estacionario, frente a un cambio de frecuencia en la señal de entrada. El diseñador del PLL puede elegir una configuración apropiada de manera de tener acceso al control de la ganancia del lazo y así modificar (minimizar) el error de fase en estado estacionario.

Mientras el PLL permanece enganchado con una señal, la frecuencia del VCO es igual a la de la señal de entrada. Esto significa que el voltaje de control del VCO, que es proporcional a la frecuencia de este, es también proporcional a la frecuencia de entrada. **En consecuencia el PLL, puede usarse para demodular FM, utilizando como salida la señal de control al VCO. El PLL es sensible sólo a la fase y no a la amplitud de la señal, por lo tanto es eficaz para combatir el ruido de amplitud.**

4.2.5 ANALISIS DE LA RESPUESTA TRANSIENTE DEL PLL

El comportamiento transiente del PLL y su respuesta en frecuencia dependen fuertemente de la elección del filtro pasabajos ($F(s)$). Analizaremos ahora algunos casos.

a) Sin filtro

El caso más simple corresponde a un lazo de primer orden donde $F(s)=1$, en el rango de frecuencias de interés. Se supondrá, sin embargo, que existe suficiente filtraje para eliminar la componente de doble frecuencia a la salida del detector de fase (en caso contrario el VCO estaría sometido a una señal de control que haría fluctuar su frecuencia muy rápidamente). La función de transferencia del lazo toma la forma

$$H(s) = A \cdot K_0 \cdot K_d / (s + A \cdot K_0 \cdot K_d)$$

Un sistema de primer orden de este tipo no puede presentar problemas de estabilidad

Para variaciones lentas de frecuencia de entrada, la frecuencia de salida es igual a la de entrada ($H(s)=1$). En consecuencia el voltaje de entrada en el VCO debe ser proporcional a la frecuencia de entrada al PLL, lo que permite usarlo como demodulador de FM.

b) Con filtro simple

El asumir que $F(s) = 1$ no es muy realista, dado que el filtro pasabajos que debe eliminar la doble frecuencia generada en el multiplicador siempre afectará el comportamiento del lazo cerrado en alguna forma.

Con un filtro pasabajos de un solo polo $F(s)$ es de la forma

$$F(s) = 1 / (1 + s\tau_1) \quad \text{con} \quad \tau_1 = R_1 C$$

Ahora el PLL se comporta como un sistema de segundo orden, con función de transferencia, $H(s)$:

$$H(s) = (A \cdot K_0 \cdot K_d / \tau_1) / (s^2 + (s/\tau_1) + (A \cdot K_0 \cdot K_d / \tau_1))$$

El denominador de $H(s)$ tiene la forma

$$s^2 + 2\xi\omega_n \cdot s + \omega_n^2: \text{ por lo tanto resulta claro identificar}$$

$$\omega_n = [A \cdot K_0 \cdot K_d / (R_1 C)]^{1/2} \text{ frecuencia natural del sistema.}$$

OJO, esto es la frecuencia natural del lazo cerrado. Es un concepto completamente diferente de la frecuencia de oscilación libre del VCO.

$$\xi = 0,5 [1 / (R_1 C A K_0 K_d)]^{1/2} \text{ coeficiente de amortiguamiento}$$

El valor de ω_n determina el ancho de banda de lazo cerrado del PLL y el valor de ξ determina su estabilidad. Dada una ganancia de lazo (AK_OK_D), la que determina el error estacionario de fase, el ancho de banda del lazo y su estabilidad dependen sólo de τ_1 y no pueden por lo tanto elegirse en forma independiente.

c) Filtro con resistencia adicional (lead-lag)

Agregando al filtro simple una resistencia adicional (R_2), como se muestra en la fig. 4.2.5, es posible dentro de ciertos rangos escoger el ancho de banda, coeficiente de amortiguamiento y ganancia de lazo, en forma independiente.

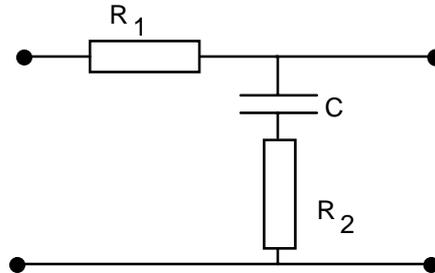


Figura 4.2.5 Filtro con resistencia adicional

La función de transferencia de este filtro es

$$F(s) = (1+s\tau_2)/(1+s(\tau_1 + \tau_2)) \quad \text{donde } \tau_1 = R_1C \quad \tau_2 = R_2C$$

La función de transferencia del lazo toma la forma

$$H(s) = \frac{A \cdot K_O K_D (1+s\tau_2) / (\tau_1 + \tau_2)}{s^2 + s[(1+A \cdot K_O K_D \tau_2) / (\tau_1 + \tau_2)] + A \cdot K_O K_D / (\tau_1 + \tau_2)}$$

Por lo tanto la frecuencia natural del lazo es

$$\omega_n = [AK_O K_D / (\tau_1 + \tau_2)]^{1/2}$$

y el coeficiente de amortiguamiento

$$\xi = 0,5 [AK_O K_D / (\tau_1 + \tau_2)]^{1/2} \cdot [\tau_2 + (1/AK_O K_D)]$$

o bien aproximadamente, para una ganancia de lazo grande

$$\xi = 0.5\omega_n\tau_2$$

Con una apropiada elección de R_2 , este filtro permite para una ganancia de lazo dada, escoger un coeficiente de amortiguamiento y un ancho de banda de lazo, en forma independiente. Si $R_1 \gg R_2$, la frecuencia natural será principalmente dependiente de R_1 , y ξ se podrá ajustar con R_2 . En muchos casos por restricciones del diseño la condición $R_1 \gg R_2$ no se cumplirá y no será posible ajustar libremente ambos parámetros

4.2.6 DEFINICION DE TÉRMINOS Y SU DEPENDENCIA DE LOS PARÁMETROS

- Frecuencia de oscilación libre (f_0 [Hz]) también denominada frecuencia central: es la frecuencia a la cual opera el VCO cuando el PLL no está enclavado con una señal externa. Es a la vez la frecuencia de oscilación del VCO cuando el PLL está enganchado con una señal de frecuencia tal, que el error de fase a la salida del detector es cero.

- Coeficiente de amortiguamiento (ξ): Es la constante de amortiguación estándar de un sistema realimentado de segundo orden. Para el caso de PLL, está relacionada con la habilidad del lazo para responder rápidamente a un escalón de frecuencia en la entrada sin un excesivo overshoot (ondulación)

- Frecuencia natural (f_n [Hz]): Es la frecuencia característica del lazo. Puede ser determinada experimentalmente como la frecuencia de modulación para la cual un lazo no amortiguado da la máxima salida (considerando como salida la señal de control del VCO).

- Rango de enganche o enclavamiento ($2f_i$ [Hz]): Es el rango de frecuencias alrededor de f_o , dentro del cual el PLL, una vez enclavado, permanece enganchado frente a variaciones **lentas** de frecuencia de entrada.

Para un comparador de fase lineal dentro del rango $\pm\pi/2$ (o sea operando en limitación), el rango de enganche puede ser determinado partir de la siguiente expresión, basada en acotar el error estacionario a un valor de hasta $\pi/2$

$$2\pi f_i/A \cdot K_o K_d F(0) = \pi/2$$

entonces:

$$f_i = (1/4)AK_o K_d F(0) \text{ [Hz]}$$

Se observa que el rango de enganche depende sólo de la ganancia del lazo a señal continua.

- Rango de captura ($2f_c$ [Hz]) Es el rango de frecuencias dentro del cual el PLL, inicialmente desenganchado, es capaz de adquirir enganche. Su determinación en forma analítica es compleja, puesto que corresponde al comportamiento del PLL fuera del rango lineal. Una expresión aproximada para obtener el rango de captura del PLL que emplea filtro con resistencia adicional es:

$$f_c = (\sqrt{2}/2\pi)(2\xi\omega_n AK_o K_d F(0) - \omega_n^2)^{1/2}$$

esta expresión es válida para ganancias de lazo altas, tal que $\omega_n/Ak_o K_d < 0,4$. Se observa que al reducirse el ancho de banda del lazo (reducción de ω_n) se reduce el rango de captura. Ello se debe a que un lazo con menos ancho de banda tiene más dificultades para responder rápidamente a una señal de otra frecuencia que la frecuencia natural del VCO. Eso es una ventaja en algunas aplicaciones donde se busca lograr que el PLL sólo responda a una señal y sea insensible a las perturbaciones que producen otras que están cercanas. El caso típico es el de recuperación de portadora para la demodulación coherente o sincrónica.

En cualquier caso debe cumplirse $f_c < f_i$ Cuando de acuerdo a la expresión anterior ello no ocurre, es atribuible a las aproximaciones. En general si f_n es grande (ancho de banda grande del PLL), el rango de enganche y el de captura son casi iguales.

En la figura 4.2.6 se muestra la típica característica de transferencia voltaje-frecuencia del PLL. En el eje vertical se indica el voltaje de control en el VCO. Este varía con la frecuencia (eje horizontal) cuando el PLL está enganchado y en cambio se mantiene cercano a cero cuando no lo está. En la práctica la señal de entrada al VCO se ve mas "sucias" porque contiene restos de la doble frecuencia de entrada, que no ha sido completamente filtrada por el filtro del lazo.

- Ancho de banda del PLL: Es el ancho de banda de la función de transferencia $H(s)$. Existen diversas definiciones; consideraremos sólo el ancho de banda de 3[dB]. El ancho de banda de -3[dB] es algo mayor que f_n , dependiendo del valor de ξ .

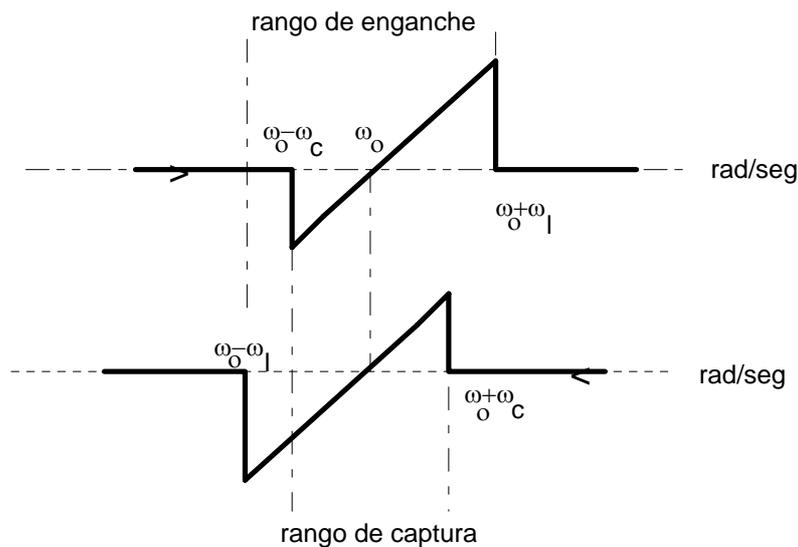


Figura 4.2.6 Respuesta del PLL a barrido de frecuencia

4.2.7 CONSIDERACIONES GENERALES DE DISEÑO

Los criterios de diseño del PLL dependerán del tipo de operación que se le quiera dar. Esencialmente existirán dos factores principales que considerar:

1. Ganancia de lazo: Esta afectará el error de fase entre la señal de entrada y la señal de salida del VCO. Determina además el rango de enganche del PLL.
2. Frecuencia natural (ancho de banda del lazo): Una vez definida la ganancia de lazo, el ancho de banda del PLL quedará determinado por el diseño del filtro pasabajos. La elección del ancho de banda del PLL dependerá de la aplicación específica que se le de al PLL. Por ejemplo si se desea usar el PLL como discriminador de FM, se diseña para que el ancho de banda del lazo sea lo suficientemente grande como para que minimice el error transiente debido a la modulación de la señal. (O sea, el ancho de banda del lazo debe ser al menos igual al de la señal modulante, para que la pueda reproducir fielmente)

Si por el contrario se desea usar el PLL para filtrar "jitter" de fase de una portadora (p. ej. recuperación de portadora en detección sincrónica de AM), el ancho de banda debería ser lo más estrecho posible, de manera que la fase de salida, $\phi_o(t)$, no siga las fluctuaciones rápidas debidas a ruido que contiene la fase de entrada $\phi_i(t)$.

4.3 EL PLL LM 565 (National), NE 565 (Signetics)

En esta experiencia emplearemos el PLL disponible en el circuito integrado LM 565. Se describen a continuación sus características más importantes (ver manuales para más detalles). Su configuración interna corresponde a un sistema implementado en base a:

- un detector de fase tipo 1496 con circuito limitador
- un amplificador diferencial a la salida del Ph.D.
- un VCO de configuración idéntica al LM 566

La configuración interna se describe en la figura 4.3.

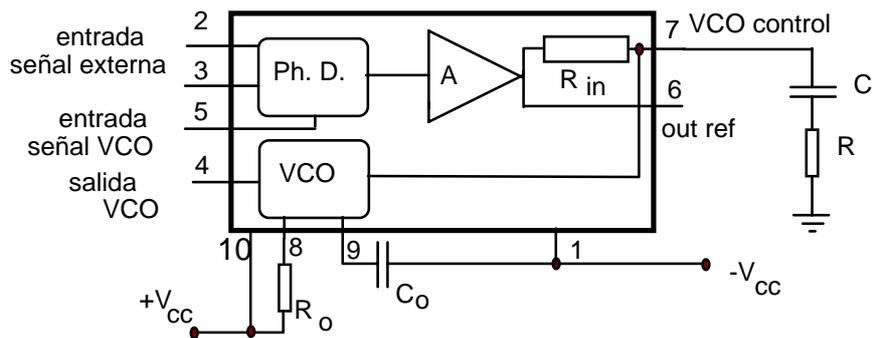


Figura 4.3 configuración interna del LM 565

Según se puede observar, el LM 565 tiene una conexión interna de tipo resistiva (R_{in}) que junto con alguna configuración externa, elegida por el diseñador, constituirá el filtro pasabajos del lazo. Para este PLL $R_{in} = 3,6$ [Kohm].

Se aprecia también que mediante componentes externas (R_o, C_o) se determina la frecuencia de oscilación libre del VCO

$$f_o = 1/(3,7R_oC_o) \text{ [Hz]}$$

R_o debe estar en el rango de 2[k] a 20[k].

Las características eléctricas más importantes de este circuito integrado son:

-Características máximas

V_{cc} :Polarización	12 [V]
P_d :Disipación de potencia	300 [mW]
V_{2-3} :entrada diferencial	1 [V]
V_d :voltaje de control del VCO	$0,75V_{cc} < V_d < V_{cc}$

-Características de operación para $V_{cc} = 6$ [V]

V_z :nivel de entrada para limitación	10[mV]
$f_o(\text{max})$:frecuencia máxima del VCO	500[KHz]
Z_i :impedancia de entrada del PhD(pin 2-3)	5[Kohm]
Z_o :impedancia de salida del amplificador(pin 7)	3,6[Kohm]
(*) K_D :sensibilidad del detector de fase	0,68[V/rad]
K_o :sensibilidad del VCO	$4,1 f_o$ [rad/s/V]
(**) $K_o \cdot K_D$:ganancia de lazo	$2,8 f_o$ [1/s]

La ganancia del lazo decrece al aumentar el voltaje de alimentación V_{cc} a través de la relación $K_o \cdot K_D = 33,6f_o/2V_{cc}$

(*) La sensibilidad del detector de fase incluye la ganancia del amplificador ($K_D = K_d \cdot A$).

(**) La ganancia de lazo puede ser reducida conectando una resistencia entre el pin 6 y pin 7; ésta reduce la impedancia de carga a la salida del amplificador y por lo tanto la ganancia del lazo.

4.4 EXPERIENCIA DE LABORATORIO

En el laboratorio se evaluará el comportamiento del PLL integrado LM 565 utilizando para ello un módulo de prueba, cuyo diagrama de bloques, junto al PLL, se indica en la figura 4.4.1 Los bloques "Circuito PLL" y "Circuito VCO Externo" corresponden a las configuraciones sugeridas por el fabricante (ver figura 4.4.3, experiencia anterior de VCO y manuales) y deben polarizarse como se especifica para cada uno de ellos. El circuito R-C serie "Malla de adaptación" adapta niveles de señal de los elementos y bloquea componentes continuas (no usar condensador electrolítico!)

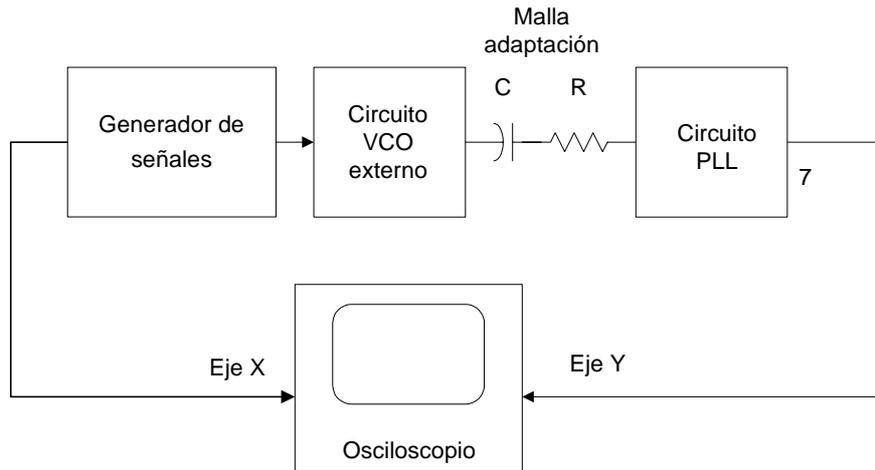


Figura 4.4.1 configuración de prueba del PLL

Mediante el módulo de prueba será posible observar el rango de enganche y el rango de captura barriendo en un rango de frecuencias mayor que el rango de enganche. **El barrido debe ser lo suficientemente lento como para dar un tiempo adecuado para la captura.** En la práctica esto significa barrer a unos pocos [Hz], lo cual dificultará observar las señales en el osciloscopio. Adicionalmente, al aplicar señales de frecuencia baja al osciloscopio, **deben acoplarse las entradas en modo DC, ya que el acoplo AC produce atenuaciones y desfases significativos de las componentes de baja frecuencia.** Los osciloscopios con retención de imagen facilitan el trabajo.

Utilizando el osciloscopio en modo X-Y, podrá obtenerse la característica de transferencia frecuencia-voltaje de error del PLL y medir así su comportamiento dinámico en frecuencia: rangos de enganche y captura.

La figura 4.4.2 muestra el resultado de realizar este tipo de conexión en un circuito simulado mediante Simulink

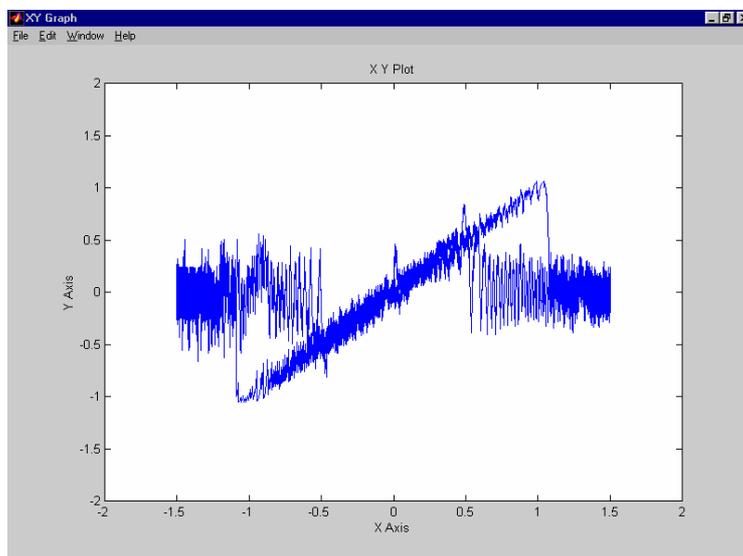


Figura 4.4.2 Oscilograma de respuesta de PLL a barrido de frecuencia

Para determinar la respuesta voltaje de control del VCO vs. frecuencia de entrada (linealidad), es preferible realizar mediciones estáticas: se varía paso a paso la frecuencia de entrada y en cada caso se mide el voltaje continuo a la entrada del VCO.

-Circuito de ensayo del PLL LM 565

Se propone la configuración 4.4.3. para el ensayo de su comportamiento.

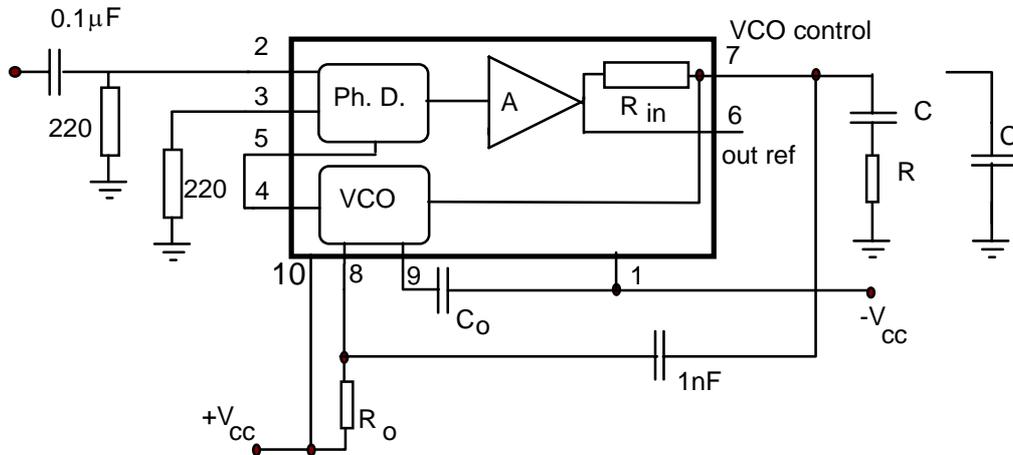


Figura 4.4.3 Conexión sugerida para LM 565

4.5 INFORME PREVIO

4.5.1 Diseñe el circuito PLL con el LM 565, polarizado con $V_{CC} = 6[V]$, cumpliendo con las siguientes especificaciones:

a) PLL con filtro simple

-frecuencia central: $f_0 = 40 [kHz]$

-rango de enganche f_1 : calcular de acuerdo a las especificaciones del circuito integrado.

-coeficiente de amortiguamiento: $= 0.25$

-calcule el rango de captura y la frecuencia natural del lazo.

b) PLL con filtro de resistencia adicional. Diseñe una configuración con filtro adicional tal que el coeficiente de estabilidad sea algún valor entre 0.5 y 1. Determine la frecuencia natural resultante, y el rango de captura resultante, usando las expresiones aproximadas. **Verifique si se cumplen las aproximaciones bajo las cuales son válidas las fórmulas.**

4.5.2 Simule al menos una de las configuraciones del conjunto VCO/PLL y observe en ella características como rango de enganche y captura, y respuesta a escalón de frecuencia. Observe también como depende el nivel residual de la componente de doble frecuencia, de la característica del filtro del lazo. Simule el caso en que el objetivo del PLL es la recuperación de portadora. Para ello aplique una señal senoidal de entrada sin modulación de frecuencia, pero contaminada por ruido aditivo. En este caso se debe comparar la señal de entrada al detector de fase con la señal que genera el VCO del PLL. Esta última debería exhibir mucho menos ruido que la de entrada y debiera estar enganchada en fase con ella.

4.5.3 Explique como diseñará el módulo de prueba y con que criterio elegirá la resistencia R y el condensador C (figura 4.4.1).

Describa el procedimiento que utilizará para medir los siguientes parámetros del PLL

-rango de enganche

-rango de captura

-ancho de banda ($-3[dB]$)

-respuesta a escalón de frecuencia

4.6 PROCEDIMIENTO E INFORME FINAL

4.6.1 Arme el circuito PLL en configuración con filtro simple; aplique una senoide **directamente de un generador de señales a la entrada del circuito PLL** y determine el rango de enganche y de captura variando (paso a paso) la frecuencia de entrada. Para determinar si el PLL está enganchado observe la señal de

entrada y la salida del VCO del PLL. **Ambas señales deben tener la misma frecuencia; mientras ello no ocurra, no tiene sentido continuar.** Tome nota del desfase entre la señal de entrada y la salida del VCO y del cambio que este desfase sufre al variar la frecuencia de entrada. Observe además el residuo de componente de doble frecuencia presente en el pin 7 del PLL. Este se debe que el filtro pasabajos no elimina completamente la doble frecuencia generada en el detector de fase, particularmente si la frecuencia de entrada está cerca del límite inferior del rango de enganche.
Mida la frecuencia de oscilación libre del PLL.

Mida linealidad del PLL (voltaje continuo de salida del pin 7 vs. frecuencia de entrada al PLL). Observe que la salida del pin 7 contiene, fuera del nivel continuo que controla al VCO una apreciable componente alterna. Para medir el nivel continuo lo más sencillo es usar un tester en escala DC.

4.6.2 Arme el módulo de prueba y **observe**:

a) Rango de captura y enganche
b) Linealidad del PLL dentro del rango de enganche
c) Respuesta a escalón de frecuencia (overshoot). Aumente el valor del condensador del filtro de lazo hasta observar claramente como ello reduce la estabilidad ante transientes y a la vez reduce el residuo de doble frecuencia.

d) Ancho de banda de -3 [dB]. Se aumenta **la frecuencia de modulación de la frecuencia** que entra al PLL, observando la señal demodulada. Dado que el VCO interno del PLL es idéntico al externo usado en el módulo de prueba, el voltaje a la entrada de ambos debe ser igual mientras el PLL esté enganchado. Cuando se aumenta gradualmente la frecuencia de modulación del VCO externo se observará que a partir de algún valor de frecuencia el voltaje alterno en el VCO del PLL (pin 7) comienza a crecer hasta alcanzar un máximo. Esto es el "peak de resonancia" del lazo de control que constituye el PLL. Al seguir aumentando la frecuencia modulante, la amplitud de la señal en el pin 7 comienza a decaer rápidamente. Cuando la amplitud de decae en 3[dB] respecto del valor a frecuencias muy bajas se ha llegado a la frecuencia de corte y de ahí en adelante el PLL seguirá cada vez menos la modulación de la señal de entrada. La reducción del "jitter" aprovecha precisamente esta característica. Fluctuaciones muy rápidas de la frecuencia de entrada ("jitter de frecuencia") no son seguidas por el PLL que entrega a la salida del VCO una señal cuya frecuencia es igual al promedio de la frecuencia de entrada. Para observar esto aumente la frecuencia de modulación del VCO externo mucho más allá de la frecuencia de corte de -3[dB] del PLL. Observe la señal de entrada al PLL (pin 2) y la señal de salida del VCO interno (pin 5) para observar la reducción del jitter.

Recuerde que para una visualización correcta de los puntos a) y b) usando el modo X-Y del osciloscopio, es necesario **barrer lentamente** y acoplar las señales DC ya que los condensadores atenúan y desfasan las señales a frecuencias tan bajas.

4.6.3 Reemplace el filtro simple por el filtro con resistencia adicional y repita el punto 4.6.2 en cuanto rango de captura/enganche y respuesta escalón.

4.6.4 Resultados y conclusiones de las mediciones realizadas en la experiencia. Comparación con resultados de la simulación.

4.7 **BIBLIOGRAFIA**

- [1] Signetics Corporation: Analog Data Manual 1977, Sección 26; "Phase Locked Loop", pp 309
- [2] National Semiconductor: Linear Applications Handbook, Application Note 46: "The Phase Locked Loop IC as a communications system building block", AN46-1
- [3] National Semiconductor : Linear Databook
- [4] B. P. Lathi: Modern Digital and Analog Communication Systems, Third Edition, 1998

RFL/MSH/Abril06