

Transistores MOS

Los transistores MOS (Metal Oxido Semiconductor) o MOSFET o transistores de puerta aislada fueron la evolución lógica de los transistores JFET.

Dependiendo del tipo de canal con el que se realicen y de la forma de fabricarles recibieron diferentes nomenclaturas, a saber: NMOS y PMOS para transistores MOS de canal N y canal P respectivamente; o bien VMOS para los transistores MOS de potencia de *estructura vertical*. Existe una conexión particular de transistores NMOS y PMOS conocida como inversor CMOS (Complementary MOS).

Actualmente existen otros transistores derivados de los FET's para aplicaciones de alta velocidad, los MESFET (Metal Semiconductor) o los transistores de Arseniuro de Galio (GASFET).

Otra evolución de los transistores MOS es la BiCMOS. En ella se pretende combinar en un mismo cristal de Silicio transistores bipolares de alta velocidad con transistores CMOS. Los transistores CMOS se colocan al principio, para mejorar la impedancia de entrada y la velocidad de conmutación, mientras que, colocando a la salida los transistores bipolares podremos manejar cargas con capacidades mayores que si se colocasen CMOS.

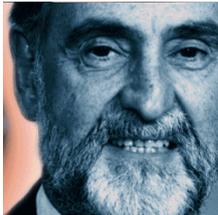
Contenido

- 7.1 Reseña histórica
- 7.2 Conceptos básicos
- 7.3 El MOS de Acumulación. Constitución y funcionamiento
- 7.4 Diseño físico de circuitos MOS
- 7.5 Polarización de los MOS de acumulación
- 7.6 El MOS de Deplexión. Constitución y funcionamiento
- 7.7 Polarización de los MOS de deplexión
- 7.8 Ejercicios tipo
- 7.9 Problemas propuestos
- 7.10 Bibliografía

7.1 Reseña histórica

A finales de 1959 Dawon (David) Kahng y Mohammed (John) Atalla inventaron en los Laboratorios Bell el transistor MOS, una nueva implementación del FET en forma planar.

A finales del 61, trabajando en Fairchild, el físico chino Chih-Tang Sah (conocido como “Tom”) realizó los primeros trabajos sobre el MOSFET.



En 1962, **Steven R. Hofstein** y **Frederic P. Heiman** en los laboratorios de investigación de RCA en Princeton, New Jersey, incluyeron el MOSFET en un circuito integrado. Este circuito integrado poseía 16 transistores NMOS. Actualmente Hofstein es presidente de ATI Systems.

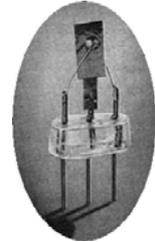


Foto del primer transistor MOS fabricado por **D. Khang**, **Mark M. Atalla**, y **E. Labate** a finales de 1959. Observaron que al aplicar una tensión pequeña a un metal que estaba encima de una capa de óxido que se había depositado sobre Silicio, se generaba una capa de inversión entre el óxido y el Silicio. Habían descubierto la “**Inducción de campo en la superficie de dispositivos Silicio-Dióxido de Silicio**”.



Carver A. Mead (1934-). Entre 1956 y 1960 se graduó y doctoró en Ingeniería eléctrica en el Instituto de Tecnología de California. En 1960 cambió la opinión sobre la imposibilidad de fabricar transistores de menos de 10micras. En 1969 ideó el concepto para los circuitos VLSI (Veri Large Scale Integrated) y probó que los transistores podrían llegar a ser de 0.15micras. Desde 1999 es presidente y fundador de Foveon, desarrolladora de sensores de imagen para cámaras digitales de alta resolución. Fue el inventor del MESFET (MEtal Semiconductor Field Effect Transistor).

7.2 Conceptos básicos

Tras la invención del JFET varios investigadores dedicaron su tiempo a mejorar las características de estos dispositivos.

Solucionaron algunos inconvenientes de los JFET como la alta densidad de integración, la estabilidad con la temperatura o el consumo de corriente de puerta y por consiguiente la impedancia de entrada. Sin embargo, no obtuvieron tan buenos resultados con la sensibilidad con la electricidad estática y las sobretensiones o la pobre linealidad de funcionamiento.

De estos estudios y su evolución, surgieron dos modelos de transistores MOS, los de *enriquecimiento* (Acumulación) y los de *empobrecimiento* (Depleción), ambos existentes en canal N y canal P. Por diferentes motivos han triunfado los primeros en la industria electrónica.

7.3 El MOS de Acumulación. Constitución y funcionamiento

El transistor MOS debe su nombre a la disposición de los elementos que lo componen. Los contactos con el exterior se realizan mediante la vaporización de Aluminio (Metal). Éstos contactos están unidos a un **único tipo de material semiconductor** N o P (Semiconductor), que forman los contactos de Drenador y Fuente, que a su vez se encuentran inmersos en un material que hace de sustrato del conjunto, de material contrario al semiconductor utilizado en los terminales. Por último, los elementos citados se encuentran separados por una fina capa de dióxido de Silicio (Aislante).

El conjunto así formado (Metal-Oxido-Semiconductor) se le denomina transistor MOS de efecto de campo o MOSFET. Figura 7.1.

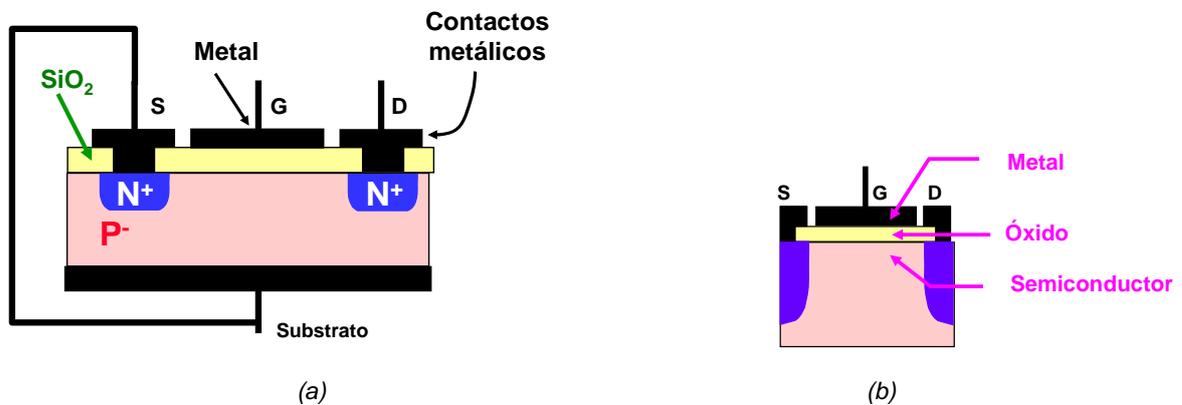


Figura 7.1: Estructura de fabricación del transistor MOS de acumulación

Dependiendo de los materiales utilizados podemos conseguir dos tipos de transistores MOS, los canal N y los canal P. Como indica la figura 7.1, entre los terminales de Drenador y Fuente, así como en la figura 7.2a, (MOS de Acumulación) no existe canal entre drenador y fuente, como sucedía en los transistores JFET. Por el contrario, existe otro tipo de construcción de transistores MOS que sí disponen de canal entre estos terminales, éstos son los MOS Deplexión. Así pues, podemos obtener una clasificación de los transistores MOS como se muestra a continuación.

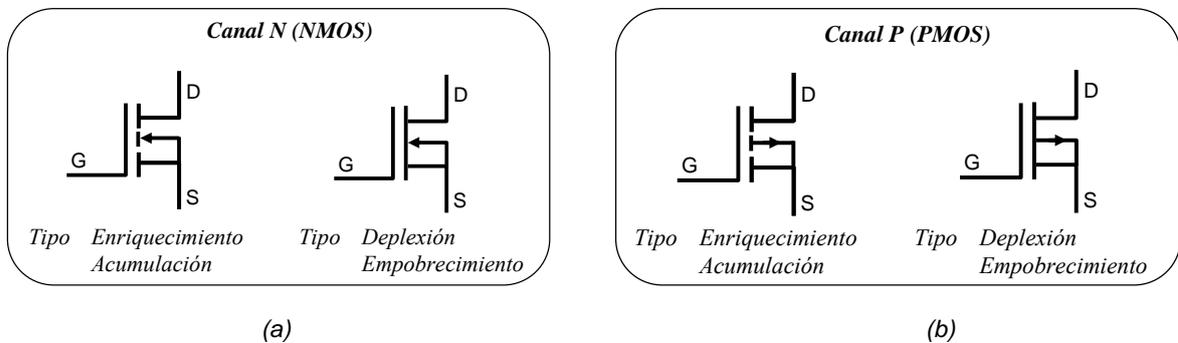


Figura 7.2: Clasificación y simbología de los transistores MOS

En la mayoría de los circuitos prácticos, los transistores NMOS se utilizan con mayor asiduidad que los canal P, algunas de las razones se muestran en la tabla adjunta.

	NMOS	PMOS
Área	1	3
Movilidad	660cm ² /Vs	210cm ² /Vs
Resistencia	1	2.5
Corriente	1	0.4

Tabla 7.1: Comparativa de los NMOS y PMOS

Principios de operación

Si comenzamos a aplicar una tensión pequeña al terminal de puerta (Gate) del MOS, se comienza a producir una acumulación de cargas entre los terminales de Drenador (Drain) y Fuente (Source). Si continuamos aumentando paulatinamente esta tensión, los electrones minoritarios del substrato se comenzarán a acumular junto al aislante (SiO₂). Esta acumulación, debido a la diferencia de potencial aplicada, se estratificará en zonas o capas con diferente concentración de electrones.

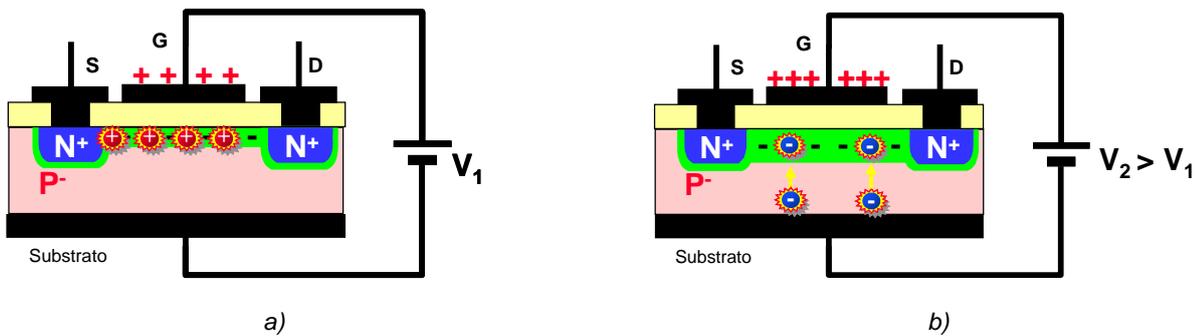


Figura 7.3: Comienzo de creación del canal en un NMOS de acumulación

Llegará un valor de tensión a la cual, la acumulación de electrones sea tal que forme un canal de conducción entre los terminales de Drenador y Fuente, que hasta ahora no existía. A esta acumulación o capa de portadores minoritarios se la denomina *capa de inversión*.

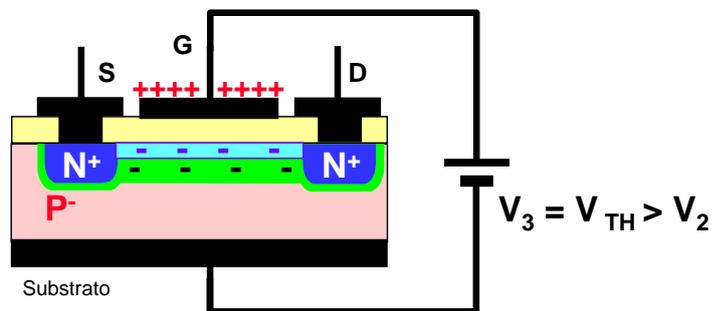


Figura 7.4: Creación de la capa de inversión al alcanzar la tensión umbral

Consideraremos formada la capa de inversión cuando la concentración de electrones en el canal artificialmente creado es igual a la concentración de huecos del substrato. La tensión a la que esto ocurre se la denomina *threshold voltage* o **tensión umbral** (V_{TH}).

Una vez que hemos creado este canal de conducción entre Drenador-Fuente y, siempre que mantengamos la tensión superior a esta V_{TH} , el dispositivo puede funcionar como transistor, regulando y/o controlando la corriente que circule entre sus terminales.

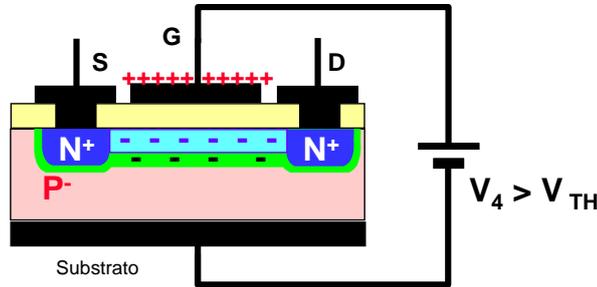


Figura 7.5: La capa de inversión hace de canal de conducción

En estas condiciones, si aplicamos una tensión pequeña ($V_{DS} \ll V_{GS}$) entre los terminales de Drenador y Fuente prácticamente no circula corriente entre sus terminales y el canal es uniforme.

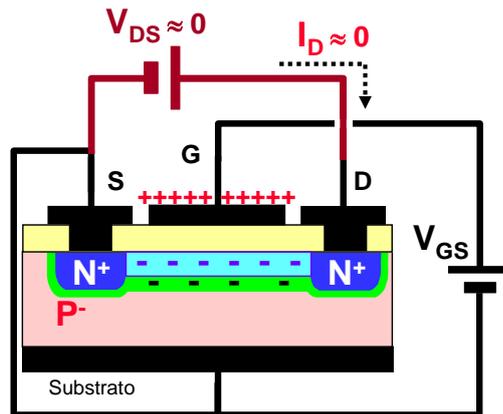


Figura 7.6: Sin aplicación de tensión V_{DS} no hay circulación de corriente por el canal

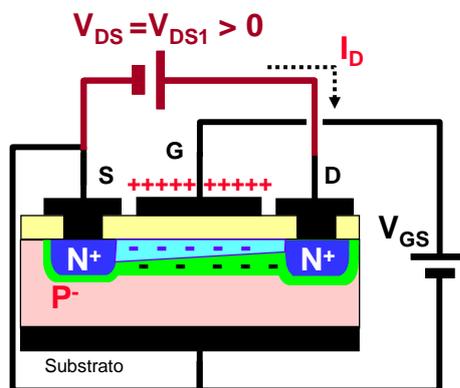


Figura 7.7: El canal de conducción se contrae con $V_{DS} > 0$.

Al continuar aumentando la tensión DS aplicada al circuito, el canal se deforma, disminuyendo su área. Este caso es similar al comportamiento de un JFET. Es decir, tenemos un canal creado y con la aplicación de tensión se contrae el canal y tenderá a anularse.

Este canal disminuye proporcionalmente a la tensión aplicada, hasta un punto tal en el que el canal se contrae totalmente. A este valor de tensión se le denomina *pinch off* o V_{DSPO} o de estrangulamiento.

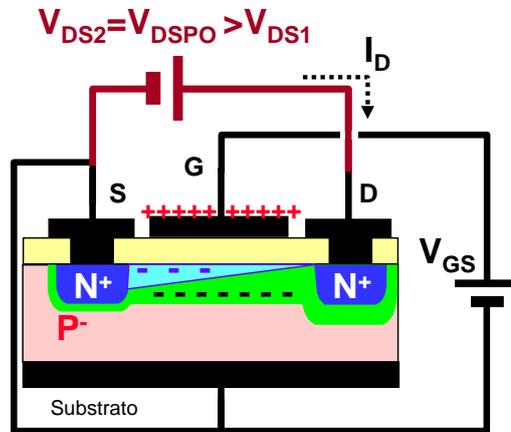


Figura 7.8: El canal se contrae totalmente al alcanzar la tensión de estrangulamiento (*pinch off*).

A partir de esta tensión, el MOS se comporta como un fuente de corriente. Similar a como sucedía con los JFET.

Las curvas que expresan el comportamiento descrito del MOS son las **curvas de Drenador** y sus zonas o regiones de funcionamiento; a saber: corte lineal y saturación.

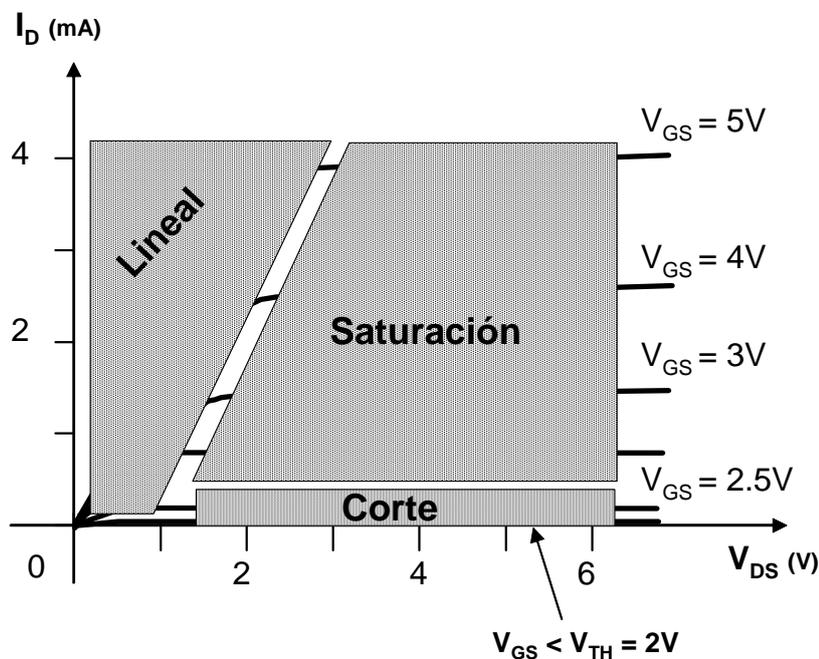


Figura 7.9: Curvas de Drenador de un NMOS de acumulación en fuente común

Si no le aplicamos V_{GS} al MOS, la corriente de drenador que se produce es casi despreciable. En general, sin la V_{GS} no supera la de umbral, el dispositivo no conduce corriente apreciable.

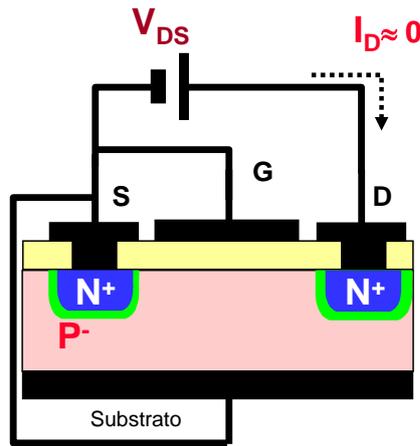


Figura 7.10: Si no existe canal no hay circulación de corriente drenador-fuente

La polarización adecuada para el MOS es, una V_{GS} mayor que la umbral, para que exista canal creado y, una V_{DS} mayor que cero para que circule corriente de drenador. La zona lineal del MOS no es tan adecuada para trabajar como la del JFET. Por eso se suele utilizar el MOS en la zona de corte o la de saturación. En ésta última $V_{GS} > V_{TH}$ y $V_{DS} > V_{DSPO}$.

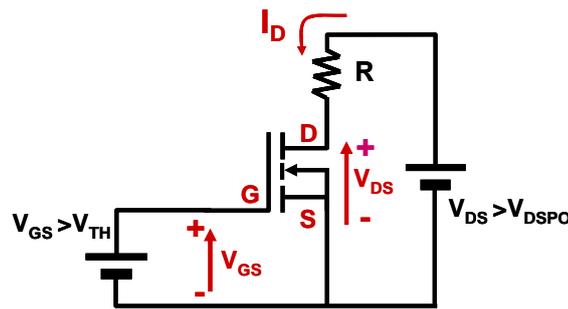


Figura 7.11: Polarización de un MOS de acumulación en la zona de saturación

Como se observa en la figura las dos fuentes de tensión del circuito tienen la misma polaridad. Esta ventaja, entre otras, les hizo triunfar frente a los JFET.

La ecuación empírica para obtener los valores de I_D en la **zona de saturación**, para un MOS de canal N de pequeña o media potencia, se rige por

$$I_D = K (V_{GS} - V_{TH})^2 \tag{7.1}$$

$$K = \frac{k_p W}{2 L} (1 + \lambda V_{DS}) = \frac{\mu_N \epsilon_{OX}}{2 t_{OX}} \frac{W}{L} (1 + \lambda V_{DS}) \left[\frac{A}{V^2} \right] [0.2 - 1.1 mAV^{-2}]$$

La ecuación empírica para obtener los valores de I_D en la **zona de lineal** ($V_{GS} < V_{TH}$), para un MOS de canal N de pequeña o media potencia, se rige por

$$I_D = 2K \left[(V_{GS} - V_{TH}) V_{DS} - \frac{V_{DS}^2}{2} \right] \quad (7.2)$$

Al obtener dos resultados de estas ecuaciones deberemos tomar aquella que tenga sentido físico. Normalmente, se suele utilizar el MOS en la zona de saturación para obtener resultados como amplificador. La zona lineal queda reservada al hecho de utilizarla como una resistencia variable con la tensión.

Al dibujar las curvas de transferencia y de drenador de un MOS nos quedan

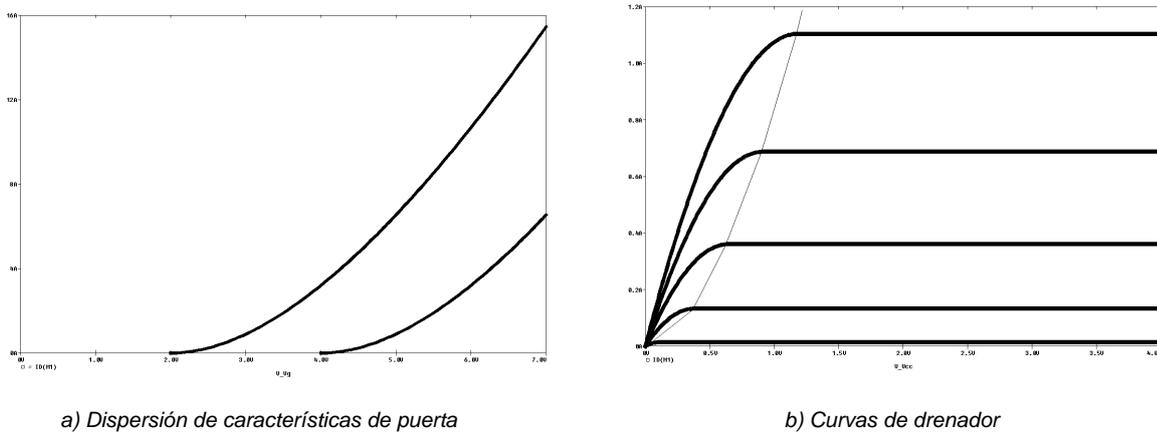


Figura 7.12: Curvas de transconductancia y de drenador de un NMOS de acumulación

La transconductancia de un MOS en la zona de saturación viene definida por

$$g_m = \frac{\partial I_D}{\partial V_{GS}} = 2K (V_{GS} - V_{TH}) = \frac{I}{R_{ON}} \quad (7.3)$$

Si estuviésemos trabajando con un MOFET de potencia, en la zona de saturación, las ecuaciones para la corriente de drenador para un dispositivo canal N, no son cuadráticas, sino lineales.

$$I_D = (V_{GS} - V_{TH}) g_m$$

Que difiere un poco de la ecuación para un MOSFET de corriente pequeña-mediana, Ec. 7.1.

7.4 Diseño físico de circuitos MOS

Un dispositivo MOS se fabrica por la superposición de varias capas o layers sobre la superficie base de Silicio. Existen varias técnicas de realización de esta tarea. La más utilizada en la actualidad es la Litografía. Veamos una introducción de esta técnica de fabricación de transistores MOS y circuitos integrados en general.

Proceso de Litografía



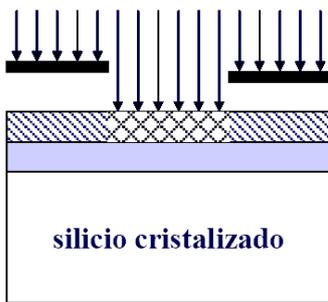
Material base.



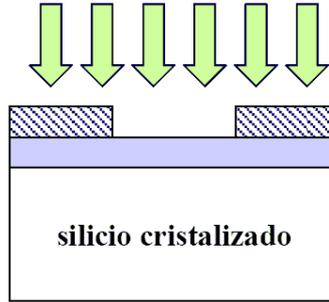
Óxido grueso. Vapor de agua u O₂.



Material fotosensible.



Luz ultravioleta
(El material expuesto se hace soluble)



Ataque químico. (Etching).



Resultado intermedio
(Eliminamos material fotosensible)



Punto de partida.



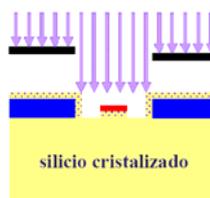
Óxido fino.



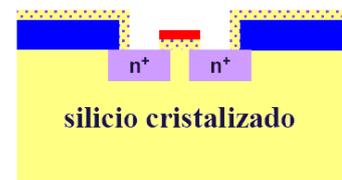
Deposición de Polisilicio.



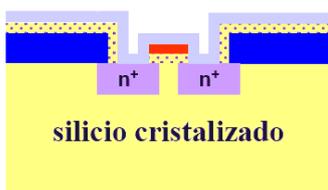
Preparación zonas semiconductoras.



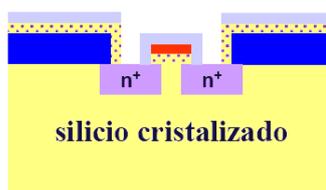
Iones semiconductores
(Implantación iónica o Crecimiento epitaxial)



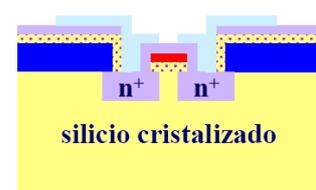
Semiconductores Drenador y Fuente.



Óxido grueso (Capa de preparación)



Preparación de terminales metálicos.



Metalización. Aluminio vaporizado.

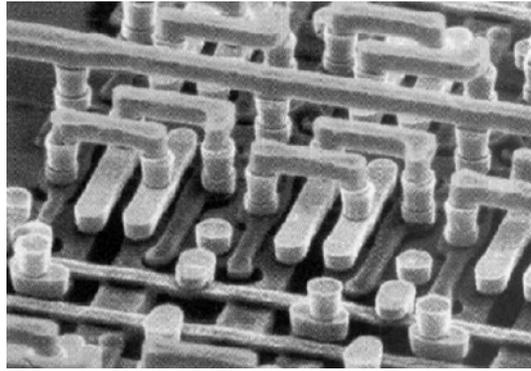


Figura 7.13: Vista al microscopio de parte de un circuito integrado

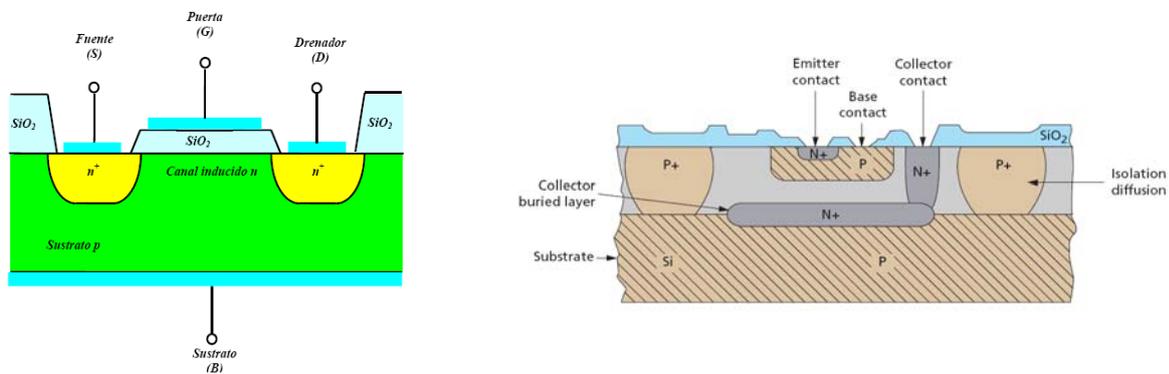


Figura 7.14: Secciones de un transistor MOS de enriquecimiento y de un transistor bipolar tipo NPN

Como se observa en presente figura, la facilidad de fabricación de un MOS es mucho mayor que la compleja fabricación de un BJT.

Esta forma de fabricación de los MOS pueden generar componentes indeseados o parásitos del procedimiento en sí mismo. Los más importantes son el diodo en antiparalelo Drenador-Fuente y los tres efectos capacitivos entre los terminales del transistor. A saber:

Diodo parásito

Debido al proceso de fabricación de los MOS de enriquecimiento, entre los terminales de drenador y fuente aparece un diodo indeseado. En realidad el diodo aparece entre Drenador y Substrato pero, normalmente el Substrato se une al terminal de Fuente.

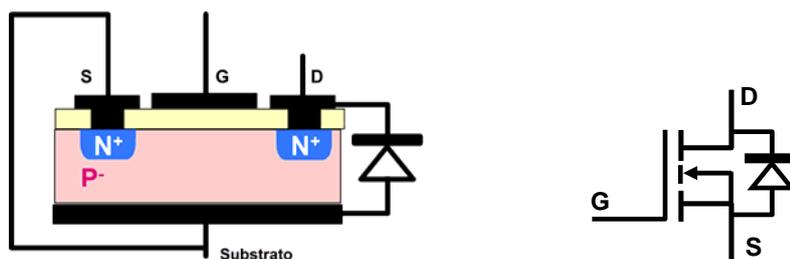


Figura 7.15: Diodo en antiparalelo en un MOS de enriquecimiento

Este diodo, a pesar de ser un subproducto de la fabricación del MOS no es perturbador de su funcionamiento, sino todo lo contrario. Ya que, ante una carga no resistiva, el citado diodo nos mejora el camino de descarga del efecto inductivo o capacitivo de la misma.

Capacidades parásitas

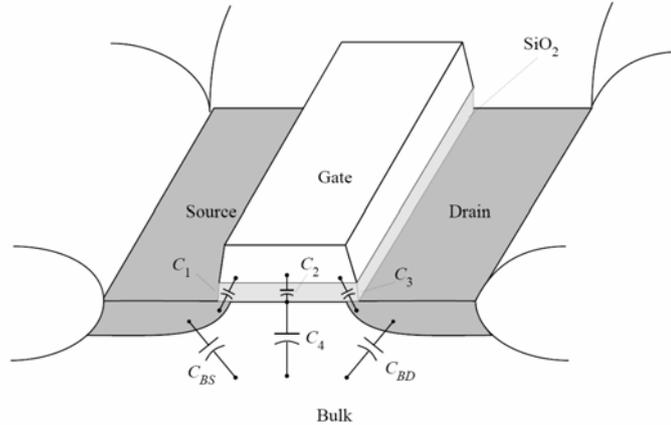


Figura 7.16: Distribución de capacidades en un NMOS de enriquecimiento

El transistor MOS se ve afectado por efectos capacitivos entre sus tres terminales, al igual que sucede en el BJT en menor cuantía. Los valores de estas capacidades se denominan de igual forma que en los JFET, es decir, C_{DG} y C_{GS} . Por último, existe una capacidad asociada al canal, C_{DS} . Como se aprecia en la figura precedente, estos efectos capacitivos se deben al proceso de fabricación y son insoslayables.

Los fabricantes suelen medir tres capacidades diferentes a las que acabamos de definir, que son, la capacidad de entrada con la salida en cortocircuito para corriente alterna, C_{iss} o *capacidad de entrada*; la capacidad de salida con la entrada en corto para corriente alterna, C_{oss} o *capacidad de salida* y por último, la *capacidad inversa de transferencia* o C_{rss} . Los valores típicos de estas capacidades suelen estar entre 15pF y 180pF medidas a 1MHz.

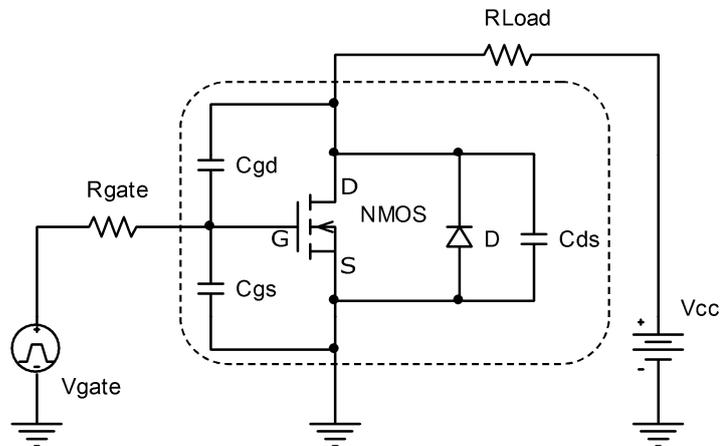


Figura 7.17: Diodo en antiparalelo y efectos capacitivos en un MOS de enriquecimiento

Se puede deducir fácilmente la relación entre las capacidades existentes entre terminales y las capacidades ofrecidas por los fabricantes. Estas relaciones son

$$C_{DG} = C_{RSS}$$

$$C_{GS} = C_{ISS} - C_{RSS}$$

$$C_{DS} = C_{OSS} - C_{RSS}$$

Este fenómeno capacitivo del NMOS puede influir en las características de la tensión de puerta del transistor. Los valores C_{DG} y C_{GS} pueden afectar negativamente al comportamiento en conmutación del MOS. Sus consecuencias más efectivas son:

- Superar el valor máximo que pueda soportar el óxido de separación de puerta. Provocando su perforación y estropeando el dispositivo sin remisión.
- Hacer que, incluso estando el transistor cortado, éste entre en conducción.

Ante la aplicación de disparos de puerta del MOS con flancos de subida y bajada importantes, se puede producir lo siguiente, ver Figura 7.17:

Flanco de subida. Si el valor de tensión aplicado a la puerta supera el valor de la tensión umbral, el MOS entrará en conducción.

Esto bajará la tensión V_{DS} , con lo que el efecto se compensará, cortándose el funcionamiento del transistor. El único inconveniente es la pérdida disipativa durante el intervalo de conducción.

Flanco de bajada. El valor de tensión aplicado no provocará la conducción del MOS, pero si su valor es excesivo, puede provocar la perforación del óxido aislante de la puerta del transistor, produciendo su destrucción.

En ambos casos es determinante la resistencia de la fuente que excita la puerta del transistor MOS, R_{GATE} , cuanto menor sea ésta, menos se notarán los efectos citados. Ya que, ante una resistencia baja, la carga almacenada en los condensadores tendrá un camino fácil de descarga. Se deberá tener especial cuidado en la posible existencia de cargas inductivas parásitas en la puerta. Esta circunstancia dará una impedancia equivalente muy alta ante cambios bruscos de la señal de excitación de puerta.

Hoja de características del IRF510

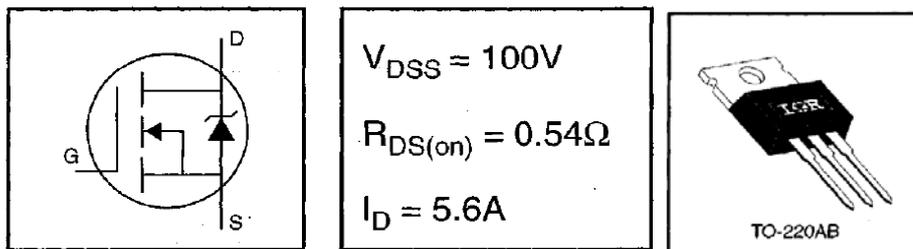


Tabla 7.2: Datos constructivos de un NMOS IRF510

	Parameter	Max.	Units
$I_D @ T_C = 25^\circ\text{C}$	Continuous Drain Current, $V_{GS} @ 10\text{ V}$	5.6	A
$I_D @ T_C = 100^\circ\text{C}$	Continuous Drain Current, $V_{GS} @ 10\text{ V}$	4.0	
I_{DM}	Pulsed Drain Current ①	20	
$P_D @ T_C = 25^\circ\text{C}$	Power Dissipation	43	W
	Linear Derating Factor	0.29	W/°C
V_{GS}	Gate-to-Source Voltage	± 20	V
E_{AS}	Single Pulse Avalanche Energy ②	100	mJ
I_{AR}	Avalanche Current ①	5.6	A
E_{AR}	Repetitive Avalanche Energy ①	4.3	mJ
dv/dt	Peak Diode Recovery dv/dt ③	5.5	V/ns
T_J T_{STG}	Operating Junction and Storage Temperature Range	-55 to +175	°C
	Soldering Temperature, for 10 seconds	300 (1.6mm from case)	
	Mounting Torque, 6-32 or M3 screw	10 lbf•in (1.1 N•m)	

Tabla 7.3: Datos absolutos máximos de un NMOS IRF510. Acumulación

	Parameter	Min.	Typ.	Max.	Units	Test Conditions
$V_{(BR)DSS}$	Drain-to-Source Breakdown Voltage	100	—	—	V	$V_{GS}=0\text{V}, I_D=250\mu\text{A}$
$\Delta V_{(BR)DSS}/\Delta T_J$	Breakdown Voltage Temp. Coefficient	—	0.12	—	V/°C	Reference to $25^\circ\text{C}, I_D=1\text{mA}$
$R_{DS(on)}$	Static Drain-to-Source On-Resistance	—	—	0.54	Ω	$V_{GS}=10\text{V}, I_D=3.4\text{A}$ ④
$V_{GS(th)}$	Gate Threshold Voltage	2.0	—	4.0	V	$V_{DS}=V_{GS}, I_D=250\mu\text{A}$
g_{fs}	Forward Transconductance	1.3	—	—	S	$V_{DS}=50\text{V}, I_D=3.4\text{A}$ ④
I_{DSS}	Drain-to-Source Leakage Current	—	—	25	μA	$V_{DS}=100\text{V}, V_{GS}=0\text{V}$
		—	—	250		$V_{DS}=80\text{V}, V_{GS}=0\text{V}, T_J=150^\circ\text{C}$
I_{GSS}	Gate-to-Source Forward Leakage	—	—	100	nA	$V_{GS}=20\text{V}$
	Gate-to-Source Reverse Leakage	—	—	-100		$V_{GS}=-20\text{V}$
Q_g	Total Gate Charge	—	—	8.3	nC	$I_D=5.6\text{A}$
Q_{gs}	Gate-to-Source Charge	—	—	2.3		$V_{DS}=80\text{V}$
Q_{gd}	Gate-to-Drain ("Miller") Charge	—	—	3.8		$V_{GS}=10\text{V}$ See Fig. 6 and 13 ④
$t_{d(on)}$	Turn-On Delay Time	—	6.9	—	ns	$V_{DD}=50\text{V}$
t_r	Rise Time	—	16	—		$I_D=5.6\text{A}$
$t_{d(off)}$	Turn-Off Delay Time	—	15	—		$R_G=24\Omega$
t_f	Fall Time	—	9.4	—		$R_D=8.4\Omega$ See Figure 10 ④
L_D	Internal Drain Inductance	—	4.5	—	nH	Between lead, 6 mm (0.25in.) from package and center of die contact
L_S	Internal Source Inductance	—	7.5	—		
C_{iss}	Input Capacitance	—	180	—	pF	$V_{GS}=0\text{V}$
C_{oss}	Output Capacitance	—	81	—		$V_{DS}=25\text{V}$
C_{rss}	Reverse Transfer Capacitance	—	15	—		$f=1.0\text{MHz}$ See Figure 5

Tabla 7.4: Datos eléctricos de un NMOS IRF510. Acumulación

7.5 Polarización de los MOS de acumulación

Polarización por divisor de tensión con MOS de acumulación

Para mejorar la dispersión de características de los MOS, se puede utilizar la polarización por divisor de tensión, también llamada de cuatro resistencias.

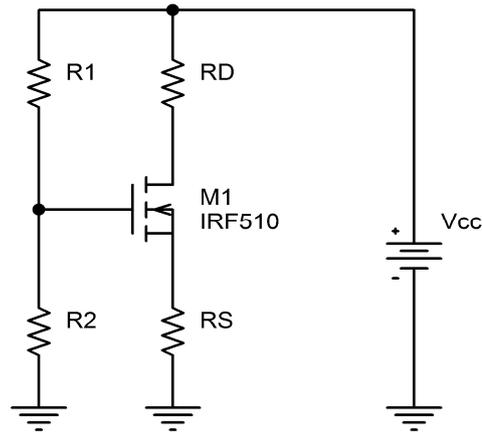


Figura 7.18: Polarización por división de tensión de un NMOS de acumulación

Para calcular esta polarización, seguimos con el procedimiento habitual, es decir, calculamos la tensión puerta-fuente y posteriormente, la corriente de drenador. Por tanto, la tensión V_{GS} valdrá

$$V_{GS} = V_G - V_S \quad (7.4)$$

Obteniendo V_G y V_S como

$$V_G = V_{CC} \frac{R_2}{R_1 + R_2} \quad V_S = I_D R_S$$

con lo cual, V_{GS}

$$V_{GS} = \left(V_{CC} \frac{R_2}{R_1 + R_2} \right) - (I_D R_S) \quad (7.5)$$

El valor de V_G es una constante, con lo cual se simplifica el cálculo de la corriente de drenador. Ec 7.1.

A partir de aquí, continuando con el procedimiento de cálculo, obtendremos los valores de I_D . Sólo uno de ellos tendrá sentido físico. Es posible que debamos seguir calculando con los dos valores obtenidos de I_D hasta encontrar algún dato que nos indique cuál de los dos valores carece de sentido.

$$I_D^2 [R_S^2] - I_D \left[\frac{1}{K} + 2R_S \left(\frac{V_{CC} R_2}{R_1 + R_2} - V_{TH} \right) \right] + \left[\frac{V_{CC} R_2}{R_1 + R_2} - V_{TH} \right]^2 = 0 \quad (7.6)$$

Con este dato de I_D podremos retomar el cálculo de la ecuación 7.5.

El valor de la tensión de *pinch-off* se obtiene de forma similar a los JFET, es decir

$$V_{PO} = V_{GS} - V_{TH} \quad (7.7)$$

El valor de la tensión umbral de conducción, V_{TH} , del MOS es un dato del fabricante.

Para la obtención de la tensión drenador-fuente del punto de trabajo, operaremos con la malla del drenador del circuito, quedando

$$V_{DS} = V_{CC} - [I_D (R_S + R_D)] \quad (7.8)$$

Los puntos de corte con los ejes y la recta de carga del circuito, los obtendremos de esta malla de Drenador, de la siguiente manera

$$V_{CC} = V_{DS} + I_D (R_S + R_D)$$

Haciendo $I_D = 0$ y $V_{DS} = 0$, nos quedan

$$V_{DSm\acute{a}x} = V_{CC} \qquad I_{DM\acute{a}x} = \frac{V_{CC}}{R_S + R_D} \quad (7.9)$$

La situación gráfica de estos valores sobre las curvas de Drenador y trasconductancia quedarían como se muestra en las siguientes figuras (*Nótese que el dato de I_{DSS} en los MOS de acumulación no posee ni el sentido ni la relevancia que tenía en los JFET*).

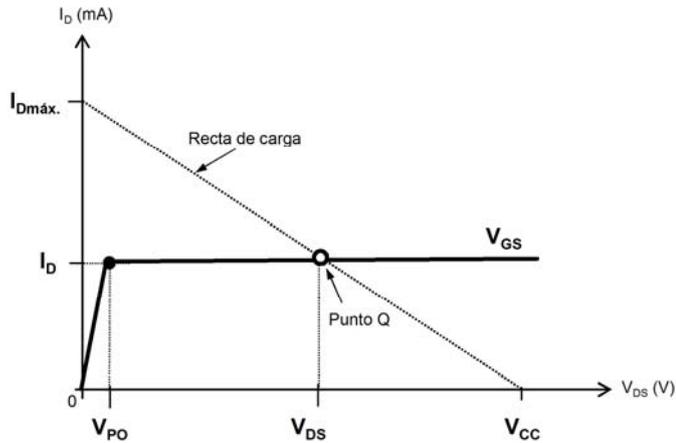


Figura 7.19: Curva de Drenador del NMOS de acumulación

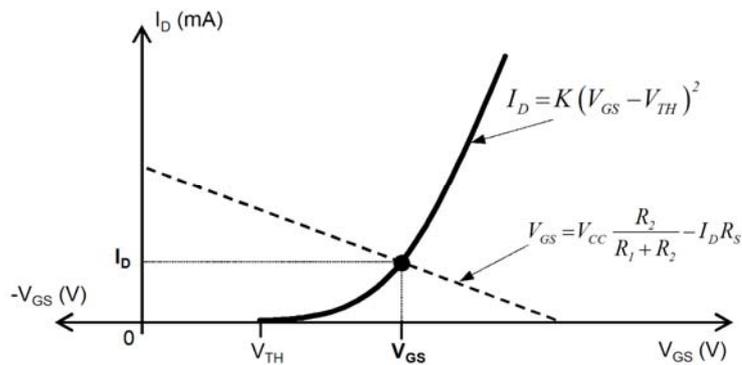


Figura 7.20: Curva de trasconductancia del NMOS de acumulación

Fuente de corriente con MOS de acumulación

Esta disposición es muy similar, en su disposición, a la estudiada anteriormente, salvo la eliminación de la resistencia de fuente. Con este circuito, mantenemos el valor de V_{GS} constante. Con lo cual, variando el valor de la resistencia de carga, sólo modificaremos la tensión de caída en R_{Load} y la tensión V_{DS} .

El único cuidado que deberemos llevar será mantener la V_{DS} por encima de la tensión de *pinch-off* del NMOS. Durante todo este intervalo, el circuito estará trabajando en la zona de saturación y, obtendremos la función de fuente de corriente constante deseada.

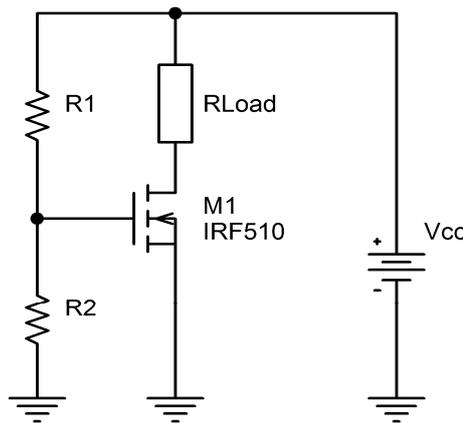


Figura 7.21: Fuente de corriente mediante un NMOS de acumulación

Para calcular esta polarización, continuamos con el procedimiento habitual, es decir, calculamos la tensión puerta-fuente y posteriormente, la corriente de drenador. Por tanto, la tensión V_{GS} valdrá

$$V_{GS} = V_G - V_S \qquad V_G = V_{CC} \frac{R_2}{R_1 + R_2} \qquad V_S = 0$$

con lo cual, V_{GS}

$$V_{GS} = V_{CC} \frac{R_2}{R_1 + R_2} \tag{7.10}$$

En esta polarización, el valor de V_{GS} es una constante, con lo cual se simplifica en gran medida el cálculo de la corriente de drenador. Ec 7.1.

$$I_D = K \left[\left(\frac{V_{CC} R_2}{R_1 + R_2} \right) - V_{TH} \right]^2 \tag{7.11}$$

Como se observa, en esta ocasión sólo aparece un valor posible de I_D .

El valor de la tensión de *pinch-off* se obtiene mediante la ecuación

$$\boxed{V_{PO} = V_{GS} - V_{TH}} \quad (7.12)$$

El valor de la tensión umbral de conducción, V_{TH} , del MOS, como se ha visto anteriormente, es un dato del fabricante del MOS.

Para la obtención de la tensión drenador-fuente del punto de trabajo, operaremos con la malla del drenador del circuito, quedando

$$\boxed{V_{DS} = V_{CC} - (I_D R_{Load})} \quad (7.13)$$

Los puntos de corte con los ejes y la recta de carga del circuito, los obtendremos de la malla de drenador de la siguiente manera

$$V_{CC} = V_{DS} + (I_D R_{Load})$$

Haciendo $I_D = 0$ y $V_{DS} = 0$, nos quedan

$$V_{DSmáx} = V_{CC} \quad I_{DMáx} = \frac{V_{CC}}{R_{Load}} \quad (7.14)$$

Por otro lado, si deseamos averiguar el máximo valor de la resistencia de carga que podremos colocar en el circuito, deberíamos tener en cuenta que el NMOS tendrá que estar trabajando siempre en la zona de saturación. Por tanto, operando con la malla de drenador, nos queda

$$\boxed{R_{Load} (máx) = \frac{V_{CC} - V_{PO}}{I_D}} \quad (7.15)$$

Los valores de R_{Load} estarán entre 0Ω (cero) y el valor de la ecuación precedente. Si esto parece extraño, téngase en cuenta que la corriente de drenador se fija mediante V_G y V_{TH} . Para nuestro caso, V_G es un dato obtenido con la rama de puerta, ajena a las circunstancias de drenador y V_{TH} es un dato de fabricante, al igual que el valor de K , ajenas igualmente a lo que suceda en la malla de drenador.

7.6 El MOS de Deplexión. Constitución y funcionamiento

Como se comentó al principio del presente tema, los transistores MOS se clasifican en dos grandes familias, los de Acumulación y los que nos ocupan ahora, los de Deplexión.

Las diferencias entre estas dos familias es apreciable desde muchos puntos de vista, el más llamativo es a nivel de funcionamiento. Incluso a nivel de fabricación, es un dispositivo que, al igual que los transistores JFET, cuenta con un canal entre los terminales de drenador y

fuelle, sin ningún tipo de aplicación de tensión entre los terminales. En el apartado constructivo, dejando a un lado la existencia del citado canal entre drenador y fuente, se parece bastante a un MOS de acumulación. Figura 7.22.

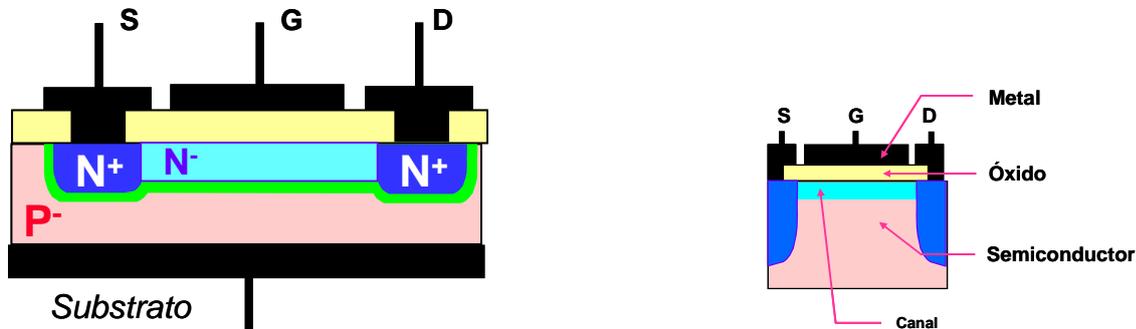


Figura 7.22: Estructura de fabricación de transistor MOS de Deplexión

Si tuviésemos que enumerar las características más llamativas de un MOS de deplexión frente a uno de acumulación, podríamos decir:

- Posee un canal entre Drenador y Fuente sin aplicación de tensión V_{GS} .
- La tensión umbral de funcionamiento, V_{GS} , es negativa para I_D nula.
- El consumo de entrada, I_G , es nulo, al estar la puerta aislada.
- Podremos establecer una circulación de corriente entre drenador y fuente sin aplicar tensión positiva en la puerta.

Vistas estas características, cabría pensar que nos estamos refiriendo a un dispositivo JFET más que a un MOS. Y hay un poco de verdad en esto.

Al igual que hicimos con los BJT y con los JFET, vamos aplicar tensiones entre los diferentes terminales del MOS para observar lo que sucede y, poder dibujar sus curvas características.

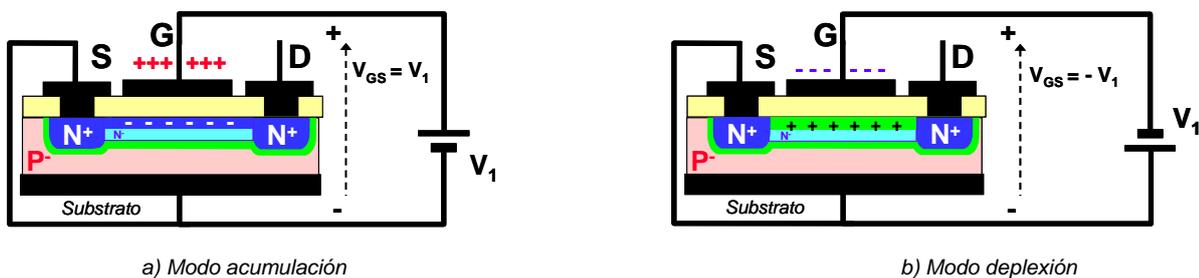


Figura 7.23: Comportamiento del canal de un NMOS de deplexión en función del signo de la tensión aplicada

Como se observa en la figura precedente, el MOS de Deplexión posee, en función de la polaridad de la tensión que estemos aplicando, dos modos de trabajo. El **modo de acumulación**, es decir, si aplicamos tensión positiva a V_{GS} , el canal se refuerza con un mayor número de electrones procedentes del sustrato, pudiendo conducir una mayor corriente. Figura 7.23a. Por otro lado, el **modo de deplexión**, figura 7.23b, el canal tiende a anularse y conducir menos cuando aplicamos una tensión negativa entre V_{GS} .

De acuerdo con este comportamiento, podríamos decir que, en *modo acumulación*, el MOS de deplexión se comporta como un MOS de acumulación y, en *modo deplexión* el MOS de deplexión se comporta como un JFET.

Si aplicamos ahora tensión entre drenador y fuente, manteniendo las tensiones entre V_{GS} , se obtiene lo siguiente

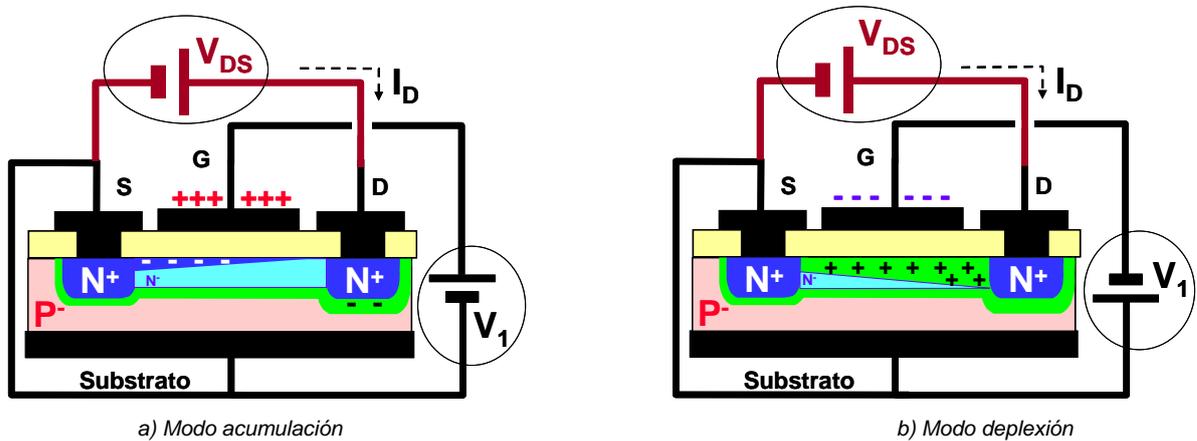


Figura 7.24: Comportamiento del canal de un NMOS de deplexión al aplicar V_{GS} y V_{DS}

Para el modo acumulación: Si aplicamos V_{DS} y disminuimos V_{GS} , el canal se debilita, como sucedía con los MOS de acumulación.

Para el modo deplexión: Si aplicamos V_{DS} y aumentamos V_{GS} , el canal se debilita, como sucedía con los JFET canal N.

Si conocido este comportamiento, tratásemos de dibujar las curvas que representan el funcionamiento de este MOS, obtendríamos para las gráficas de trasconductancia y de drenador lo siguiente.

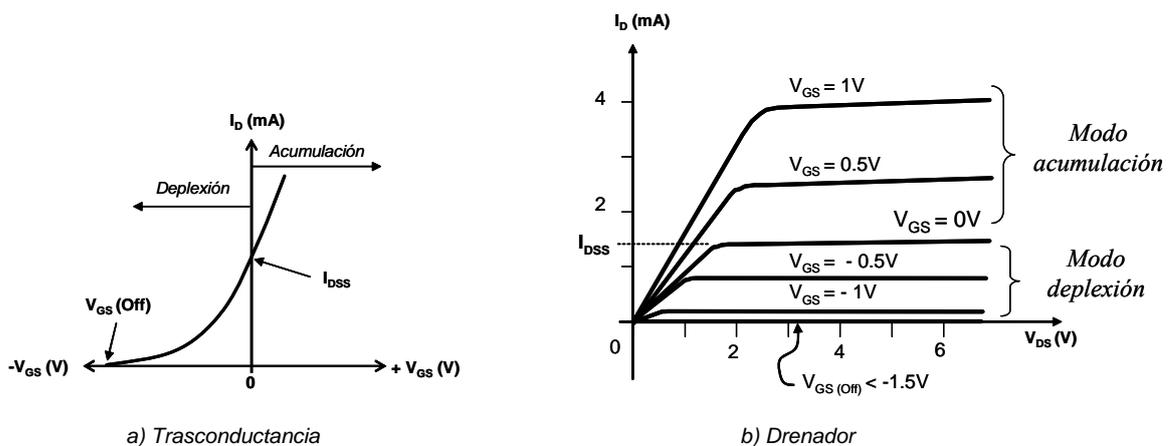


Figura 7.25: Curvas de trasconductancia y drenador de un NMOS de deplexión

Afectación de la temperatura a los MOS de deplexión

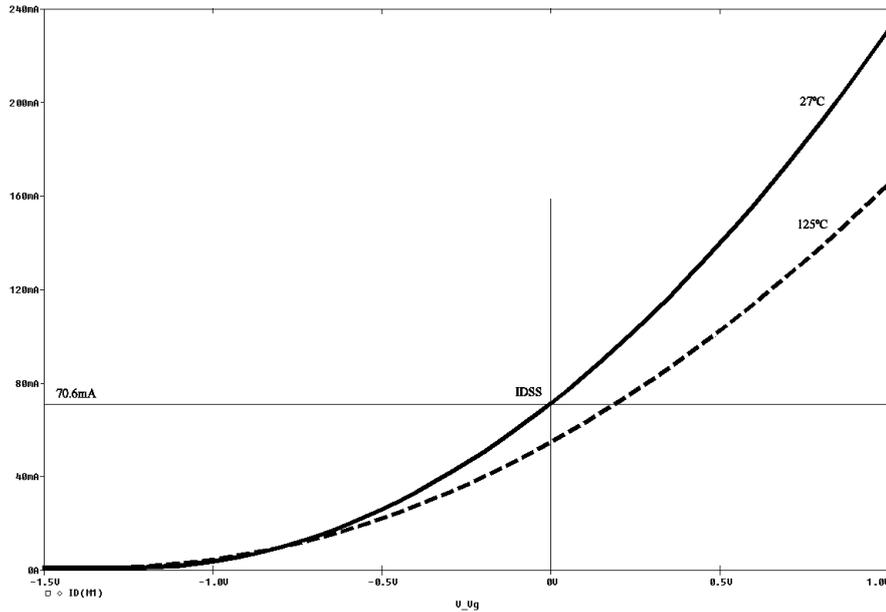


Figura 7.26: Curvas de transconductancia obtenida por el simulador de un NMOS de deplexión (BSS129)

En la figura precedente, para este MOS de deplexión, se observa el efecto de temperatura en la curva de transconductancia; y la anulación de este comportamiento para una tensión $V_{GS} = -0.75\text{V}$. Este hecho ya se comentó ampliamente en los JFET, apartado 6.6.

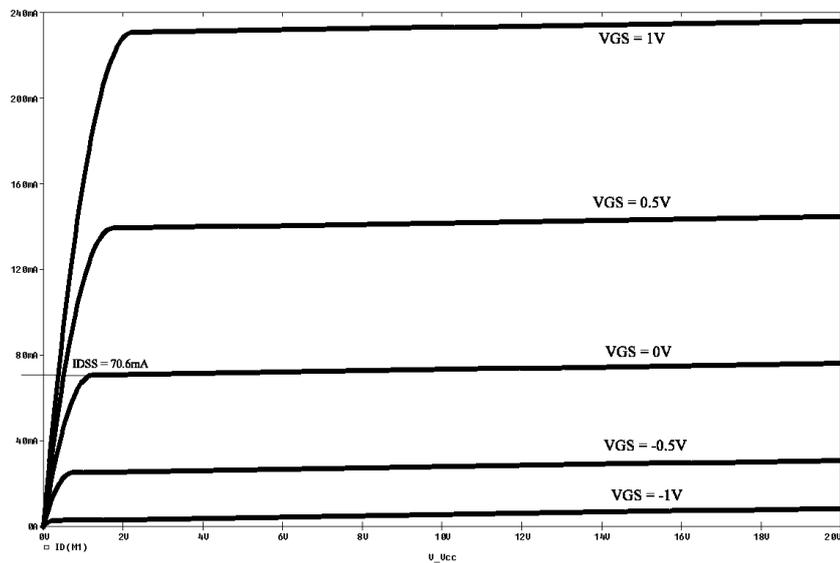


Figura 7.27: Curvas del drenador obtenida por el simulador de un NMOS de deplexión (BSS129)

El valor de I_{DSS} en el caso de los MOS de deplexión no significa exactamente lo mismo que en los JFET. Como se aprecia, no es la máxima corriente que puede controlar el MOS. No obstante, para el caso de una fuente de corriente, podrá utilizarse esta cantidad como I_D constante, al igual como sucedía en la resolución de supuestos con JFET.

7.7 Polarización de los MOS de deplexión

Debido al comportamiento dual de este tipo de transistores MOS (modo acumulación y modo deplexión), los circuitos se resolverán de dos formas diferentes. Si el MOS está trabajando con una $V_{GS} < 0V$, se resolverá como si fuese un JFET, con las mismas ecuaciones que se utilizan para estos dispositivos. Si por contra, la $V_{GS} > 0V$, se resolverá como si fuese un MOS de acumulación, utilizando las ecuaciones vistas para ello en apartados anteriores.

Fuente de corriente con MOS de deplexión

Según lo comentado en el párrafo anterior, al ser $V_{GS} = 0V$ mantendremos el valor de la corriente de drenador $I_D = I_{DSS}$. Con lo cual, variando el valor de la resistencia de carga, sólo modificaremos la tensión de caída en R_{Load} y la tensión V_{DS} .

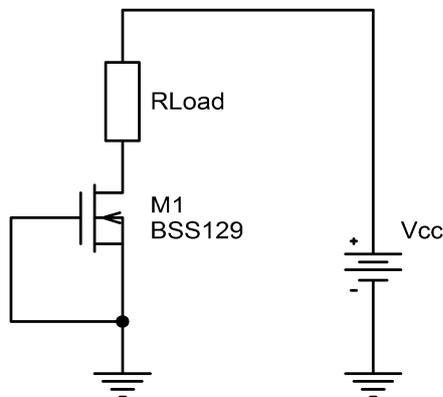


Figura 7.28: Fuente de corriente mediante un NMOS de deplexión

Para calcular esta polarización, continuamos con el procedimiento habitual, es decir, calculamos la tensión puerta-fuente y posteriormente, la corriente de drenador. Por tanto, la tensión V_{GS} valdrá

$$V_{GS} = V_G - V_S = 0V$$

Al resolver este ejercicio como si fuese un JFET, deberemos utilizar las ecuaciones vistas para el JFET canal N en el tema anterior.

$$I_D = I_{DSS} \left(1 - \frac{V_{GS}}{V_{GS(OFF)}} \right)^2 = I_{DSS} \quad (7.16)$$

Como se observa, en este circuito sólo aparece un valor posible de I_D . El valor de la tensión de *pinch-off* se obtiene mediante la ecuación del JFET, siendo V_{GS} nula.

$$|V_{DS}| = |V_P| - |V_{GS}| = V_P$$

Que corresponde con el dato suministrado por el fabricante del MOS, al igual que I_{DSS} .

Para la obtención de la tensión drenador-fuente del punto de trabajo, operaremos con la malla del drenador del circuito, quedando

$$\boxed{V_{DS} = V_{CC} - (I_D R_{Load})} \quad (7.17)$$

Los puntos de corte con los ejes y la recta de carga del circuito, los obtendremos de la malla de drenador de la siguiente manera

$$V_{CC} = V_{DS} + (I_D R_{Load})$$

Haciendo $I_D = 0$ y $V_{DS} = 0$, nos quedan

$$\boxed{V_{DSm\acute{a}x} = V_{CC}} \quad \boxed{I_{DM\acute{a}x} = \frac{V_{CC}}{R_{Load}}} \quad (7.18)$$

Por otro lado, si deseamos averiguar el rango de valores de la resistencia de carga que podremos colocar en el circuito, deberíamos tener en cuenta que el NMOS tendrá que estar trabajando siempre en la zona de saturación, es decir, $V_{DS} \geq V_P$. Por tanto, operando con la malla de drenador, nos queda

$$\boxed{R_{Load} (m\acute{a}x) = \frac{V_{CC} - V_P}{I_D}} \quad (7.19)$$

$$\boxed{R_{Load} (m\acute{i}n) = \frac{V_{CC} - V_{DSm\acute{a}x}}{I_D}} \quad (7.20)$$

Como se aprecia en esta ecuación, el valor de R_{Load} mínimo puede ser cero, ya que, el máximo valor de V_{DS} puede ser V_{CC} .

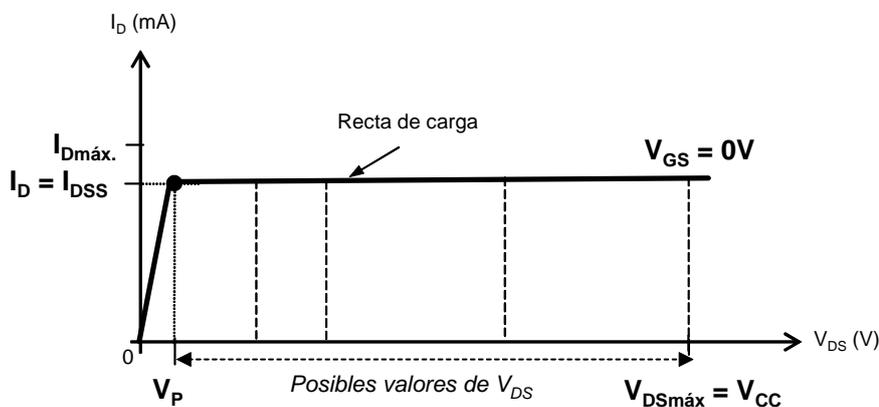


Figura 7.29: Curva de drenador de la fuente de corriente con NMOS de deplexión

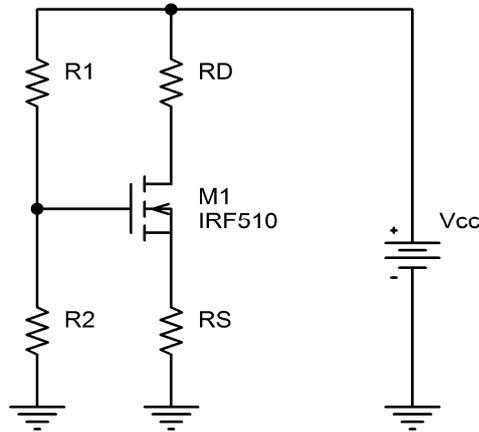
7.8 Ejercicios tipo

7.8.1 Calcular, para el circuito de polarización por división de tensión de la figura (NMOS de acumulación), el punto de trabajo y la recta de carga del circuito.

--- 000 ---

Si fijamos los siguientes valores para el circuito de la figura:

- | | |
|--------------------|--------------------|
| $R_1 = 2.2M\Omega$ | $V_{CC} = 24V$ |
| $R_2 = 1M\Omega$ | $V_{TH} = 2.8V$ |
| $R_D = 1K\Omega$ | |
| $R_S = 220\Omega$ | $K = 0.5mA V^{-2}$ |



Aplicando el procedimiento de cálculo seguido hasta ahora, obtendremos los valores de V_G y V_S . Utilizando la ecuación 7.5

$$V_{GS} = \left(24 \frac{1M\Omega}{3.2M\Omega} \right) - (I_D R_S) = 7.5 - (220 \cdot I_D)$$

Calcularemos ahora la corriente de drenador, para ello, utilizaremos la ecuación 7.6

$$I_D^2 [R_S^2] - I_D \left[\frac{1}{K} + 2R_S \left(\frac{V_{CC} R_2}{R_1 + R_2} - V_{TH} \right) \right] + \left[\frac{V_{CC} R_2}{R_1 + R_2} - V_{TH} \right]^2 = 0$$

$$I_D^2 48.4 - I_D 4.068 + 22.09 = 0$$

$$I_{D1} = 5.83mA$$

$$I_{D2} = 78.2mA$$

Los valores obtenidos parecen válidos. Esto nos obligará a arrastrar el cálculo con los dos valores hasta que uno de los datos que obtengamos no tenga sentido físico.

$$V_{GS1} = 7.5 - 1.28 = 6.22V \quad \checkmark$$

$$V_{GS2} = 7.5 - 17.2 = -9.7V \quad \times$$

El valor de la tensión puerta-fuente de un NMOS no puede ser negativa, luego el valor de I_{D2} no tiene sentido físico.

El valor de la tensión de *pinch-off*, lo obtenemos de la ecuación 7.7

$$V_{PO} = V_{GS} - V_{TH} = 6.97 - 2.8 = 4.17V$$

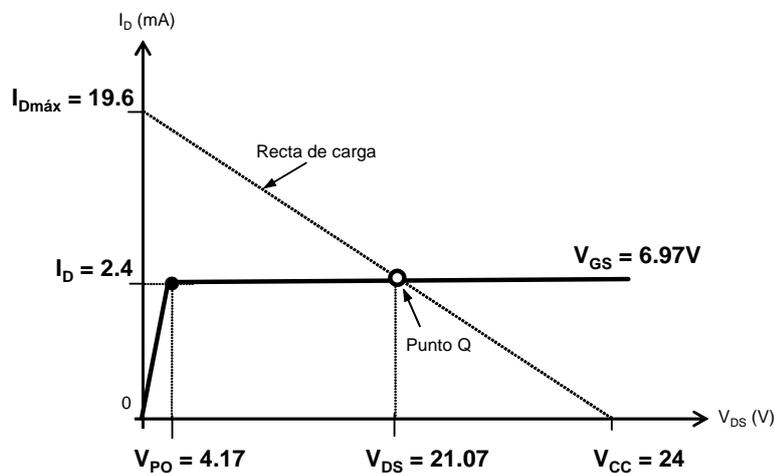
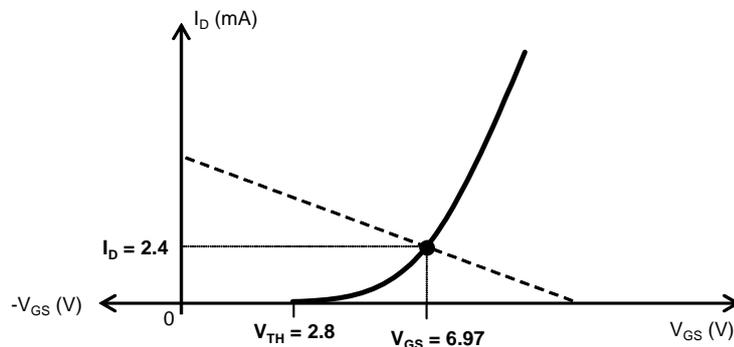
Para la obtención de la tensión drenador-fuente del punto de trabajo, operaremos con la malla del drenador del circuito, quedando, Ec. 7.8

$$V_{DS} = V_{CC} - [I_{D1}(R_S + R_D)] = 24 - 2.92 = 21.07V$$

Calculando los puntos de la recta de carga, Ec. 7.9

$$V_{DSmáx} = 24V$$

$$I_{DMáx.} = \frac{V_{CC}}{R_S + R_L} = \frac{24}{220 + 1000} = 19.6mA$$



7.8.2 Calcular, para el circuito de fuente de corriente de la figura (NMOS de deplexión), el valor máximo de la resistencia de carga y la curva de drenador con sus puntos característicos.

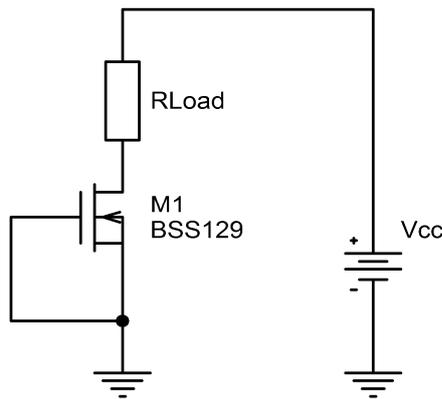
--- 000 ---

Si fijamos los siguientes valores para el circuito de la figura:

$$V_{CC} = 18V$$

$$V_P = 3V$$

$$I_{DSS} = 20mA$$



Como se observa claramente en la figura, el valor de $V_{GS} = 0V$.

Aplicando la ecuación 7.16, nos quedará el valor de la corriente de drenador.

$$I_D = I_{DSS} \left(1 - \frac{0}{V_{PO}} \right)^2 = I_{DSS} = 20mA$$

El valor de la tensión de entrada en saturación o punto de *pinch-off* se obtiene mediante la ecuación

$$|V_{DS}| = |V_P| - |V_{GS}| = V_P = 3V$$

El valor máximo de la resistencia de carga corresponderá con el mínimo valor de V_{DS} , es decir, la tensión de *pinch-off* del NMOS de deplexión

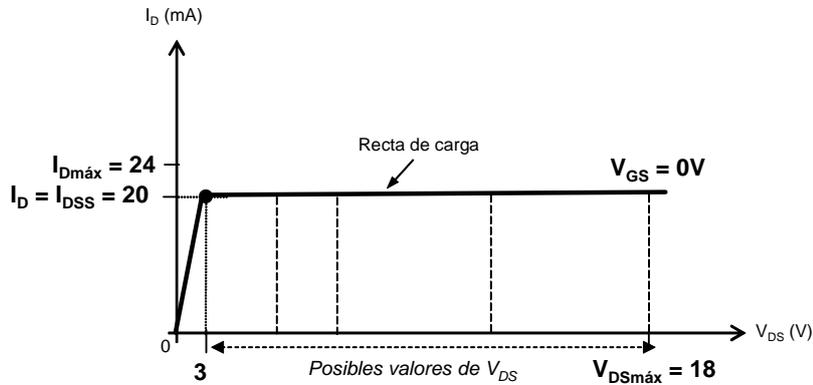
$$R_{Load} (máx) = \frac{V_{CC} - V_P}{I_D} = \frac{18 - 3}{0.02} = 750\Omega$$

Los puntos de corte con los ejes y la recta de carga del circuito, los obtendremos de la malla de drenador del circuito, aplicando la ecuación 7.18

$$V_{DSmáx} = 18V$$

$$I_{DMáx.} = \frac{18}{750} = 24mA$$

La curva de drenador se muestra en la siguiente figura. Nótese que, al ser una fuente de corriente constante, la recta de carga coincide con la curva del NMOS, teniendo como valores posibles de V_{PO} a V_{CC} .



7.9 Problemas propuestos

7.9.1 Calcular, para el circuito de la figura, el punto de trabajo del NMOS.

$$R_1 = 2.2M\Omega$$

$$R_2 = 1M\Omega$$

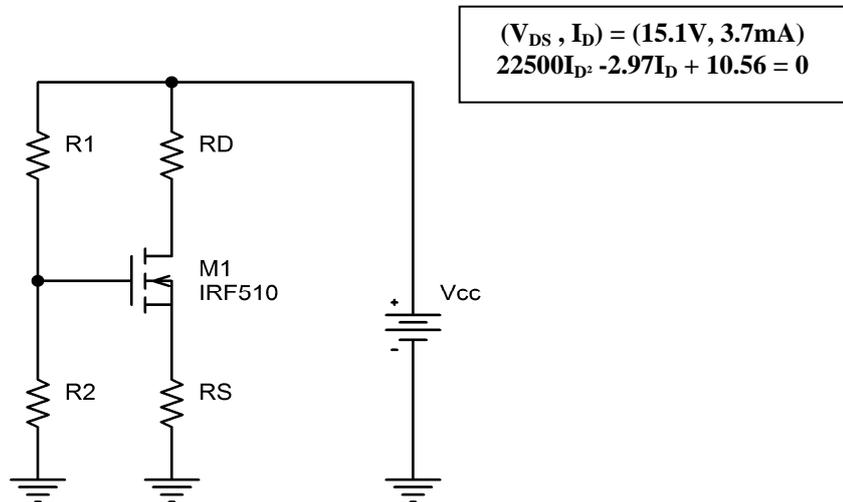
$$R_D = 1K2\Omega$$

$$R_S = 150\Omega$$

$$V_{CC} = 20V$$

$$V_{TH} = 3V$$

$$K = 0.5mA V^{-2}$$



7.9.2 Calcular, para el circuito de la figura, el valor de V_{DS} .

$$R_1 = 2M\Omega$$

$$R_2 = 1M\Omega$$

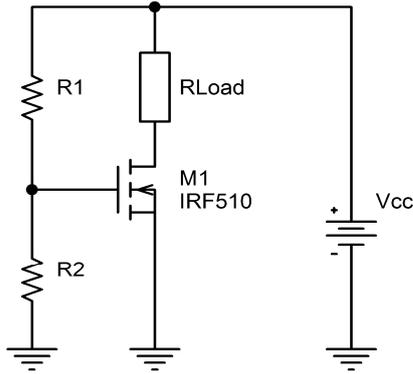
$$R_{Load} = 220\Omega$$

$$V_{CC} = 21V$$

$$V_{TH} = 2.5V$$

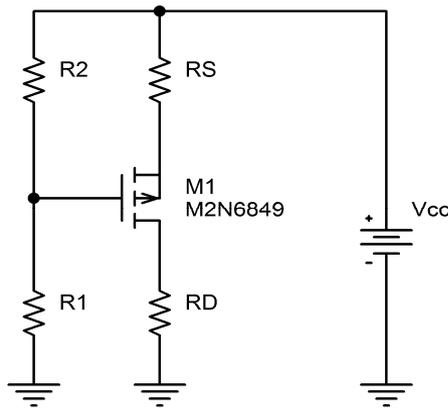
$$K = 0.4mA V^{-2}$$

$$V_{DS} = 19.22V \text{ (Saturación)}$$



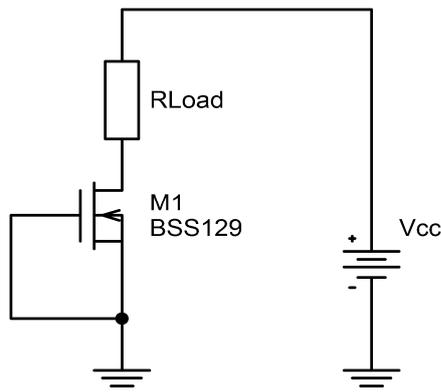
7.9.3 Calcular, para el circuito de la figura, la curva de drenador del PMOS con sus puntos característicos.

$$\begin{aligned}
 R_1 &= 2M\Omega & V_{CC} &= 26V \\
 R_2 &= 1.1M\Omega & V_{TH} &= -3V \\
 R_D &= 1K5\Omega & & \\
 R_S &= 180\Omega & K &= 0.51mA V^{-2}
 \end{aligned}$$



7.9.4 Calcular, para el circuito de la figura, el valor de V_{DS} .

$$\begin{aligned}
 R_{Load} &= 250\Omega & V_{CC} &= 15V \\
 V_P &= 2.5V & I_{DSS} &= 25mA
 \end{aligned}$$



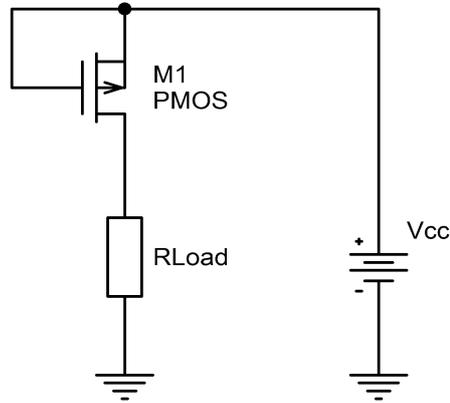
7.9.5 Calcular, para el circuito PMOS de la figura, la curva de drenador con sus puntos característicos.

$$R_{Load} = 33\Omega$$

$$V_P = -2.9V$$

$$V_{CC} = 19V$$

$$I_{DSS} = -26mA$$



7.10 Bibliografía

1. Hambley, Allan R., *Electrónica*, Prentice-Hall, 2000, ISBN: 84-205-2999-0.
2. Fiore J.M., *Amplificadores operacionales y Circuitos integrados lineales*, Thomson, 2002, ISBN: 84-9732-099-9.
3. Irwin, J. David, *Análisis básico de circuitos en ingeniería*, Prentice Hall Hispanoamericana, 1997, ISBN: 968-880-816-4.
4. Humphries J.T. y Sheets L.P., *Electrónica industrial: Dispositivos, Máquinas y Sistemas de potencia industrial*, Paraninfo, 1993, ISBN: 84-283-2278-3.
5. J. Sebastián Zúñiga, *Introducción a la Electrónica de dispositivos: Transistores MOS*, Dpto. de Ingeniería Eléctrica, Electrónica, de Computadores y de Sistemas, Universidad de Oviedo, 2003.
6. J. M. Mendías Cuadros y H. Mecha López, *Diseño de circuitos integrados*, Dpto. de Arquitectura de computadores y Automática, Universidad Complutense de Madrid, 2006.
7. J. T. Clemens, *Silicon microelectronics technology*, Bell Labs Technical Journal. Autumn 1997, Lucent Technologies Inc., 1997.
8. Kenneth, Laker R., *MOS Transistor Theory: EE560 Part 1*, University of Pennsylvania, 2003.