

Instituto Tecnológico de Costa Rica

Escuela de Ingeniería Electrónica



Diseño de un amplificador realimentado por enganche (lock-in) para aplicaciones de espectroscopia de impedancia eléctrica

Informe de Proyecto de Graduación para optar por el título de
Ingeniero en Electrónica con el grado académico de Licenciatura

Enrique Ramírez Villalobos

Cartago, Junio de 2016

INSTITUTO TECNOLÓGICO DE COSTA RICA
ESCUELA DE INGENIERÍA ELECTRÓNICA

PROYECTO DE GRADUACIÓN

ACTA DE APROBACIÓN

Defensa de Proyecto de Graduación
Requisito para optar por el título de Ingeniero en Electrónica
Grado Académico de Licenciatura
Instituto Tecnológico de Costa Rica

El Tribunal Evaluador aprueba la defensa del proyecto de graduación denominado Diseño de un amplificador realimentado por enganche (lock-in) para aplicaciones de espectroscopia de impedancia eléctrica, realizado por el señor Enrique Ramírez Villalobos y, hace constar que cumple con las normas establecidas por la Escuela de Ingeniería Electrónica del Instituto Tecnológico de Costa Rica.

Miembros del Tribunal Evaluador



Ing. Faustino Montes de Oca Murillo

Profesor lector



Ing. Hayden Phillips Brenes

Profesor lector



Ing. Yeiner Arias Esquivel

Profesor asesor

Cartago, 13 de Junio, 2016

Declaro que el presente Proyecto de Graduación ha sido realizado enteramente por mi persona, utilizando y aplicando literatura referente al tema e introduciendo conocimientos propios.

En los casos en que he utilizado bibliografía he procedido a indicar las fuentes mediante las respectivas citas bibliográficas. En consecuencia, asumo la responsabilidad total por el trabajo de graduación realizado y por el contenido del correspondiente informe final.



Enrique Ramírez Villalobos
Cartago, 13 de junio de 2016
Céd: 1-1580-0838

Resumen



En el presente documento se describe el proceso de diseño de un amplificador realimentado de enganche (Lock-in) con el propósito de utilizarse en aplicaciones de espectroscopia de impedancia celular para detectar señales pequeñas opacadas por ambientes ruidosos. El diseño se realizó con tecnología CMOS de 130 nm en la plataforma Pyxis de Mentor Graphics para crear un circuito esquemático capaz de detectar señales menores a 25 mV en presencia de ruido ambiente para un rango de frecuencias de hasta 10 GHz. Concluida esta etapa, se elaboró el módulo a nivel físico en el cual se verificó el cumplimiento de las reglas de la tecnología y la concordancia con el circuito esquemático. Para comprobar el funcionamiento se realizaron pruebas, en las cuales se varió la frecuencia, la fase en presencia de ruido. También se caracterizó el amplificador para diferentes frecuencias debido a la variación de los resultados. Finalmente se obtuvo la información en cuanto al consumo de potencia y al área abarcada.

Palabras clave: LIA, OTA, detector sensible a la fase, mezclador de frecuencias, corriente directa, filtros Gm-C, cuadratura, diferencia de fase.

Abstract

This work describes the design process of a Lock-in Amplifier for the purpose of using it in cell impedance spectroscopy applications for detecting small signals obscured by noisy environments. The design was made with 130 nm CMOS technology in Pyxis Platform provided by Mentor Graphics to create a schematic circuit that can detect lower signals than 25 mV for a range of frequencies up to 10 GHz in the presence of ambient noise. Once finished this stage the module was developed on a physical level in which technology design rules and agreement with the schematic circuit were checked. To verify the system's operation tests were performed in which the frequency and phase were varied in the presence noise. Also the amplifier was characterized for different frequencies due to the variation in results. Finally the information about power consumption and the area covered was obtained.

Keywords: LIA, OTA, phase sensitive detector, frequency mixer, direct current, Gm-C filters, quadrature, phase difference.

a mis queridos padres

Agradecimientos

Agradezco a mi familia por permitirme elegir mi futuro estudiando Ingeniería en Electrónica y por el apoyo incondicional que me brindaron durante de este largo proceso, tanto financiero como motivacional. Gracias por creer en mí y por darme fuerzas para cumplir la meta.

A los compañeros de carrera, gracias por la estudiadas en grupo, los consejos, por enseñarme cosa nuevas y por ayudarme a mantenerme el camino hacia el éxito sin rendirme.

Al profesor Renato Rímolo Donadio, por darme la oportunidad de realizar este proyecto, por la atención brindada de manera amable y por los consejos en torno al mismo.

Al profesor Yeiner Arias Esquivel, por aconsejarme como asesor y presionarme para cumplir con el tiempo establecido del proyecto.

A Bryan Cervantes, participante en el proyecto de espectroscopia por facilitarme el módulo del mezclador de frecuencias.

A Ronny García, por darme algunos consejos y por facilitarme el código de los módulos de Verilog A.

A todos aquellos que han contrubuido en mi educación para formarme como la persona que soy.

Enrique Ramírez Villalobos

Cartago, 13 de junio de 2016

Índice general

Índice de figuras	v
Índice de tablas	ix
Lista de símbolos y abreviaciones	xi
1 Introducción	1
1.1 Entorno del proyecto	1
1.2 Definición del problema	2
1.2.1 Generalidades	2
1.2.2 Síntesis del problema	3
1.3 Enfoque de la solución	3
1.4 Objetivos	5
1.4.1 Objetivo General	5
1.4.2 Objetivos específicos	5
1.5 Estructura del documento	5
2 Marco teórico	7
2.1 Amplificador “Lock-in” (LIA)	7
2.2 Comportamiento matemático del LIA	8
2.3 Topologías de LIA	10
2.3.1 LIA en el dominio de la tensión	11
2.3.2 LIA en el dominio de la corriente	11
2.4 Mezcladores de frecuencia	12
2.5 Filtro pasa bajas	15
2.5.1 Amplificador Operacional de Transconductancia (OTA)	15

2.5.2	Filtros Gm-C	18
2.6	Descripción de las herramientas de Mentor Graphics	19
2.7	Tecnología de IBM 130 nm CMOS 8RF	20
3	Diseño del amplificador “Lock-in”	21
3.1	Construcción del circuito en Verilog A	21
3.2	Construcción del circuito a nivel esquemático	22
3.2.1	Diseño del PSD a nivel esquemático	23
3.2.2	Diseño del Filtro pasa-bajas a nivel esquemático	25
3.2.3	Integración del PSD y el Filtro pasa-bajas	29
3.3	Construcción del circuito a nivel físico	30
3.3.1	Diseño físico del PSD	30
3.3.2	Diseño físico del OTA	31
3.3.3	Integración del PSD y el OTA	32
4	Resultados y análisis	37
4.1	Resultados del modelo en Verilog A	37
4.2	Resultados del circuito esquemático	40
4.2.1	Resultados del mezclador de frecuencias	40
4.2.2	Resultados del filtro pasa-bajas	43
4.2.3	Resultados del LIA	45
4.2.4	Caracterización del LIA	49
4.2.5	Análisis del desfase en la señal de entrada	54
4.3	Resultados del circuito a nivel físico	56
4.3.1	Caracterización del LIA a nivel físico	58
4.3.2	Resultados finales del LIA a nivel físico	60
5	Conclusiones y Recomendaciones	63
	Bibliografía	65
A	Identidades Matemáticas	69
B	Código en Verilog A	71

B.1	Fuente senoidal	71
B.2	Sumador	72
B.3	Mixer	72
B.4	Filtro pasa-bajas	73
C	Resultados del LIA con el filtro Gm-C de primer orden	75

Índice de figuras

1.1	Diseño a nivel de bloques de un amplificador “Lock-in” [2]	4
2.1	Diagramas funcionales de un lock-in. (a) Diagrama de bloques. (b) Implementación a nivel de circuito [17]	12
2.2	Diagrama de bloques del LIA en el dominio de corriente [17]	12
2.3	Diagrama básico del mezclador de frecuencias [19]	13
2.4	Mezclador activo balanceado simple [19]	13
2.5	Mezclador doblemente balanceado [19]	14
2.6	Mezclador balanceado simple con fuentes de corriente [19]	14
2.7	a) Módulo OTA. b) Circuito equivalente en pequeña señal [10]	15
2.8	OTAS con sola entrada. a) Transconductor negativo simple. b) Transconductor cascode. c) Transconductor mejorado d) Transconductor seguidor-cascode. e) transconductor positivo simple [23]	16
2.9	OTA diferencial básico [10]	17
2.10	OTA diferencial con transistores PMOS de carga y espejo de corriente como corriente de polarización [15]	18
2.11	Filtro pasa bajas implementado con un OTA y un condensador [10]	19
3.1	Implementación del amplificador Lock-in en Verilog A	22
3.2	Diseño del PSD a nivel esquemático	23
3.3	Entradas y salidas del PSD	25
3.4	Diseño del OTA a nivel esquemático	26
3.5	Entradas y salidas del OTA	27
3.6	Configuración de Filtro Gm-C de primer orden	28
3.7	Configuración de Filtro Gm-C como integrador	28

3.8	Implementación del amplificador Lock-in a nivel esquemático	30
3.9	Diseño físico del Mixer [11]	31
3.10	Diseño físico del OTA	32
3.11	Diseño físico del LIA	33
3.12	Diseño físico del LIA con un condensador interno de 45 pF	35
4.1	Señal de entrada, de ruido y la suma	38
4.2	Simulación de VCD1 y VCD2 para un V_{in} de amplitud 25 mV y $f=5$ MHz, VRUIDO con amplitud de 60 mV y $f=70$ MHz, y un filtro con $f=1$ kHz	39
4.3	Simulación de VCD1 y VCD2 para un V_{in} de amplitud 25 mV y $f=5$ MHz, VRUIDO con amplitud de 60 mV y $f=7$ kHz, y un filtro con $f=300$ Hz	39
4.4	Simulación de VCD1 y VCD2 para un V_{in} de amplitud 25 mV y $f=5$ MHz, VRUIDO con amplitud de 60 mV y $f=7$ kHz, y un filtro con $f=300$ Hz	40
4.5	Simulación del PSD, para un V_{in} (verde) de amplitud 20 mV y $f=25$ MHz, VR (rosa) con amplitud de 100 mV y $f=50$ MHz. El primer gráfico muestran las señales de entrada, el segundo y tercero, se observa el producto experimental (azul) y y teórico (naranja) respectivamente	41
4.6	Simulación del PSD, para un V_{in} (verde) de amplitud 20 mV y $f=50$ MHz, VR (rosa) con amplitud de 100 mV y $f=50$ MHz. El primer gráfico muestran las señales de entrada, el segundo y tercero, se observa el producto experimental (azul) y y teórico (naranja) respectivamente	42
4.7	Simulación del PSD, para un V_{in} (verde) de amplitud 20 mV y $f=5$ GHz, VR (rosa) con amplitud de 100 mV y $f=5$ GHz. El primer gráfico muestran las señales de entrada, el segundo y tercero, se observa el producto experimental (azul) y y teórico (naranja) respectivamente	42
4.8	Simulación de la función de transferencia del filtro Gm-C de primer orden con una capacitancia de 45 pF	43
4.9	Simulación de la función de transferencia del filtro Gm-C como integrador con una capacitancia de 20 nF	44
4.10	Simulación LIA a nivel esquemático para amplitudes de $V_{in}=100$ mV y $V_r=10$ mV a una frecuencia de 1 GHz	46

4.11 Simulación LIA a nivel esquemático para amplitudes de $V_{in}=100$ mV y $V_r=10$ mV a una frecuencia de 3 GHz	46
4.12 Simulación el producto de las señales para el PSD de fase 0° (verde) y el de fase 90° (azul) con $V_{in}=100$ mV y $V_r=10$ mV a una frecuencia de 3 GHz	47
4.13 Simulación el producto de las señales para el PSD de fase 0° (verde) y el de fase 90° (azul) afectadas por ruido aleatorio de 3.5 GHz a 7 GHz, con $V_{in}=100$ mV y $V_r=10$ mV a una frecuencia de 3 GHz	48
4.14 Simulación LIA a nivel esquemático para amplitudes de $V_{in}=100$ mV y $V_r=10$ mV a una frecuencia de 3 GHz, ante afectado por ruido aleatorio en el rango de 3.5 GHz a 7 GHz	48
4.15 Espectro de Fourier para la simulación LIA a nivel esquemático para amplitudes de $V_{in}=100$ mV y $V_r=10$ mV a una frecuencia de 3 GHz, ante afectado por ruido en el rango de 3.5 GHz a 7 GHz	49
4.16 Barrido de frecuencia del LIA de 0 a 10 GHz para diferentes amplitudes de entrada	50
4.17 Razón de la señal de salida VCD1 del LIA con respecto a la entrada, para diferentes frecuencias	51
4.18 Representación de la regresión lineal para la razón de la amplitud de salida VCD1 con respecto a la entrada, para la frecuencia de 1 GHz	52
4.19 Razón de la magnitud VCD obtenida de las señales de salida VCD1 y VCD2 del LIA con respecto a la entrada, para diferentes frecuencias	53
4.20 Razón de la señal de salida VCD1 y VCD2 del LIA con respecto a la entrada, ante la variación de fase	55
4.21 Razón de la magnitud VCD obtenida de las señales de salida VCD1 y VCD2 del LIA con respecto a la entrada, ante la variación de fase	55
4.22 Simulación del LIA a nivel físico para amplitudes de $V_{in}=100$ mV y $V_r=10$ mV a una frecuencia de 3 GHz	57
4.23 Barrido de frecuencia del LIA de 0 a 10 GHz para diferentes amplitudes de entrada	58
4.24 Razón de la señal de salida VCD1 del LIA con respecto a la entrada, para diferentes frecuencias	60

4.25 Razón de la magnitud VCD obtenida de las señales de salida VCD1 y VCD2 del LIA con respecto a la entrada, para diferentes frecuencias	60
B.1 Código en Verilog A para la fuente senoidal	71
B.2 Código en Verilog A para el sumador	72
B.3 Código en Verilog A para el mixer	72
B.4 Código en Verilog A para el filtro pasa-bajas	73
C.1 Barrido de frecuencia del LIA con el filtro de primer orden, de 0 a 10 GHz para diferentes amplitudes de entrada	75
C.2 Razón de las señales de salida del LIA con filtro de primer orden, con respecto a la entrada, para diferentes frecuencias	76
C.3 Razón de las señales de salida del LIA con filtro de primer orden, con respecto a la entrada, para diferentes frecuencias	76

Índice de tablas

3.1	Tamaño de los transistores en el diseño del PSD	24
3.2	Tensiones de entrada del PSD	24
3.3	Tamaño de los transistores en el diseño del OTA	27
3.4	Tensiones de entrada del OTA	27
3.5	Tamaño de los transistores en el diseño físico del LIA	34
3.6	Tensiones de entrada del LIA	34
4.1	Resultados de la regresión lineal aplicada a las curvas de VCD1 de la Figura 4.17	52
4.2	Resultados de la regresión lineal aplicada a las curvas de VCD de la Figura 4.19	54
4.3	Resultados de la regresión lineal aplicada a las curvas de VCD de la Figura 4.19	56
4.4	Resultados de la regresión lineal aplicada a las curvas de VCD1 de la Figura 4.24	59
4.5	Resultados de la regresión lineal aplicada a las curvas de VCD de la Figura 4.25	59

Lista de símbolos y abreviaciones

Abreviaciones

CD	Corriente Directa
DRC	Comprobación de las Reglas de Diseño
Layout	Diseño Físico
LIA	Amplificador Lock-in
LVS	Concordancia entre diseño físico y esquemático
Mixer	Mezclador de frecuencias
OTA	Amplificador Operacional de Transconductancia
PSD	Detector Sensible a la Fase
RF	Radiofrecuencia
SNR	Relación señal-ruido

Capítulo 1

Introducción

En este primer capítulo se explicará lo referente al entorno en el cual se desarrolla el proyecto, el planteamiento del problema ingenieril, el enfoque de la solución del mismo y los objetivos del proyecto así como la estructura que llevará este documento.

1.1 Entorno del proyecto

Este proyecto surge como una iniciativa del Instituto Tecnológico de Costa Rica (TEC), a partir de la investigación en el campo de la espectroscopía de impedancia celular. El objetivo de la investigación, es participar con otros socios académicos en el diseño un sistema que permita analizar el comportamiento de los tejidos biológicos de las personas, realizando la medición de la impedancia de las células en un amplio rango de frecuencias.

La construcción de ese sistema global permitirá en el futuro, por ejemplo, analizar comportamiento de los tejidos en diferentes condiciones y poder detectar anomalías. Sin embargo, por tratarse un sistema tan complejo, su diseño se encuentra en proceso y se ha dividido en varias etapas, donde varios estudiantes y funcionarios de la institución se encuentran trabajando en él. En esta primera fase se está trabajando en el circuito microelectrónico encargado de procesar las mediciones para múltiples canales hasta una frecuencia de 10 GHz, en un esfuerzo conjunto con la Universidad Técnica de Hamburg-Harburg en Alemania.

El diseño de un amplificador “Lock-in” es una etapa necesaria para el sistema de espectroscopia,

con el fin de detectar señales muy pequeñas. La detección de señales en este tipo de aplicaciones es un reto, ya que el nivel de tensión normalmente es muy bajo y una señal puede verse opacada por ambientes ruidosos que superen incluso en amplitud a la señal de interés.

El desarrollo del proyecto implica conocimientos tanto electrónicos, como matemáticos y computacionales. El estudio para la realización del diseño de este amplificador requiere del entendimiento de señales analógicas y digitales. Además, debido a que se trabajará con la tecnología CMOS 130 nm, se necesitará el conocimiento de la teoría que envuelve el funcionamiento de los transistores y el diseño microelectrónico. En cuanto al área computacional, se utilizará Mentor Graphics para el desarrollo de todo el proceso, en el cual permitirá realizar simulaciones tanto del circuito a nivel de esquemático, como a nivel de layout [5].

1.2 Definición del problema

1.2.1 Generalidades

La salud es uno de los elementos más importantes en el desarrollo de la vida de cada individuo. La salud es un estado de bienestar físico, mental y social que permite al organismo de una persona o de un animal, mantener buenos estándares de funcionamiento para lograr la realización de diferentes actividades en el día a día [18]. Sin embargo, las personas son despreocupadas y no siempre tienen presente el hecho de que deben cuidar su salud y como consecuencia surgen dolencias, complicaciones y diferentes enfermedades.

Ante esta situación, el aporte de la tecnología ha llegado a ser fundamental para la detección, tratamiento y sanación de enfermedades. Al existir una interrelación entre la medicina y la tecnología, se ha logrado construir equipos cada vez más especializados de alta complejidad que permiten detectar anomalías que ocurren en el organismo para aplicar medidas que mejoren la salud.

De este pensamiento, se origina la decisión por parte del Instituto Tecnológico de Costa Rica de implementar un sistema que permita obtener un espectro en frecuencia de la impedancia de las células para entender el comportamiento de los tejidos del organismo. Con el objetivo de realizar estudios en diversos campos como por ejemplo pruebas toxicológicas y detección de

enfermedades[8].

La tecnología en el área de la medicina se ha vuelto indispensable en nuestra vida cotidiana, por eso la iniciativa que tiene la institución, es implementar este avanzado sistema para tener una nueva herramienta para el diagnóstico y análisis de muestras biológicas. Debido a que el sistema necesita obtener la información de señales que se encuentran ensombrecidas por ambientes ruidosos en los cuales, el nivel de señales no deseadas, puede ser mayor a la amplitud de la señal de interés, surge la necesidad de utilizar técnicas que incrementen esa distancia entre la señal y el ruido .

1.2.2 Síntesis del problema

En cuanto al proyecto de graduación, el cual involucra solo el diseño del amplificador “Lock-in”, el problema detectado es que el sistema global necesita trabajar con señales débiles (en el orden de los milivoltios), las cuales se encuentran acompañadas de señales indeseadas que pueden sobrepasar la amplitud de la variable de interés.

1.3 Enfoque de la solución

Al tener definido el problema existente, la solución es realizar el diseño de un sistema que permita obtener la información de señales que se encuentran en un ambiente muy ruidoso, de manera que se eleve la relación señal-ruido (SNR) [2, 14].

Desafortunadamente, al medir señales pequeñas donde predomina el ruido, es difícil adquirir la información de interés, por lo que se requieren técnicas de amplificación especiales para aumentar la relación SNR. Por medio del diseño de un amplificador “Lock-in” se pretende corregir el problema, la cual, se basa en una técnica conocida como la detección sensible a la fase y es la opción más común para obtener resultados débiles del ruido, de manera que la entrada es procesada con una señal de referencia que posee una la fase específica y la misma frecuencia de la onda deseada[17].

El diseño básico del “Lock-in” es mostrado en la Figura 1.1. En éste, se tiene representada la señal de información como $s(t;O)$ y el ruido como $n(t)$. La suma las señales entra a un detector

sensible a la fase (PSD) donde es multiplicada con la señal de referencia, la cual, debe tener la misma frecuencia de la señal de interés. Por último, se pasa por un filtro pasa bajas donde las componentes armónicas indeseadas son eliminadas de la señal de salida del multiplicador y se obtiene una señal de CD proporcional a la amplitud de la señal de información [2, 16].

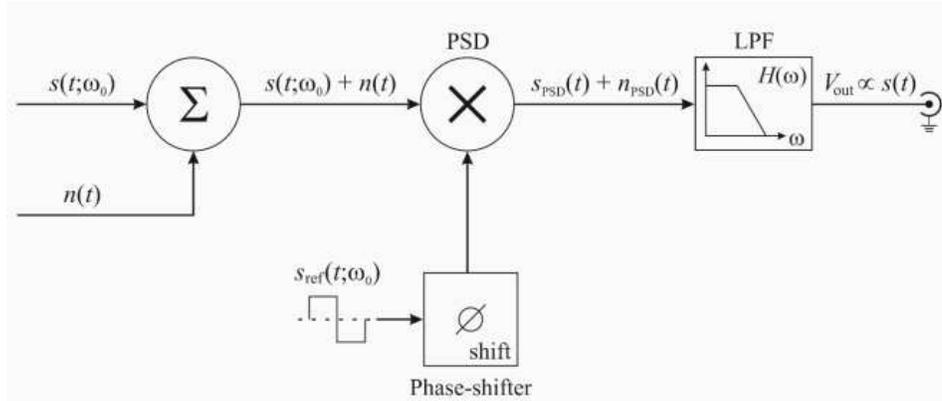


Figura 1.1: Diseño a nivel de bloques de un amplificador "Lock-in" [2]

A partir de este circuito a nivel de bloques, la solución del problema se orienta al diseño de cada componente por separado, investigando y probando los componentes adecuados para obtener la ganancia necesaria de los amplificadores y la frecuencia de operación requerida para los filtros y el multiplicador.

El desarrollo del proyecto se realizará a nivel de transistores, utilizando Mentor Graphics. Esta herramienta de software permitirá diseñar el sistema y realizar diferentes simulaciones para comprobar su funcionamiento, de manera que se genere un archivo en formato .gdsII, con el cual se pueda llegar a fabricar el circuito integrado.

1.4 Objetivos

1.4.1 Objetivo General

Diseñar la etapa amplificadora “Lock-in” que permita extraer señales débiles en un ambiente ruidoso, en un sistema capaz de medir la impedancia de las células para aplicaciones de espectroscopía.

1.4.2 Objetivos específicos

1. Diseñar la etapa de amplificación a nivel de esquemático en la tecnología de IBM 130nm CMOS 8RF. Indicador: Deberá ser capaz de detectar señales inferiores a 25mV en condiciones de ruido ambiente en un rango hasta 7 GHz como mínimo.
2. Realizar el diseño físico de la etapa de amplificador de enganche. Indicador: Verificaciones funcionales exitosas, tomando en cuenta la aplicación correcta de las reglas de diseño (DRC) y la concordancia entre el diseño físico y esquemático (LVS).
3. Validar el diseño a nivel de extracción postlayout. Indicador: Diseño de un circuito de prueba a nivel de simulación y las métricas finales del circuito: consumo de potencia, área, frecuencia de operación, mínima señal detectable.

1.5 Estructura del documento

En el siguiente capítulo se presenta la información acerca del funcionamiento del amplificador Lock-in fundamentado en su comportamiento matemático. Se explican dos topologías diferentes que servirán como propuestas de solución. En esta sección también se incluye información sobre algunas implementaciones de mezcladores de frecuencias, amplificadores operacionales de transconductancia y filtros pasa-bajas.

En el capítulo 2 también se describen las herramientas de Mentor Graphics y la tecnología de IBM 130 nm CMOS 8RF, las cuales son esenciales para la solución del problema ingenieril.

En el capítulo 3 se detalla el proceso de diseño del Lock-in, el cual inicia con la construcción del

circuito en Verilog A, y se continua subiendo el nivel de abstracción con el diseño esquemático donde se utilizan transistores NMOS y PMOS. El capítulo finaliza con la información acerca del diseño físico del Lock-in.

Se continúa con el capítulo 4, en el cual se encuentran los resultados del diseño y el análisis respectivo. Se incluyen simulaciones y gráficas del diseño desde la implementación en Verilog A hasta el módulo final a nivel físico.

Finalmente en el capítulo 5 se presentan las conclusiones obtenidas a lo largo de todo el proceso, en las cuales se valida el diseño tomando en cuenta los objetivos planteados. También se nombran algunas recomendaciones importantes.

Capítulo 2

Marco teórico

En esta sección se expondrá el funcionamiento del Amplificador Lock-in, donde se profundizará su comportamiento matemático por medio de diferentes ecuaciones que justifican esta técnica. Seguidamente, se encontrará información acerca de las topologías de LIA investigadas en la literatura, así como los componentes necesarios para construirlo.

Para finalizar, se describirán las herramientas de software proporcionadas por Mentor Graphics y la tecnología de IBM 130 nm CMOS 8RF que permitirán el diseño y la construcción de esta etapa de amplificación.

2.1 Amplificador “Lock-in” (LIA)

Los amplificadores “Lock-in” son ampliamente utilizados en aplicaciones de espectroscopia por impedancia eléctrica, donde la señal de salida deseada generalmente se encuentra dentro de una potencia de ruido considerable que puede superar incluso la amplitud de la señal de información. Estos dispositivos funcionan con una técnica de detección de fase, de manera que se fija una frecuencia de referencia en la cual se encuentra la señal deseada y se rechaza todo el espectro que no se ubique en esta frecuencia [14].

Un buen amplificador tiene aproximadamente $5 \text{ nV}/\sqrt{\text{Hz}}$ de ruido de entrada, si la señal de entrada es de 10 nV de amplitud con una frecuencia de 10 kHz y el amplificador tiene un ancho de banda de 100 kHz y 1000 de ganancia, la salida de la señal será de 10 μV (10 nV x 1000),

pero de ruido serán 1.6 mV ($5 \text{ nV}/\sqrt{\text{Hz}} \times \sqrt{100\text{kHz}} \times 1000$).

Debido a que el ruido de la señal aumenta considerablemente ante la amplificación de la señal de información, se puede intentar utilizar un filtro pasa banda con un filtro de calidad muy bueno ($Q=100$), centrado en la frecuencia de interés, es decir 10 kHz. Con el filtro se tendrá un ancho de bando de 100 Hz ($10 \text{ kHz}/100$) y el ruido en el filtro pasa banda será de $50 \mu\text{V}$ ($5 \text{ nV}/\sqrt{\text{Hz}} \times \sqrt{100\text{kHz}} \times 1000$)[1].

El ruido disminuye pero la amplitud de la señal sigue siendo mucho menor. Si se utiliza un amplificador Lock-in, este puede detectar una señal de 10 kHz con un ancho de banda 0.1 Hz, y el ruido será de $0.5 \mu\text{V}$, logrando que la amplitud de la señal sea 20 veces mayor al ruido [1].

2.2 Comportamiento matemático del LIA

La estructura básica de un amplificador Lock-in utiliza de un detector sensible a la fase (PSD) y un filtro pasa bajas para obtener una componente de tensión en corriente directa (CD) proporcional a la amplitud de señal de interés. El comportamiento matemático que justifica su funcionamiento se analiza a continuación tomando como referencia [1, 3, 9].

La señal de entrada V_{in} y la señal de referencia V_{Ref} se representan como señales son de la siguiente manera:

$$V_{in} = V_S \sin(\omega_S t + \phi_S) \quad (2.1)$$

$$V_{Ref} = V_{Ref} \sin(\omega_{Ref} t + \phi_{Ref}) \quad (2.2)$$

Ambas señales con su respectiva amplitud, frecuencia y desfase, son multiplicadas por el detector sensible a la fase.

$$V_{PSD} = V_{in} V_{Ref} \sin(\omega_S t + \phi_S) \sin(\omega_{Ref} t + \phi_{Ref}) \quad (2.3)$$

$$V_{PSD} = \frac{1}{2}V_{in}V_{Ref}COS([\omega_S - \omega_{Ref}]t + \phi_S - \phi_{Ref}) - \frac{1}{2}V_{in}V_{Ref}COS([\omega_S + \omega_{Ref}]t + \phi_S + \phi_{Ref}) \quad (2.4)$$

Con ayuda de identidades trigonométricas (Apéndice A), se observa que la salida V_{PSD} se compone de dos señales CA, una con la diferencia de frecuencias de la señal de entrada y de la referencia, y la otra con la suma de las mismas. Sin embargo, al definir la frecuencia referencia con el mismo valor de la señal interés, el resultado de V_{PSD} estará constituido por la suma de una señal de CD pura, ya que es independiente de la frecuencia, y una señal CA con el doble de la frecuencia.

$$V_{PSD} = \frac{1}{2}V_{in}V_{Ref}COS(\phi_S - \phi_{Ref}) - \frac{1}{2}V_{in}V_{Ref}COS(2\omega_{Ref}t + \phi_S + \phi_{Ref}) \quad (2.5)$$

Se puede observar que la señal de CD es proporcional a la amplitud de la señal de entrada original, por lo que por medio de un filtro pasa banda con una frecuencia de corte menor al doble de la frecuencia elegida, se puede obtener el valor de CD de V_{PSD} .

$$V_{CD1} = \frac{1}{2}V_{in}V_{Ref}COS(\phi_S - \phi_{Ref}) \quad (2.6)$$

El problema de la señal obtenida, es que depende del desfase entre las entradas, el cual no permite recuperar el valor correcto de la señal de interés. Esto se puede corregir modificando el desfase y ajustándolo a cero, sin embargo esta dependencia de fase puede ser eliminada adicionando un nuevo PSD en el cual la señal de referencia presente un desfase de 90° con respecto a la original, de manera que se obtenga segundo valor de CD pero dependiente del coseno del desfase.

$$V_{Ref2} = V_{Ref}COS(\omega_{Ref}t + \phi_{Ref} + 90^\circ) \quad (2.7)$$

$$V_{CD2} = \frac{1}{2}V_{in}V_{Ref}SIN(\phi_S - \phi_{Ref}) \quad (2.8)$$

Al tener estos dos valores de CD proporcionales a la amplitud de la señal de interés, donde V_{CD2} es la componente en cuadratura o en contrafase de V_{CD1} , se puede obtener fácilmente la

magnitud de CD que no dependa de la fase.

$$V_{CD} = \sqrt{V_{CD1}^2 + V_{CD2}^2} \quad (2.9)$$

$$V_{CD} = \sqrt{\left[\frac{1}{2} V_{in} V_{Ref} \cos(\phi_S - \phi_{Ref}) \right]^2 + \left[\frac{1}{2} V_{in} V_{Ref} \sin(\phi_S - \phi_{Ref}) \right]^2} \quad (2.10)$$

$$V_{CD} = \sqrt{\left(\frac{1}{2} V_{in} V_{Ref} \right)^2 [\cos^2(\phi_S - \phi_{Ref}) + \sin^2(\phi_S - \phi_{Ref})]} \quad (2.11)$$

$$V_{CD} = \frac{1}{2} V_{in} V_{Ref} \quad (2.12)$$

Con V_{CD1} y V_{CD2} también es posible encontrar el valor del desfase de la siguiente manera:

$$\phi = \phi_S - \phi_{Ref} = \tan^{-1} \left(\frac{V_{CD2}}{V_{CD1}} \right) \quad (2.13)$$

Por medio de los valores obtenidos matemáticamente, tanto el de V_{CD} como el de desfase entre la señal de entrada y la de referencia, es posible reconstruir la señal de CA de la entrada.

Ésta técnica permite eliminar señales indeseables que se encuentran inmersas en la señal de información, debido a que el ajuste de la frecuencia de referencia permite obtener únicamente la componente de CD relacionada con la frecuencia de interés y por medio de un filtro pasa bajas con un ancho de banda que elimine las componentes que dependen de la frecuencia, se logrará librar a la señal de información pertinente del ruido a distintas frecuencias.

2.3 Topologías de LIA

En la literatura se encontraron dos topologías LIA generales, ambas están compuestas de un mezclador de frecuencias (mixer) y un filtro pasa-bajas, sin embargo la primera presenta un mixer implementado en el dominio de la tensión y la otra en el dominio de la corriente. Por otro lado, los diseños de LIAs pueden variar ya que existen diferentes topologías de mixers y de filtros pasa-bajas.

2.3.1 LIA en el dominio de la tensión

Típicamente, como se observa en la Figura 2.1, la implementación de un amplificador Lock-in se compone de una etapa de pre-amplificación de la señal de entrada por medio de un amplificador de bajo ruido, el cual es usualmente implementado con tres amplificadores de instrumentación. Seguido de ésta etapa, se muestra un filtro pasa-banda (BPF), el cual se añade para limitar rango de frecuencias y así eliminar parte de las señales indeseadas, sin embargo en ocasiones no se utiliza este módulo de pre-filtración debido a que los siguientes componentes permiten obtener la señal información una respectiva frecuencia. Estos componentes son: un mixer, que funciona como detector sensible a la fase y un filtro pasa-bajas, los cuales, como explicó matemáticamente, pueden obtener una componente equivalente de CD de la señal de entrada si se utiliza un frecuencia de referencia igual a la frecuencia de esta señal [14].

El Lock-in puede ser fase dual, es decir, puede estar compuesto por dos detectores sensibles a la fase para poder lograr obtener la señal de DC por medio de la cuadratura, pero también existen diseños que obtienen esta señal en cuadratura con un solo PSD, utilizando un cambiador de fase, el cual primero realiza la multiplicación de la señal de entrada con una señal de referencia con fase 0° y luego realiza un cambio de fase de 90° a la señal de referencia para obtener la señal de CD en cuadratura [1].

2.3.2 LIA en el dominio de la corriente

De manera alternativa, en la literatura se encuentra un diseño diferente para la implementación del Lock-in, en [17] proponen un amplificador que funciona a partir de un mixer implementado en el dominio de la corriente. En la Figura 2.2 se presenta la estructura de la topología, en esta se observa un amplificador transconductor inicial que recibe la señal de una entrada de tensión y la convierte al dominio de la corriente, éste transconductor presenta una ganancia donde G_m que es multiplicada por la tensión de entrada, obteniendo la corriente: $I_{01} = G_m V_{in}$. La corriente es manejada por un mixer que realiza la multiplicación de la señal por medio de espejos de corriente, luego por medio de un amplificador de transimpedancia, la señal es convertida a voltaje y de la misma manera que la topología anterior, al final se añade un filtro pasa bajas para obtener el valor de CD proporcional a la amplitud de la señal de entrada V_{in} .

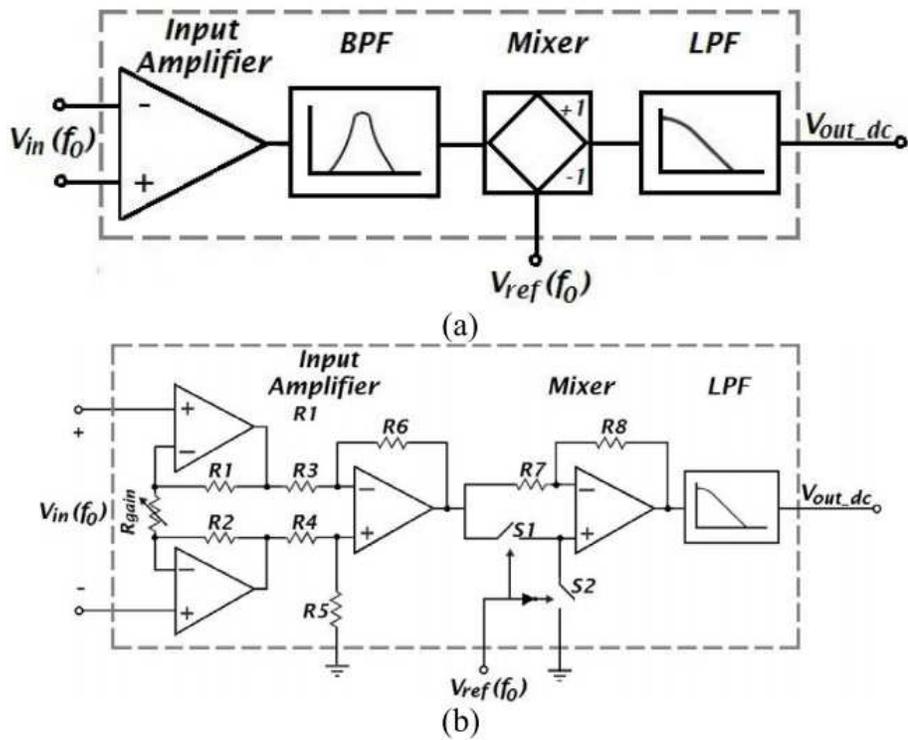


Figura 2.1: Diagramas funcionales de un lock-in. (a) Diagrama de bloques. (b) Implementación a nivel de circuito [17]

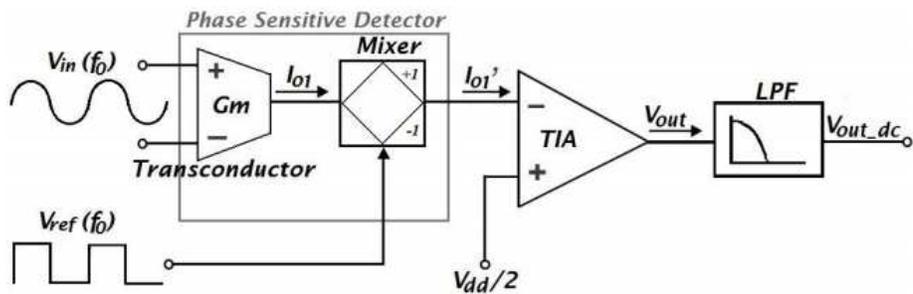


Figura 2.2: Diagrama de bloques del LIA en el dominio de corriente [17]

2.4 Mezcladores de frecuencia

Los mezcladores de frecuencias (mixers) permiten realizar una traslación en frecuencia, por medio de la multiplicación de dos formas de onda. Los mixers tienen tres puertos diferentes, los cuales dos son señales de entrada y una es la salida. Como se aprecia en la Figura 2.3 el mixer recibe una señal de información por el puerto RF y ésta es multiplicada por una señal de referencia LO (Local Oscillator), la cual es una forma de onda producida por un oscilador local. La salida es llamada puerto IF (Intermediate Frequency) donde se obtiene el resultado

del producto de las entradas [25].

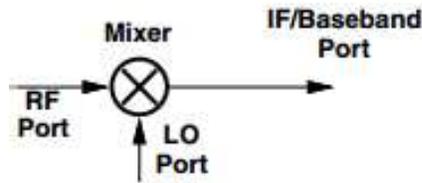


Figura 2.3: Diagrama básico del mezclador de frecuencias [19]

Existen diferentes topologías de mezcladores, las cuales pueden ser pasivas o activas, sin embargo se prefiere el uso de los mezcladores activos debido a que presentan ganancia de conversión, al contrario de los del tipo pasivo. En la Figura 2.4 se presenta un esquema del mezclador balanceado simple que explica las tres funciones que realiza un mezclador de frecuencia activo. Tiene una etapa donde se convierte la tensión de entrada al dominio de la corriente por medio del transistor M_1 , luego el par diferencial M_2 - M_3 se encarga de conmutar la corriente con la entrada de tensión oscilatoria y finalmente R_1 y R_2 convierte la corriente resultante al dominio de la tensión. Este cambio de tensión a corriente y viceversa es el que permite alcanzar una cierta ganancia en amplificación [19].

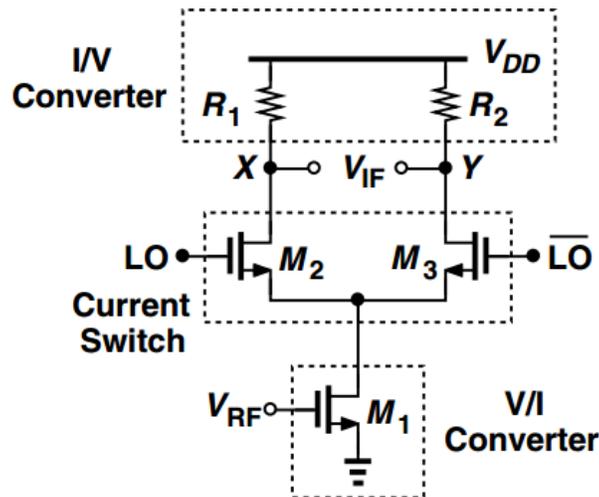


Figura 2.4: Mezclador activo balanceado simple [19]

Si la entrada RF se encuentra en modo diferencial, la topología anterior debe ser modificada duplicando el circuito mostrado en la Figura 2.5 donde tanto la entrada positiva como negativa de RF tiene su respectivo mezclador balanceado simple, sin embargo las resistencias de

conversión, se dividen a la mitad.

En el diseño de mezcladores activos, el principal problema es lograr que fluya la corriente suficiente en el transistor de entrada para que cumpla con las especificaciones de ruido y linealidad. Además es necesario que fluya una corriente suficiente por las resistencias para alcanzar una ganancia alta. Por lo que para solucionar este conflicto, típicamente se añaden transistores como fuentes de corriente en paralelo con las resistencias de carga, de forma que incrementen la corriente tanto en la carga como en el transistor de entrada. En la Figura 2.6 se presenta la topología del mezclador balanceado simple con los transistores M4 y M5 como fuentes de corriente [19].

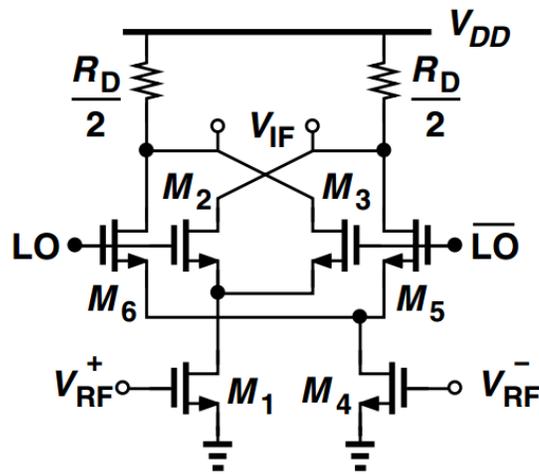


Figura 2.5: Mezclador doblemente balanceado [19]

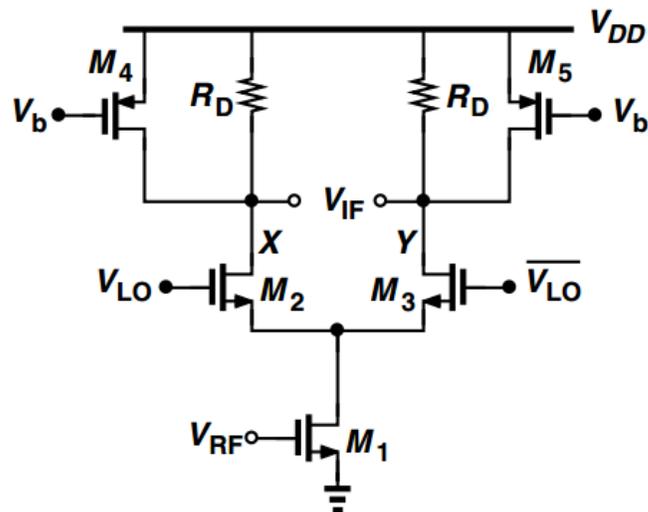


Figura 2.6: Mezclador balanceado simple con fuentes de corriente [19]

2.5 Filtro pasa bajas

Un filtro pasa-bajas activo es un circuito analógico que es ampliamente usado en sistemas de comunicación y procesamiento de señales para eliminar la información en altas frecuencias. Una manera muy accesible de implementar un filtro pasa bajas activo con tecnología CMOS, es por medio de un amplificador de transconductancia [6].

2.5.1 Amplificador Operacional de Transconductancia (OTA)

Los OTAs son circuitos que funcionan como fuentes de corriente controladas por una tensión de entrada diferencial. La característica principal de los OTAs, es que presentan una gran impedancia de entrada, la cual es idealmente infinita y prácticamente no entra corriente. Al operar como fuente de corriente a la entrada, la impedancia de salida también debe ser alta. Estas cualidades, permiten que la utilización de transistores MOS para el diseño de OTAs, sea la mejor opción ya que estos transistores presentan una alta impedancia de entrada y el consumo de energía es muy bajo [6, 10].

En la Figura 2.7 se representa el módulo de un OTA con su respectivo circuito equivalente en pequeña señal.

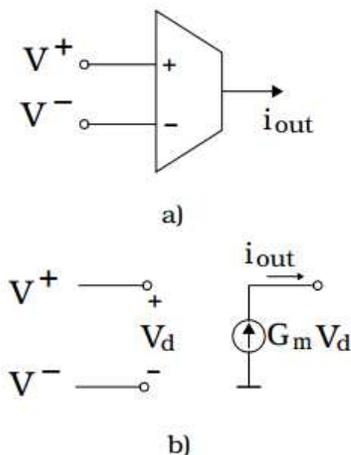


Figura 2.7: a) Módulo OTA. b) Circuito equivalente en pequeña señal [10]

La transconductancia de un OTA está dada por la razón de la corriente de salida y la tensión diferencial y se representa en la siguiente ecuación [22]:

$$G_m = \frac{i_{out}}{V^+ - V^-} \quad (2.14)$$

La ganancia de tensión del OTA está dada por:

$$A_v = \frac{v_{out}}{V^+ - V^-} \quad (2.15)$$

Existen diferentes topologías de OTAs, en la Figura 2.8 se pueden apreciar las más básicas, donde la entrada no es diferencial. En la Figura 2.8a se muestra la más simple donde solo se utiliza un transistor en modo de saturación, sin embargo presenta muy baja impedancia.

En las Figuras 2.8b-2.8d se observan topologías modificadas para subir esa impedancia de salida y linealidad, sin embargo estas implementaciones presentan una ganancia negativa, sólo con el transconductor positivo simple (Figura 2.8e) se puede lograr una ganancia positiva [23].

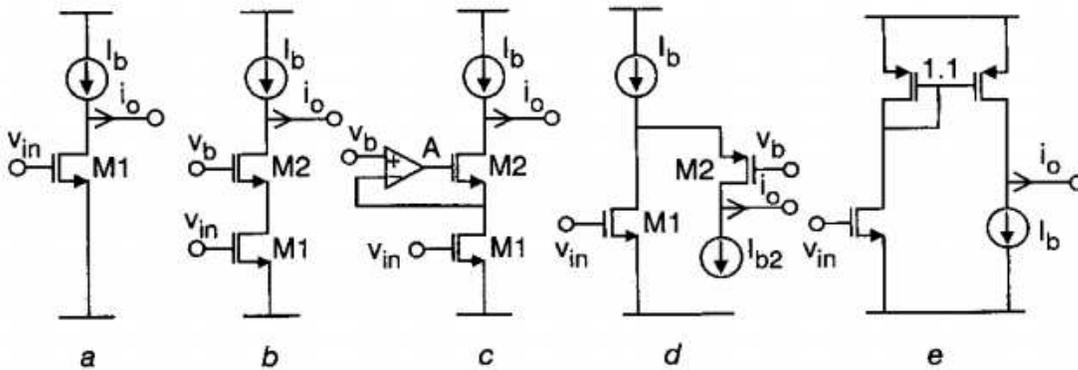


Figura 2.8: OTAs con sola entrada. a) Transconductor negativo simple. b) Transconductor cascodo. c) Transconductor mejorado d) Transconductor seguidor-cascodo. e) transconductor positivo simple [23]

Las topologías con entradas diferenciales, son más comunes y presentan mejor rendimiento. En la Figura 2.9 se presenta el OTA diferencial básico el cual se compone de dos transistores NMOS a la entrada que proveen la amplificación y una fuente de corriente de polarización. El valor de la I_{out} , viene dado por la diferencia de las corrientes cada transistor, los cuales operan en saturación, y se describe como:

$$I_{out} = i^+ - i^- = K(\Delta V) \sqrt{\left(\frac{I_B}{K} - \frac{(\Delta V)^2}{4}\right)} \quad (2.16)$$

$$\Delta V = V^+ - V^- \quad (2.17)$$

$$K = \mu_0 C_{OX} (W/L) \quad (2.18)$$

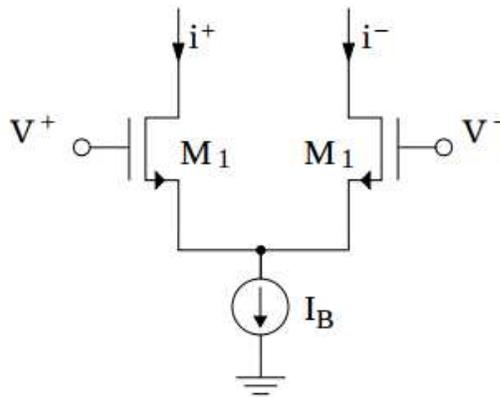


Figura 2.9: OTA diferencial básico [10]

El valor de I_{out} es obtenido tomando en cuenta que los transistores se encuentren en la región de saturación, por lo tanto deben cumplir que el valor de la tensión entre el drenaje y la fuente (V_{DS}) sea mayor o igual al resultado de la resta entre la tensión de la puerta y la fuente V_{GS} , con la tensión de encendido del transistor:

$$V_{DS} \geq V_{GS} - V_{th} \quad (2.19)$$

Un diseño más robusto se presenta en la Figura 2.10, donde la fuente de corriente de polarización se cambia por un espejo de corriente y también se añaden transistores PMOS que funcionan como cargas que aumentan la impedancia de salida [10, 15, 13].

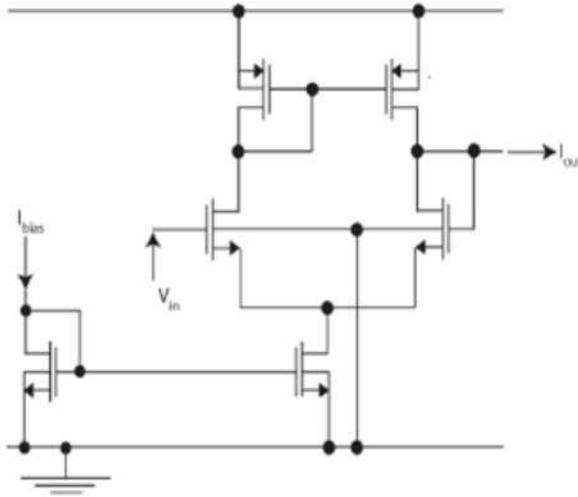


Figura 2.10: OTA diferencial con transistores PMOS de carga y espejo de corriente como corriente de polarización [15]

2.5.2 Filtros Gm-C

Los filtros Gm-C se componen de amplificadores operacionales de transconductancia y capacitores. En la Figura 2.11 se muestra el filtro Gm-C de primer orden. La función de transferencia del circuito, esta dada por:

$$\frac{V_{OUT}}{V_{IN}} = \frac{1}{\left(1 + s\frac{C}{Gm}\right)} \quad (2.20)$$

Donde la frecuencia de corte es:

$$F_C = \frac{Gm}{2\pi C} \quad (2.21)$$

La configuración de la Figura 2.11 depende de la transconductancia y del valor de la capacitancia, para establecer el ancho de banda, de manera que al aumentar el valor de la capacitancia, se obtendrá una frecuencia de corte menor. Además de es importante destacar que este filtro tiene una ganancia unitaria, debido al lazo de realimentación hacia la entrada negativa [10].

También es posible eliminar el lazo de realimentación para obtener una ganancia mayor, sin embargo en este caso, la función de transferencia presentaría un polo en 0, en otras palabras, el filtro se convertiría en un integrador que sólo dejaría pasar el valor en CD de la señal [20, 7].

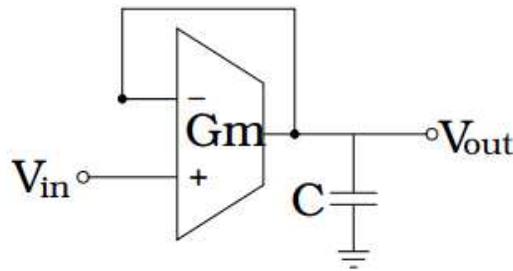


Figura 2.11: Filtro pasa bajas implementado con un OTA y un condensador [10]

2.6 Descripción de las herramientas de Mentor Graphics

Mentor Graphics es una compañía que lidera en software de automatización de diseño electrónico. Ofrece la plataforma Pyxis para el diseño personalizado de circuitos integrados (Pyxis Custom IC Design Platform). El navegador de Pyxis permite la creación de proyectos, los cuales se conforman de bibliotecas que funcionan como directorios para almacenar distintas celdas creadas por el usuario [5].

Una celda es la unidad básica de cada diseño, es decir, un directorio que contiene la información básica de un objeto. Ésta información es representada con vistas, en sus diferentes niveles de abstracción. Por lo que, para construir un diseño completo, es necesario crear las vistas: “schematic”, “symbol” y “layout”.

Pyxis proporciona un entorno para la captura de diseño, facilitando al usuario una entrada de diseño para la construcción de circuitos a nivel de software. La plataforma permite realizar circuitos esquemáticos, símbolos de un esquemático creado previamente para utilizarlo en un diseño más elaborado, y construir el respectivo diseño físico (layout).

Este ambiente cuenta con herramientas que permiten realizar verificaciones del circuito esquemático para detectar errores de conexiones o implementaciones incorrectas de los componentes. También Pyxis cuenta con la herramienta Calibre que permite asegurar el cumplimiento de las reglas de diseño (DRC) del layout y comprobar la concordancia entre el esquemático y el layout (LVS).

Por último, en este entorno es posible la configuración de simulaciones para analizar el comportamiento del circuito, tanto para el esquemático como para el diseño físico. Se pueden realizar simulaciones en corriente directa, simulaciones en el tiempo, barridos de frecuencia, etc; por

medio del simulador tipo SPICE llamado ELDO [5].

2.7 Tecnología de IBM 130 nm CMOS 8RF

IBM Microelectronics, actualmente parte de la compañía Global Foundries, ofrece una completa gama de productos y servicios de fundición para su familia de tecnologías basadas en estándares de la industria CMOS. Para este caso se escogió una de 130 nm, la tecnología analógica de radiofrecuencia (RF) CMOS de alta velocidad. Los usuarios pueden elegir dispositivos apropiados y herramientas de diseño para que coincida con sus requisitos de aplicación.

El nombre de la tecnología de proceso utilizada en este proyecto es IBM CMOS 8RF (CMRF8SF), la cual parte de una tecnología base IBM CMOS 8SFG. Las líneas finas y las altas densidades que caracterizan este proceso utilizando una litografía de 130 nm, soportan microprocesadores de última generación, las comunicaciones y aplicaciones de procesamiento de datos de la computadora. El cableado de cobre de baja resistencia para todos los niveles de metales que presenta CMOS 8SFG, permite una alta densidad de cableado con un retraso mínimo de tiempo [4].

Con respecto a la tecnología base, CMOS 8RF ofrece varias mejoras que incluyen estructuras de FET que soportan los modelos compatibles de RF de alta frecuencia, una amplia gama de dispositivos opcionales pasivos de cobre e interconexiones de aluminio con un grosor del último metal. Presenta un kit de diseño analógico que garantiza una estrecha correlación entre el rendimiento simulado y medido. Es una tecnología de semiconductores ideal para bajo costo, aplicaciones inalámbricas de alto rendimiento, redes de área local y sistemas de posicionamiento global.

IBM CMOS 8RF utiliza una tensión de alimentación de 1.2 V (con opción aumentarla hasta 1.5 V), ofrece 8 diferentes capas de metal para realizar conexiones, presenta una resistencia del sustrato de 1-2 ohm-cm, óxido de puerta doble con espesores físicos 2.2 nm y 5.2 nm. Por último es importante destacar que el largo del transistor mínimo es de 0.12 μm .

Capítulo 3

Diseño del amplificador “Lock-in”

La solución propuesta se basa en la topología en el dominio de la tensión referida en la Sección 2.3, la cual se compone un amplificador de bajo ruido, un filtro pasa banda, un sensor sensible a la fase y un filtro pasa bajas. Sin embargo, para este proyecto, se omitió la etapa de pre-filtrado y se centró el diseño en la integración del PSD con el filtro pasa bajas para construir y analizar el funcionamiento de una primera versión de Amplificador Lock-in.

En este capítulo se encuentra el proceso de diseño del LIA. Se inició con la construcción un modelo ideal para comprobar el comportamiento teórico. Seguidamente se elevó el nivel de abstracción para implementar un circuito esquemático a nivel de transistores y finalmente se realizó el diseño físico del sistema.

3.1 Construcción del circuito en Verilog A

Para entender el funcionamiento básico del amplificador Lock-in, realizó un diseño en Verilog A. Ésta es una herramienta de descripción de hardware que permite, a diferencia de Verilog, describir componentes analógicos en lugar de digitales. Verilog A está diseñado para describir modelos tipo SPICE (Programa de simulación con énfasis en circuitos integrados), éstos simuladores trabajan generando un sistema de ecuaciones diferenciales no lineal que describe el circuito y luego resuelve ese sistema de ecuaciones [24].

El comportamiento de un circuito se explica por medio de módulos creados a partir de código

que describen un componente. En Verilog A existen módulos de resistores, capacitores, inductores y dispositivos de semiconductores; los cuales se describen a partir de ecuaciones matemáticas e instancias de otros módulos [24]. En el apéndice B se encuentra la información acerca del código de los módulos utilizados en este proyecto.

En la Figura 3.1 se puede apreciar que se utilizan dos módulos de fuentes senoidales, una para la señal de entrada y la otra es una señal que representa el ruido. Se utilizó un módulo para sumar las señales, donde el resultado de ésta, pasa por dos multiplicadores, con un desfase de 0° , y el segundo con la misma amplitud y frecuencia pero con un desfase de 90° . A la salida de cada multiplicador se ubica el filtro pasa bajas con una frecuencia de 300 Hz.

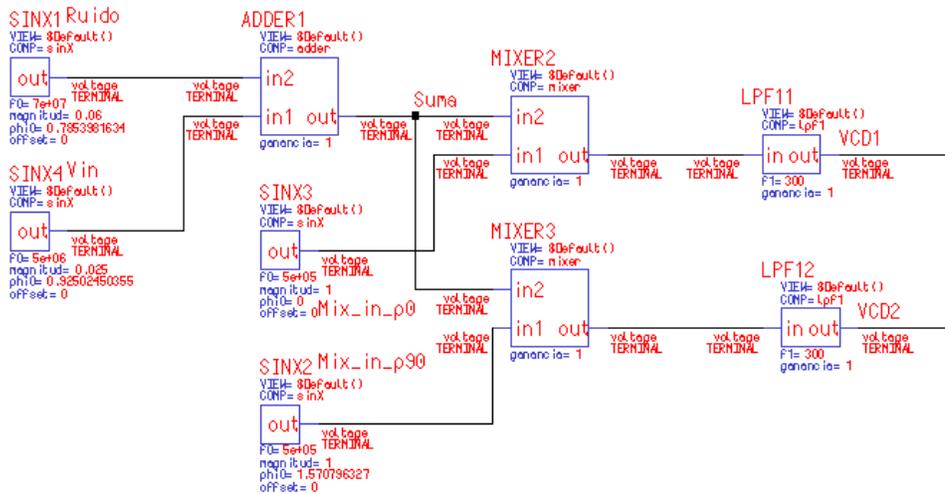


Figura 3.1: Implementación del amplificador Lock-in en Verilog A

3.2 Construcción del circuito a nivel esquemático

Después de verificar el funcionamiento correcto del LIA en Verilog A, se procedió a bajar el nivel de abstracción para diseñar el circuito esquemático utilizando las librerías de la tecnología IBM 130 nm CMOS 8RF.

La construcción del circuito esquemático se dividió en el diseño independiente de dos módulos necesarios para implementar el LIA básico, el cual consiste en un mezclador de frecuencias que funciona como PSD seguido por un filtro pasa-bajas.

3.2.1 Diseño del PSD a nivel esquemático

Para la construcción del esquemático se utilizó un módulo mezclador de frecuencias prediseñado en por uno de los socios académicos que participan en la investigación de espectroscopía de impedancia celular [11]. El mezclador implementado, parte de la topología base de un mezclador de frecuencias activo doblemente balanceado, presentada en la Sección 2.4.

En la Figura 3.2 se ilustra el módulo, en el cual se puede apreciar una entrada diferencial de RF por medio de los transistores M1 y M2 que se encargan de transformar el valor de tensión de RF al dominio de la corriente, sin embargo a diferencia del diseño original, en éste se aplicaron algunos cambios basados en [12].

Se agregan los transistores M7 y M8 como cascos para proporcionar un mayor aislamiento entre los puertos RF y LO. Los transistores M3-M6 se encargan de la etapa de conmutación, los cuales están controlados por la señal local oscilatoria y permiten la mezcla de la corriente proveniente del puerto RF, con la corriente de la señal local. Además, para realizar la conversión de corriente a tensión, se utilizan como resistencias de carga, los transistores M9 y M10 para incrementar la ganancia.

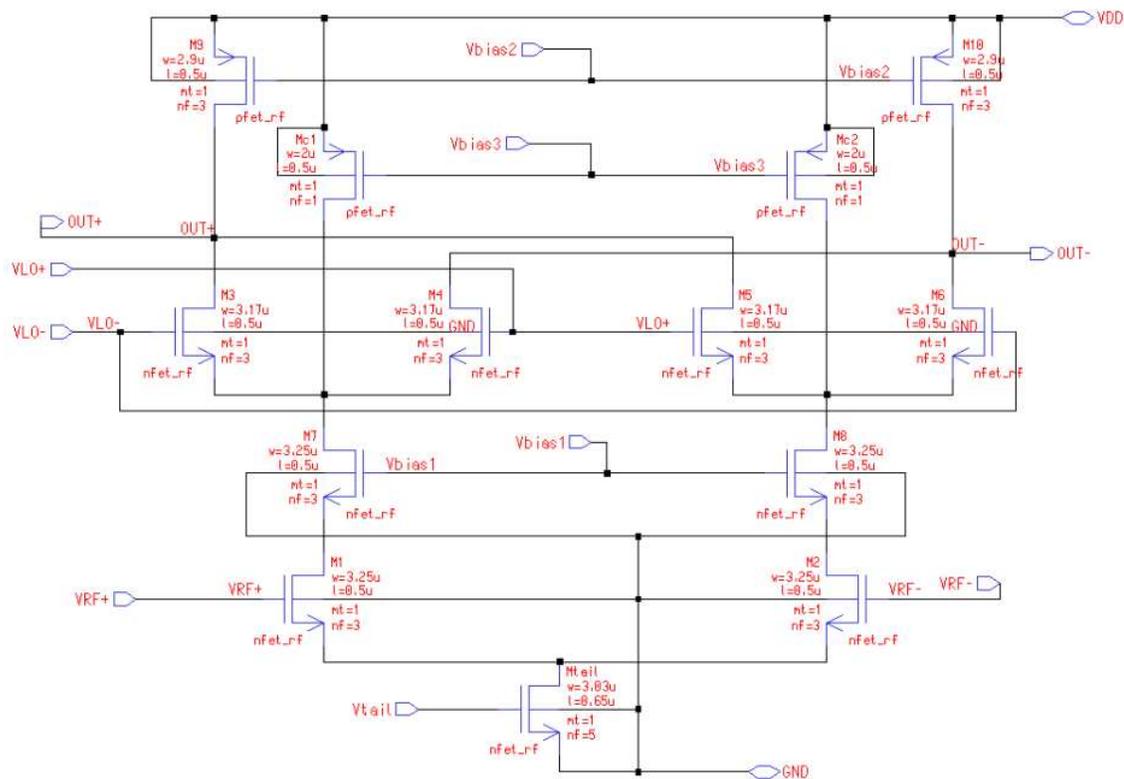


Figura 3.2: Diseño del PSD a nivel esquemático

El diseño incluye tres fuentes de corriente. En la parte inferior, se encuentra el transistor M_{tail} funcionando como fuente de corriente de polarización y en la parte superior se observan las fuentes de corrientes representadas por M_{c1} y M_{c2} usadas como técnica de inyección de carga para mejorar el rendimiento del mezclador de frecuencias. Esta técnica permite aumentar la conversión de ganancia y mejorar la linealidad debido a que se obtiene la mayor corriente de polarización posible, sin incrementar la corriente de los transistores de conmutación. En la Tabla 3.1 se encuentra la información del tamaño de los transistores del Mixer prediseñado.

Transistor	W/L ($\mu\text{m}/\mu\text{m}$)
M1, M2, M7, M8	9.75/0.5
M3, M4, M5, M6	9.51/0.5
M_{c1} , M_{c2}	2/0.5
M9, M10	8.7/0.5
M_{tail}	15.15/0.65

Tabla 3.1: Tamaño de los transistores en el diseño del PSD

En la Tabla 3.2 se definen los valores para las tensiones de modo común de las entradas RF y LO del Mixer, así como para V_{bias1} , V_{bias2} , V_{bias3} y V_{tail} que permiten de la polarización de las fuentes de corriente utilizadas.

Tensión	V (V)
$V_{RF} (v_{cm})$	0.6
$V_{LO} (v_{cm})$	0.75
V_{tail}	0.4
V_{bias1} , V_{bias2}	0.6
V_{bias3}	0.9

Tabla 3.2: Tensiones de entrada del PSD

En la Figura 3.3 se observa un diagrama del símbolo del PSD, donde se define los puertos de entrada y salida. En la ilustración se encuentran las entradas de alimentación VDD y GND, las entradas diferenciales tanto para el puerto RF como para LO, y también se encuentran los puertos para las señales de polarización del sistema. Por último, el circuito cuenta con la salida

diferencial OUT.

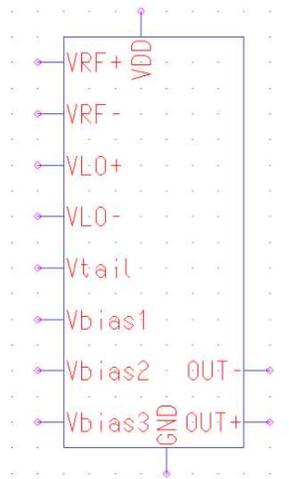


Figura 3.3: Entradas y salidas del PSD

3.2.2 Diseño del Filtro pasa-bajas a nivel esquemático

El diseño del filtro pasa bajas, se basó en filtros de tipo GmC. Como su nombre lo indica, dependen de una ganancia (Gm) que se obtiene por medio de amplificadores de transconductancia (OTAs) y una capacitancia.

Un amplificador de transconductancia básico está compuesto por una fuente de corriente de polarización seguida de dos transistores de entrada NMOS que a partir de un valor diferencial de la tensión permiten obtener una corriente asociada.

En la Figura 3.4 se observa el diseño del OTA, el cual funciona como filtro pasa bajas, al añadir un capacitor a la salida. En este OTA se puede apreciar el par de entrada diferencial en los transistores M11 y M12 seguidos por el transistor M15 que funciona como fuente de corriente de polarización del circuito. Los transistores M13 y M14 funcionan como un espejo de corriente de carga, que permiten aumentar la resistencia de salida y así incrementar la ganancia.

Para definir el tamaño de los transistores, se pudo haber utilizado un largo de $0.13 \mu\text{m}$ por ser el mínimo que la tecnología permite y así construir un diseño de menor área, sin embargo con este valor no se obtiene una resistencia intrínseca constante e igual para cada transistor. Debido a esto, se determinó un largo de $0.5 \mu\text{m}$, con el cual se asegura una resistencia constante y la misma tensión de encendido de los transistores (V_{th} aproximadamente 0.3 V) [21].

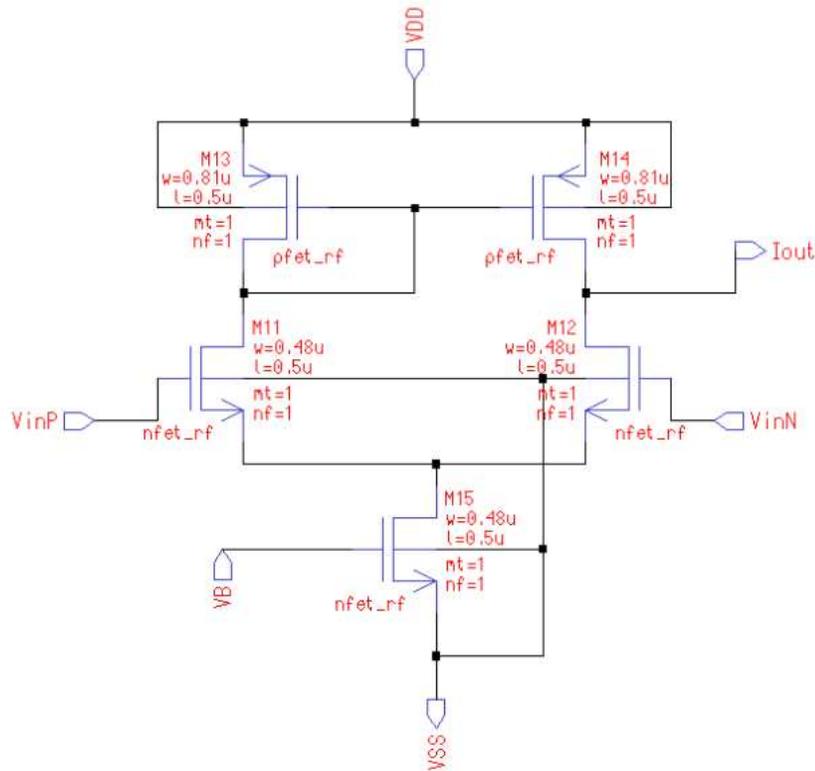


Figura 3.4: Diseño del OTA a nivel esquemático

En cuanto al valor de los anchos, se buscó y se verificó que los transistores trabajaran en la región de saturación, donde la corriente es independiente de la diferencia de tensión entre el drenaje y la fuente, debido a esto se intentó encontrar el ancho mínimo para que los transistores cumplieran con 2.19. Además fue necesario tomar en cuenta la simetría a la hora de diseñar, debido a que la corriente que fluye por M11 y M13 debe ser igual a la que pasa por la rama de M12 y M14 para cumplir con 2.16, por lo tanto, los transistores M11 y M12 que corresponden a la entrada de la señal y M13 y M14 que funcionan como cargas deben tener las mismas características respectivamente.

Con el criterio presentado en los párrafos anteriores, se realizó un diseño inicial y se fue depurando por medio de pruebas, con el fin de obtener la menor ganancia y frecuencia de corte posible. La variación de estos parámetros se vió afectada mayormente al modificar el tamaño del ancho del transistor M15, encargado de polarizar el circuito. Se identificó que al incrementar el ancho, se obtiene mejor resultado en la ganancia porque ésta disminuye, sin embargo, la frecuencia de corte aumenta. Por lo tanto, por medio de diferentes simulaciones se buscó mejorar estos parámetros tomando en cuenta que el valor de de salida presentara un offset de

600 mV, es decir la mitad de la tensión de alimentación, para impedir la saturación de la misma, ya que esta puede variar tanto positiva como negativamente.

En la Tabla 3.3 se definen los tamaños de los transistores y en la Tabla 3.4 se presentan las tensiones de entrada.

Transistor	W/L ($\mu\text{m}/\mu\text{m}$)
M11, M12, M15	0.48/0.5
M13, M14	0.81/0.5

Tabla 3.3: Tamaño de los transistores en el diseño del OTA

Tensión	V (V)
Vin (vcm)	0.6
VB	0.6

Tabla 3.4: Tensiones de entrada del OTA

En la Figura 3.5 se muestra el bloque que representa el símbolo de la etapa, donde se encuentra una la definición de las entradas y salidas del OTA, donde se presentan los puertos de alimentación VDD y VSS, la señal diferencial Vin y la salida Iout.

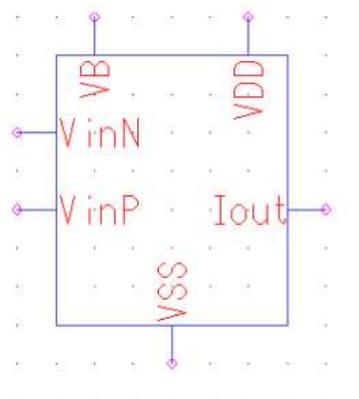


Figura 3.5: Entradas y salidas del OTA

Por medio del OTA se utilizaron dos configuraciones de filtros Gm-C. La primera es implementada como un seguidor de tensión por medio de un lazo de realimentación hacia la entrada

negativa del OTA como se observa en la Figura 3.6 y en la salida del mismo se utiliza un condensador en el orden de los nanoFaradios con el fin de obtener una frecuencia de corte baja. Esta configuración presenta una ganancia unitaria para bajas frecuencias, lo cual es factible ya que el mixer tiene una ganancia asociada, sin embargo debido al lazo de realimentación la entrada del filtro no es diferencial ya que solo es posible utilizar la entrada positiva y por lo tanto para su conexión con el mixer, éste solo debe usar su salida positiva.

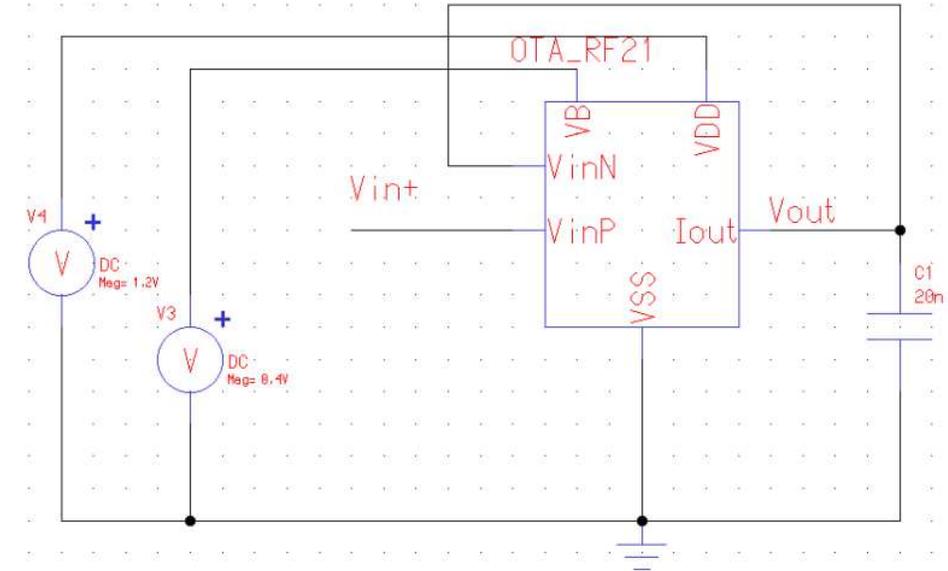


Figura 3.6: Configuración de Filtro Gm-C de primer orden

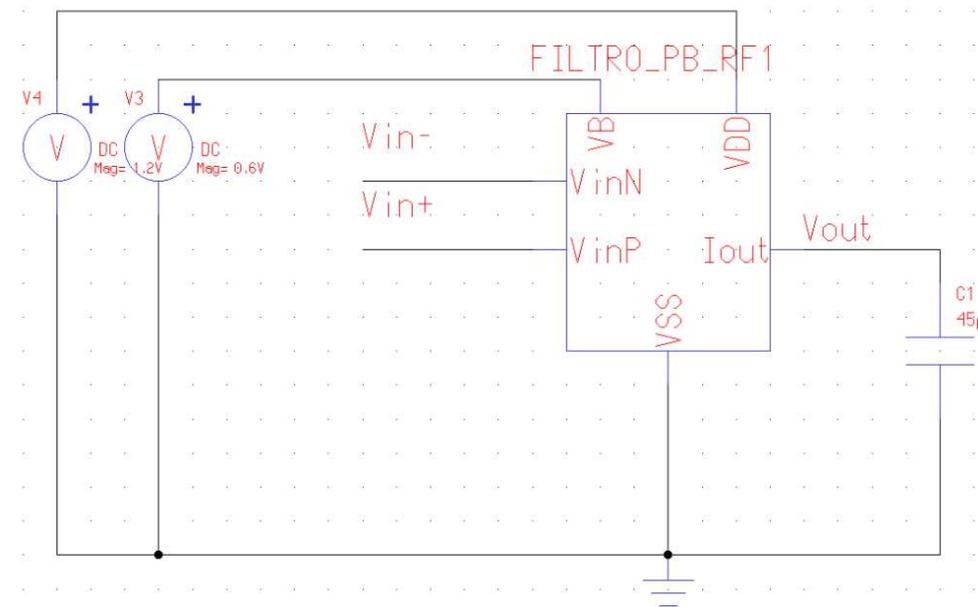


Figura 3.7: Configuración de Filtro Gm-C como integrador

Por otro lado, como se muestra en la Figura 3.7, también se implementó filtro Gm-C como integrador. En éste se elimina el lazo de realimentación de manera que su frecuencia de corte sea cero idealmente, sin embargo para que esto ocurra, es necesaria una capacitancia muy alta. No obstante en comparación con la configuración anterior, el integrador presenta una frecuencia de corte similar, con una capacitancia en el orden de los picoFaradios.

La segunda implementación presenta una ganancia de tensión, la cual se debe controlar para que no se llegue a saturar la tensión de salida. En ambos casos, el capacitor que se añade a la salida, permite controlar la frecuencia de corte, por lo que para el diseño se busca un nivel de capacitancia alto que permita filtrar la mayor cantidad de frecuencias.

También es posible utilizar arquitecturas de filtros de orden superior, sin embargo, sin embargo se obtuvo un mejor comportamiento con los de primer orden ya que, el tiempo de estabilización es mayor en filtros de orden superior.

3.2.3 Integración del PSD y el Filtro pasa-bajas

En esta fase de diseño se integró el mezclador de frecuencia con el filtro pasa-bajas, sin embargo este diseño se duplica para obtener la componente de CD, tanto en fase como en contrafase de la señal original. Como se observa en la Figura 3.8 los mezcladores funcionan como detectores sensibles a la fase (PSD), uno de estos funciona con una fase de referencia y el otro presenta un desfase de 90° con respecto al primero para obtener la multiplicación de las señales, tanto en fase como en cuadratura. Los filtros pasa-bajas se incorporan a la salida de los PSD, permitiendo recuperar un valor proporcional a la componente CD de la señal original.

En el diagrama anterior, se observan diferentes fuentes. Se presenta la fuente de alimentación de 1.2 V y las de polarización tanto para los mixers como para los filtros. Debido a que el sistema cuenta con entradas diferenciales, tanto la señal de entrada como las señales de referencia, se utilizó una fuente de CD para establecer la tensión de modo común para polarizar el transistor y dos fuentes senoidales con diferencia de fase de 180° .

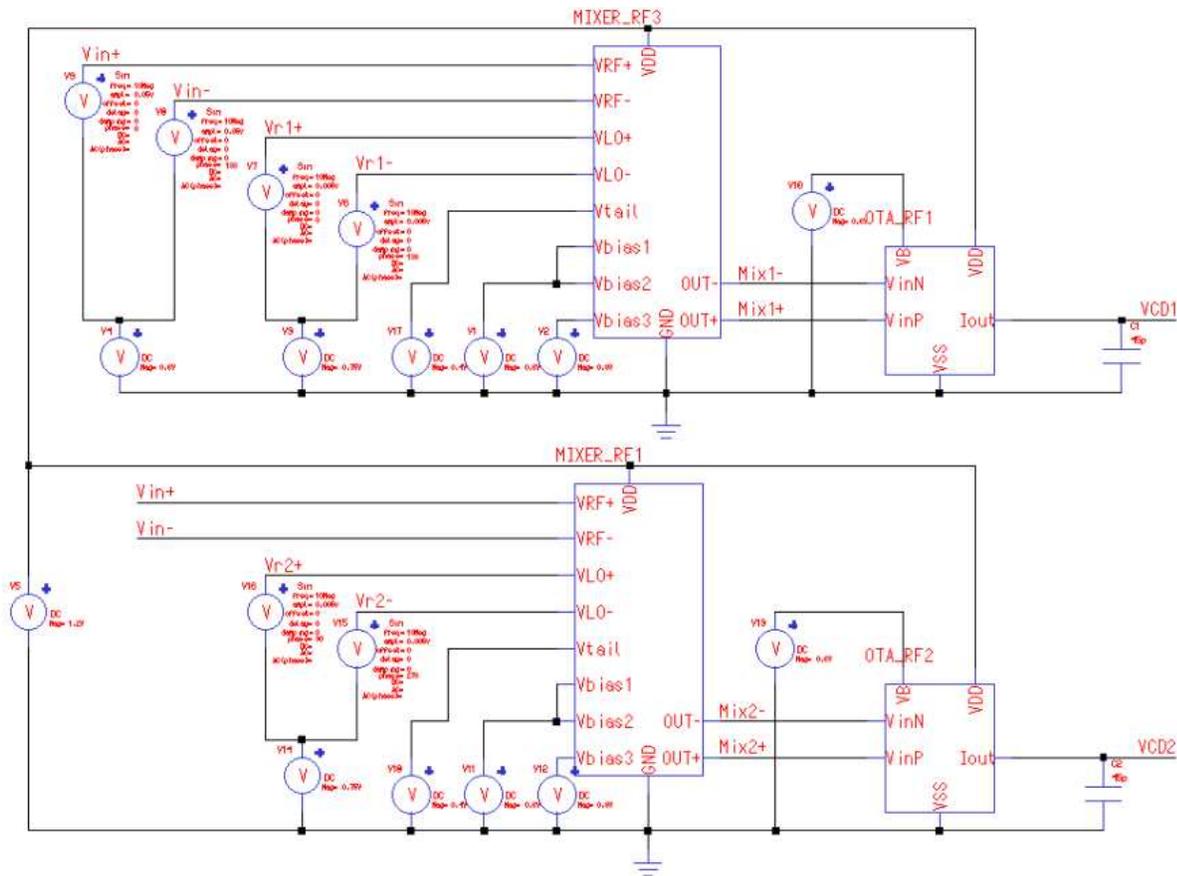


Figura 3.8: Implementación del amplificador Lock-in a nivel esquemático

3.3 Construcción del circuito a nivel físico

La construcción del modelo físico del LIA se llevó a cabo por medio de la Plataforma Pyxis de Mentor Graphics, donde se realizó el diseño del OTA para el filtro pasa-bajas y se integró con el Mixer.

Para efectuar el trazado del circuito se tomó el esquemático como referencia y se seleccionaron los diferentes componentes para importarlos a una interfaz a nivel físico donde se realizaron las conexiones internas por medio de diferentes capas de metales.

3.3.1 Diseño físico del PSD

En la Figura 3.9 se presenta el diseño físico del Mixer implementado en [11], el cual se toma como base para construir el LIA. Éste abarca un área de $30.5\mu\text{m} \times 32.1\mu\text{m}$, es decir de $979.05\mu\text{m}^2$.

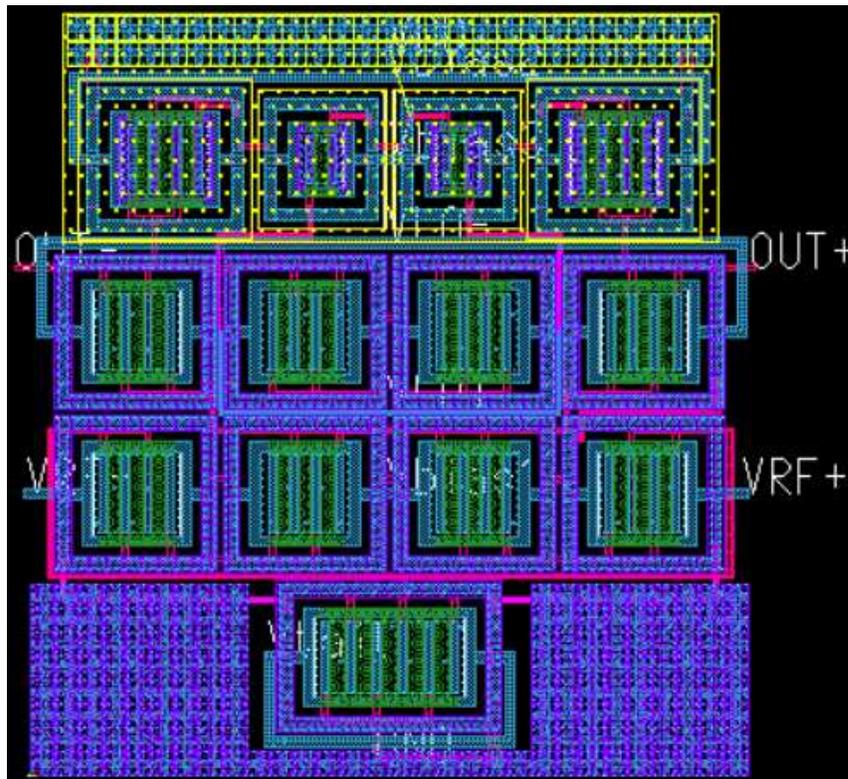


Figura 3.9: Diseño físico del Mixer [11]

Es un diseño simétrico en el cual, los transistores PMOS se encuentran en la etapa superior en un pozo de material tipo N. Debajo de estos, se colocan de manera ordenada, los pares diferenciales de transistores NMOS que tienen de entrada VLO, continuando con una fila donde están posicionados los transistores de polarización con V_{bias1} y los de entrada VRF. Por último en la parte inferior se encuentra el transistor de polarización con entrada Vtail.

Para un diseño físico más compacto, se disminuyó el ancho de los transistores por medio de copias de estos, en los cuales, las terminales de puerta, fuente y drenador, se encuentran conectadas respectivamente y cada transistor comparte difusiones para disminuir las capacitancias parásitas. De esta manera el ancho original se divide por el número de copias que se agreguen, lo que se conoce como partición de los transistores en ramas (fingers).

3.3.2 Diseño físico del OTA

El circuito físico del OTA es un diseño simple en el cual, se colocaron los transistores PMOS en la etapa superior, en el centro se encuentra el par diferencial para la señal V_{in} y en la parte

inferior se encuentra el transistor de polarización que permite controlar la corriente del circuito.

Figura 3.10 se muestra el diseño físico del OTA, en donde se pueden apreciar los 5 transistores utilizados. La mayoría de las conexiones realizadas se implementaron con Metal 2, ya que la complejidad del trazado no requirió la utilización de más capas de metal.

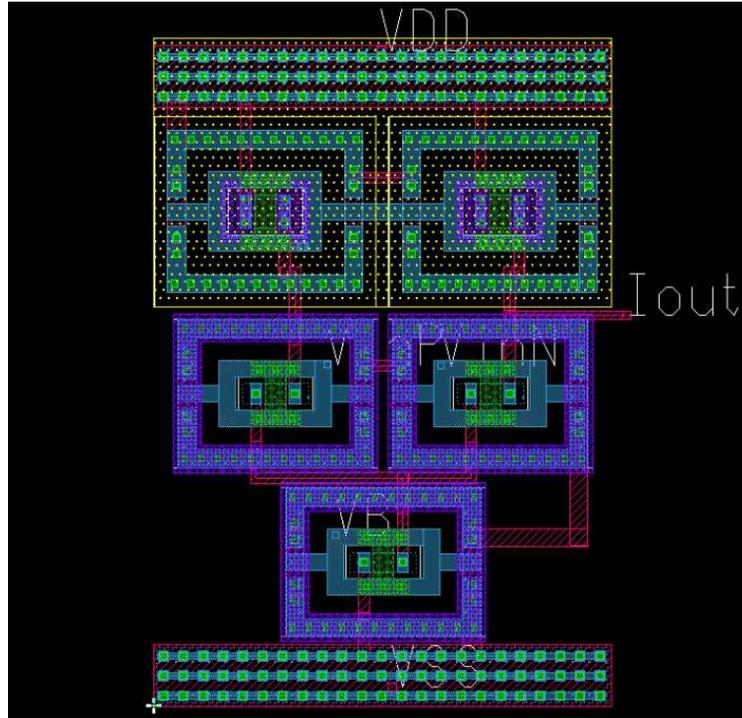


Figura 3.10: Diseño físico del OTA

Una vez terminado el trazado del circuito, se utilizaron las herramientas de Calibre para asegurarse del cumplimiento de las reglas de diseño (DRC) y la concordancia con el circuito esquemático (LVS).

3.3.3 Integración del PSD y el OTA

Para construir el LIA a nivel físico se buscó incorporar el pequeño circuito del OTA en el diseño físico del PSD.

Inicialmente se meditó la idea de añadir el OTA al lado derecho del PSD, sin embargo este diseño hubiera requerido trazar largas capas de metal para la interconexión de los módulos y el área se desperdiciaría, por la diferencia de tamaños de los circuitos. Analizando la simetría del PSD, se prefirió abrir un espacio en la parte superior central para incorporar el OTA, ya que de

esta manera la implementación sería más sencilla por la cercanía de los puertos de conexión.

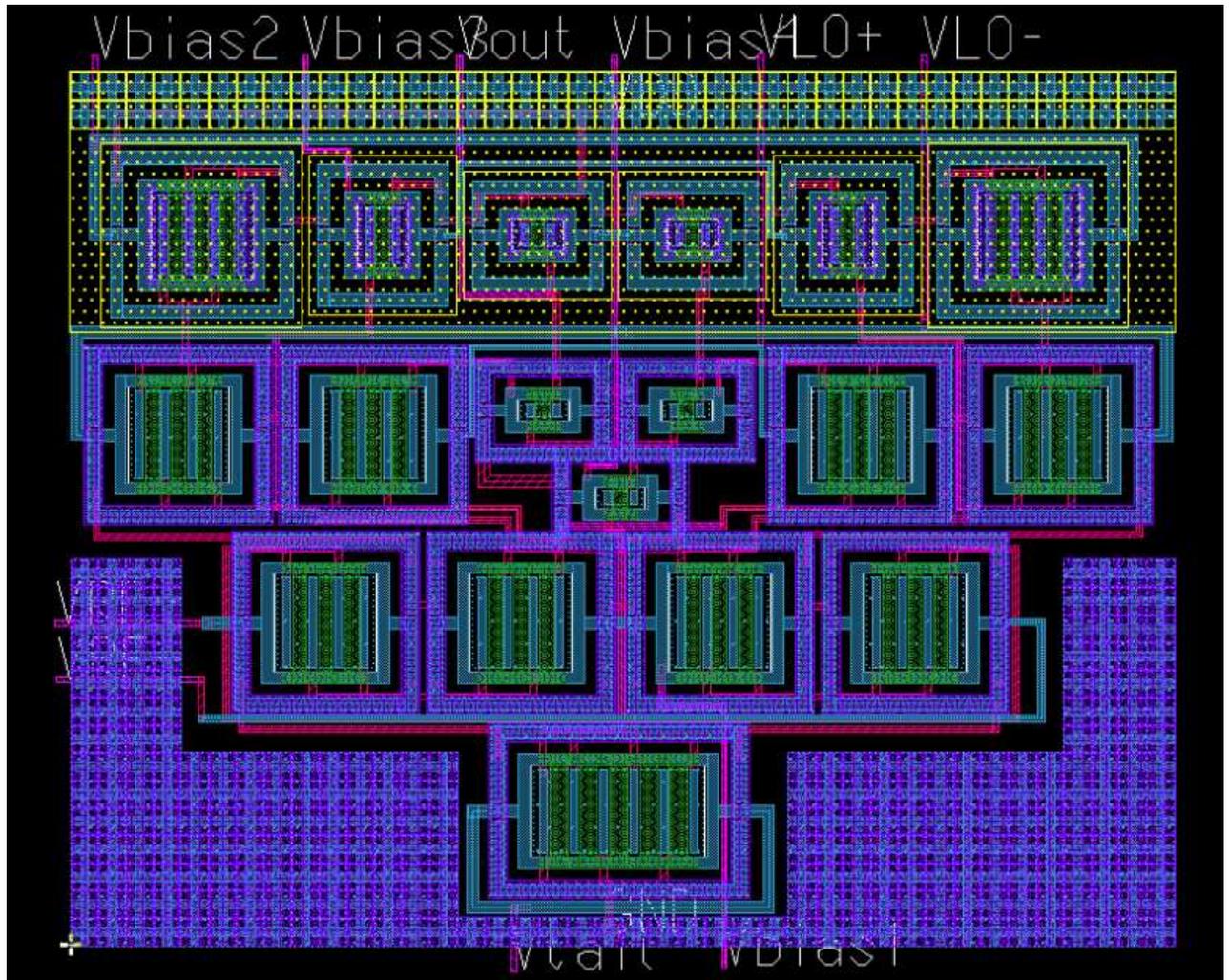


Figura 3.11: Diseño físico del LIA

En la Figura 3.11 se muestra el diseño físico del LIA, donde se puede apreciar que los puertos de entrada y salida se ubican bordeando el área del circuito. Los pines de la señal de entrada VRF+ y VRF- se encuentran a la izquierda, en la parte inferior se encuentran las tensiones de polarización Vtail y Vbias1, y en la parte superior se encuentran Vbias2, Vbias3, la salida Vout, Vbias 4 y los pines de entrada de la señal de referencia VLO+ y VLO-.

Las conexiones de los diferentes componentes, se implementaron en las capas M1, M2 y M3. Además es importante destacar que se evitó pasar capas metálicas por encima de las difusiones de los transistores para evitar problemas.

Para validar el trazado del circuito, se realizaron las pruebas para comprobar errores de DRC y LVS. Finalmente el área abarcada en la integración del PSD y el Filtro, fue de $35.2 \mu\text{m} \times 40.03$

μm .

En la Tabla 3.5 se definen los tamaños de los transistores implementados en el diseño físico del LIA y en la Tabla 3.6 se presentan las tensiones de entrada.

Transistor	W/L ($\mu\text{m}/\mu\text{m}$)
M1, M2, M7, M8	3.25/0.5 (3)
M3, M4, M5, M6	3.17/0.5 (3)
Mc1, Mc2	2/0.5
M9, M10	2.9/0.5 (3)
Mtail	3.03/0.65 (5)
M11, M12, M15	0.48/0.5
M13, M14	0.81/0.5

Tabla 3.5: Tamaño de los transistores en el diseño físico del LIA

Tensión	V (V)
VRF (vcm)	0.6
VLO (vcm)	0.75
Vtail	0.4
Vbias1, Vbias2	0.6
Vbias3	0.78
Vbias4	0.57

Tabla 3.6: Tensiones de entrada del LIA

Una decisión que se tomó en el transcurso del diseño del LIA, fue el hecho de implementar un condensador externo debido al gran área que puede abarcar un condensador con mayor capacitancia que proporcione una mejor frecuencia de corte. Por ejemplo en la Figura 3.12 se puede apreciar el aumento desproporcionado en el área del diseño físico del LIA con un condensador interno de 45 pF, ya que este presenta un área de $100 \mu\text{m} \times 100 \mu\text{m}$ y el área total sería de $135.2 \mu\text{m} \times 100 \mu\text{m}$.

Este tamaño es aceptable, ya que para implementar un condensador externo, es necesario reservar un espacio del mismo tamaño para agregar un pad, es decir, un área metálica destinada

a la conexión periférica con un dispositivo exterior. Sin embargo para que sistema maneje una frecuencia de corte más baja, permitiendo un mejor rendimiento, es necesario implementar un condensador en el orden de los nanoFaradios donde área de un condensador interno, puede sobrepasar los 4 mm^2 , es decir, el área permitida por fabricación académica.

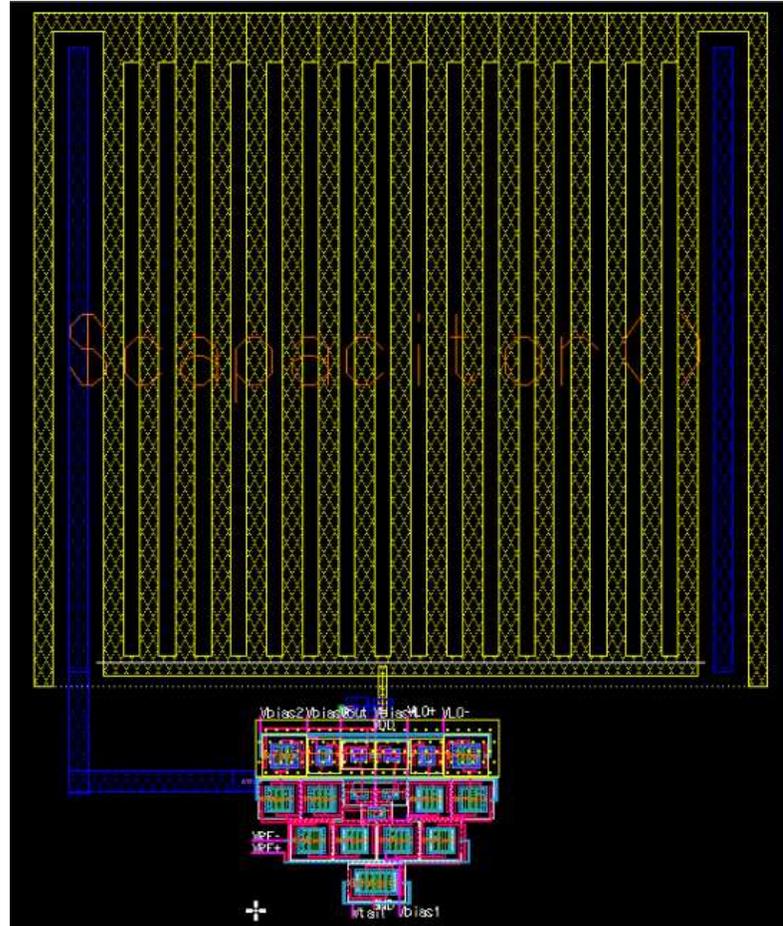


Figura 3.12: Diseño físico del LIA con un condensador interno de 45 pF

Capítulo 4

Resultados y análisis

En este capítulo se presentan los resultados obtenidos de las diferentes simulaciones realizadas al diseño del amplificador Lock-in. En la primera sección, se muestran los resultados del modelo construido en Verilog A, donde se analiza el funcionamiento básico del LIA. Seguidamente, en la segunda sección se encuentra todo el estudio del diseño del circuito a nivel esquemático, en el cual se expone el funcionamiento del mixer y del filtro pasa-bajas por separado, así como los resultados obtenidos del LIA en general para señales que varían de 10 mV a 100 mV en un rango de frecuencias de 0 a 10 GHz. También esta sección se presenta la caracterización del sistema y se analiza el comportamiento ante una entrada con desfase. En la sección 4.3 se presentan los resultados del LIA a nivel físico, los cuales se comparan con los obtenidos para el circuito esquemático. Además se documenta el consumo de potencia y el área abarcada.

4.1 Resultados del modelo en Verilog A

Para simular el amplificador Lock-in, se implementaron los módulos de una fuente de tensión senoidal, un sumador, multiplicador y un filtro pasa bajas. En la Figura 3.1 se puede apreciar que se utilizan dos módulos de fuentes senoidales, una para la señal de entrada V_{in} con una amplitud de 25 mV y una frecuencia de 5 MHz. La otra es una señal que representa el ruido con una amplitud de 60 mV y una frecuencia de 70 MHz. En la Figura 4.1 se observa la señal de entrada, el ruido y la suma de ambas, la cual pasa por dos multiplicadores, el primero con una señal de referencia de 1V de amplitud con la misma frecuencia de V_{in} y un desfase de 0° , y el

segundo con la misma amplitud y frecuencia pero con un desfase de 90° . A la salida de cada multiplicador se ubica el filtro pasa bajas con una frecuencia de 300 Hz.

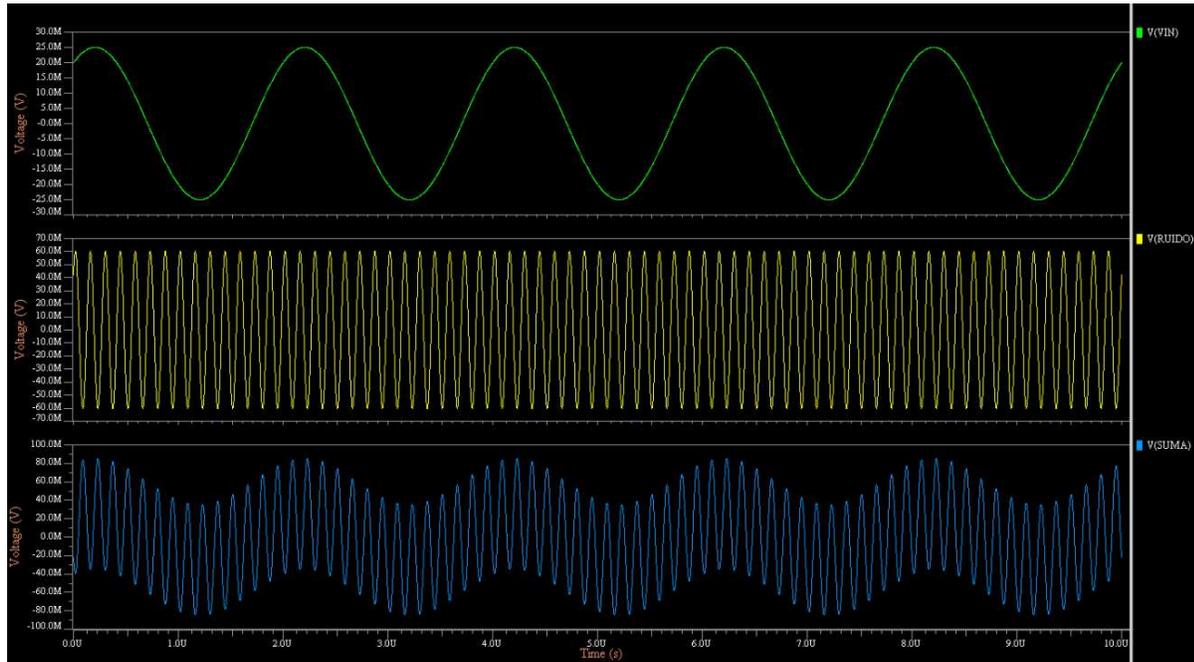


Figura 4.1: Señal de entrada, de ruido y la suma

Se realizaron diferentes simulaciones al modelo del LIA en Verilog A, en las cuales se varió, la frecuencia de entrada, la frecuencia de la señal de ruido y la frecuencia de corte de los filtros pasa bajas. Además se analizó el comportamiento utilizando filtros de primer y segundo orden.

Inicialmente se estableció un V_{in} de amplitud 25 mV con 5 MHz de frecuencia y un desfase de 53° , V_{RUIDO} con amplitud de 60 mV y 70 MHz de frecuencia, V_{Ref1} y V_{Ref2} con amplitud de 1 V, la misma frecuencia de V_{in} con un desfase de 0° y 90° respectivamente, y un filtro con una frecuencia de corte de 1 kHz. De acuerdo con (2.6) y (2.8), los valores teóricos de salida en este caso son $V_{CD1} = 7.5227$ mV y $V_{CD2} = 9.9829$ mV.

En las Figura 4.2 se muestra el resultado de la simulación, en la cual se presenta un comportamiento creciente para ambas salidas, sin embargo se llega a estabilizar aproximadamente al transcurrir 1 ms con los valores de $V_{CD1} = 7.5076$ mV y $V_{CD2} = 9.9222$ mV, los cuales presentan un porcentaje de error de 0.20% y 0.61%.

En la Figura 4.3, se disminuye la frecuencia de corte del filtro de 1 kHz a 300 Hz, el cual es mejor filtro porque lo que se desea es recuperar únicamente la componente de CD. A diferencia de la simulación anterior, en este caso la estabilización necesita cerca de 3.5 ms, sin embargo,

comparando con el resultado anterior, se garantiza una señal más limpia al utilizar un ancho de banda más reducido.

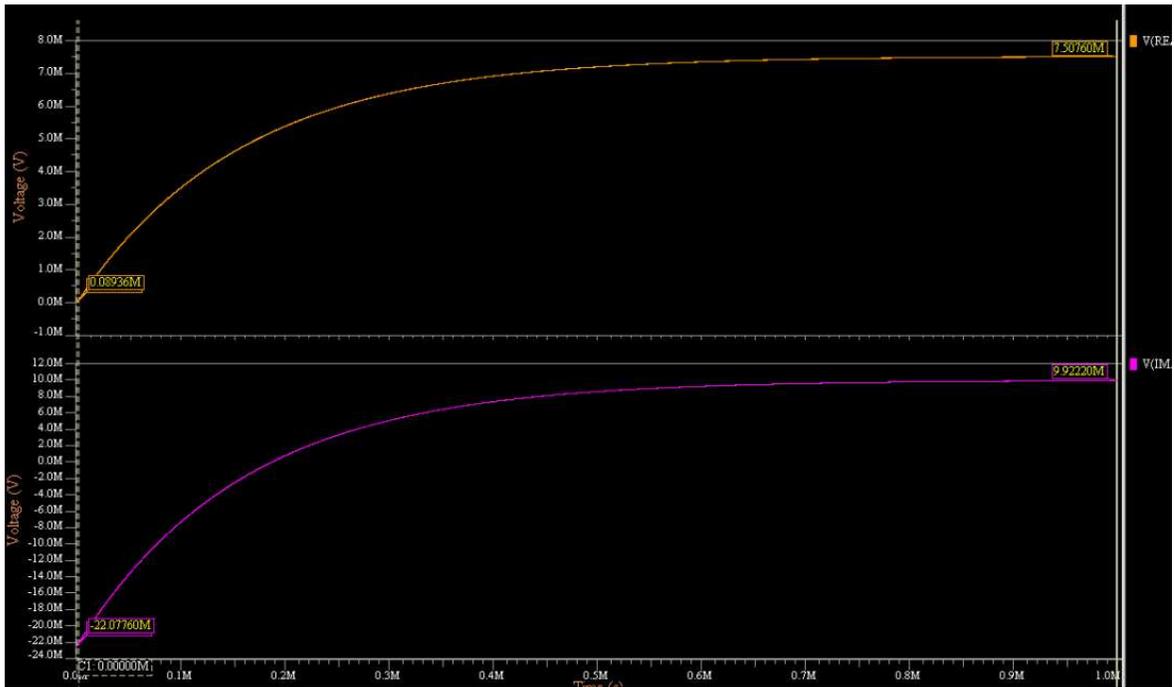


Figura 4.2: Simulación de VCD1 y VCD2 para un V_{in} de amplitud 25 mV y $f=5$ MHz, VRUIDO con amplitud de 60 mV y $f=70$ MHz, y un filtro con $f=1$ kHz

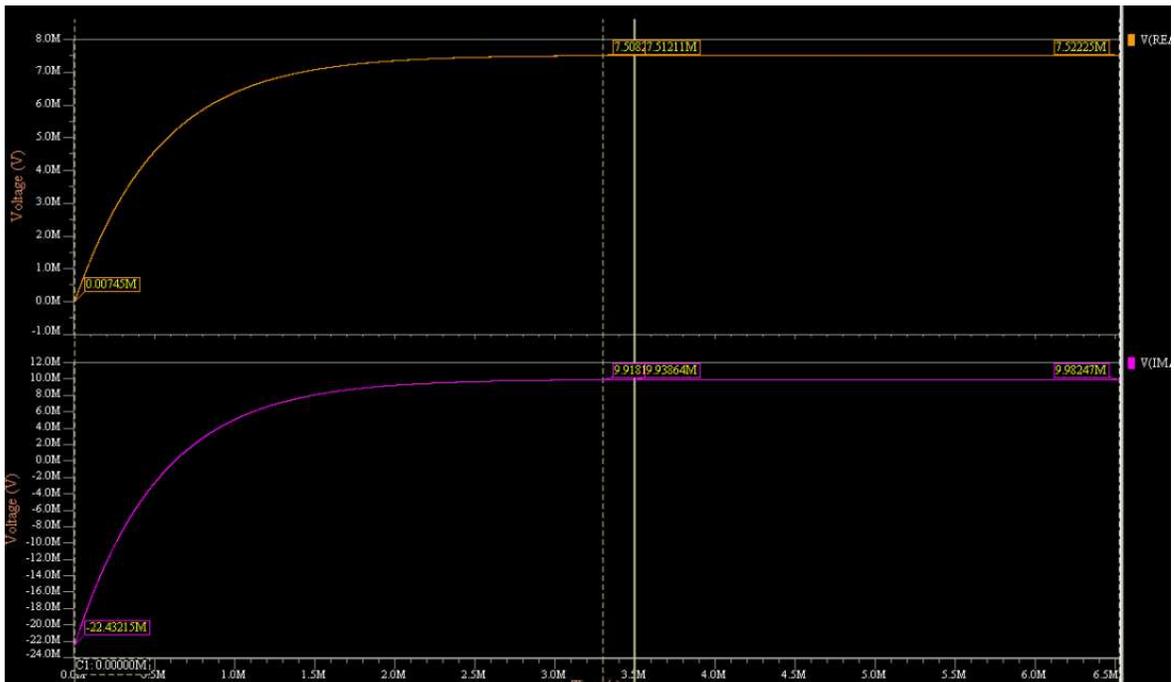


Figura 4.3: Simulación de VCD1 y VCD2 para un V_{in} de amplitud 25 mV y $f=5$ MHz, VRUIDO con amplitud de 60 mV y $f=7$ kHz, y un filtro con $f=300$ Hz

También se analizó el comportamiento variando la frecuencia desde el orden de los 7 kHz hasta los 10 GHz de la señal de ruido. En la Figura 4.4 se define con una frecuencia de 7 kHz. Las señales de salida continúan estabilizándose en 3.5 ms con valores aproximados a los teóricos con un error menor al 1%, por lo que se comprueba que el filtro pasa bajas de primer orden funciona para eliminar las componentes que dependen de la frecuencia.

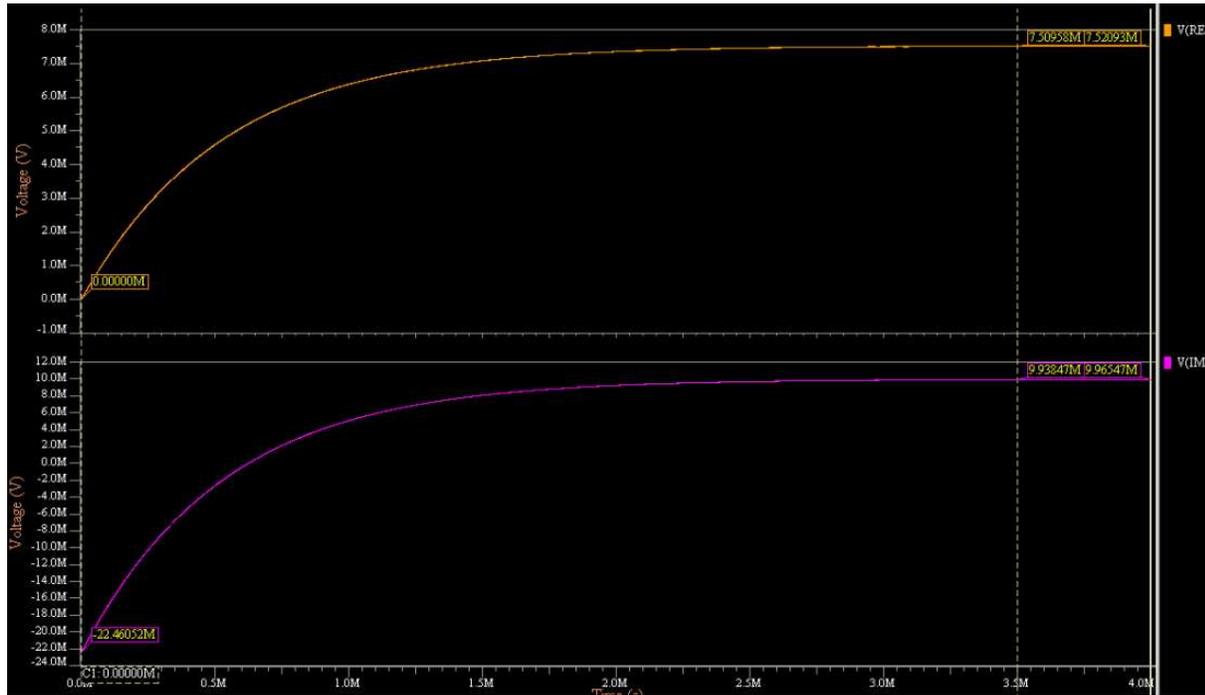


Figura 4.4: Simulación de VCD1 y VCD2 para un V_{in} de amplitud 25 mV y $f=5$ MHz, VRUIDO con amplitud de 60 mV y $f=7$ kHz, y un filtro con $f=300$ Hz

4.2 Resultados del circuito esquemático

Inicialmente se realizaron pruebas de funcionamiento independientes, tanto para el módulo del PSD como para el filtro pasa-bajas, para verificar el funcionamiento correcto y analizar la ganancia asociada, el ancho de banda y la tensión de modo común de cada uno.

4.2.1 Resultados del mezclador de frecuencias

Para las pruebas del Mixer se estableció una señal de entrada con amplitud de 20 mV y una señal de referencia de 100 mV, y se varió la frecuencia de ambas.

En la Figura 4.5 se muestra una simulación de PSD en donde se tiene que la señal de entrada y la de referencia tienen una frecuencia de 25 MHz y 50 MHz respectivamente. Se puede observar que la salida (azul) presenta un comportamiento similar al teórico (naranja) y se obtiene una ganancia de aproximada de 27 dB.

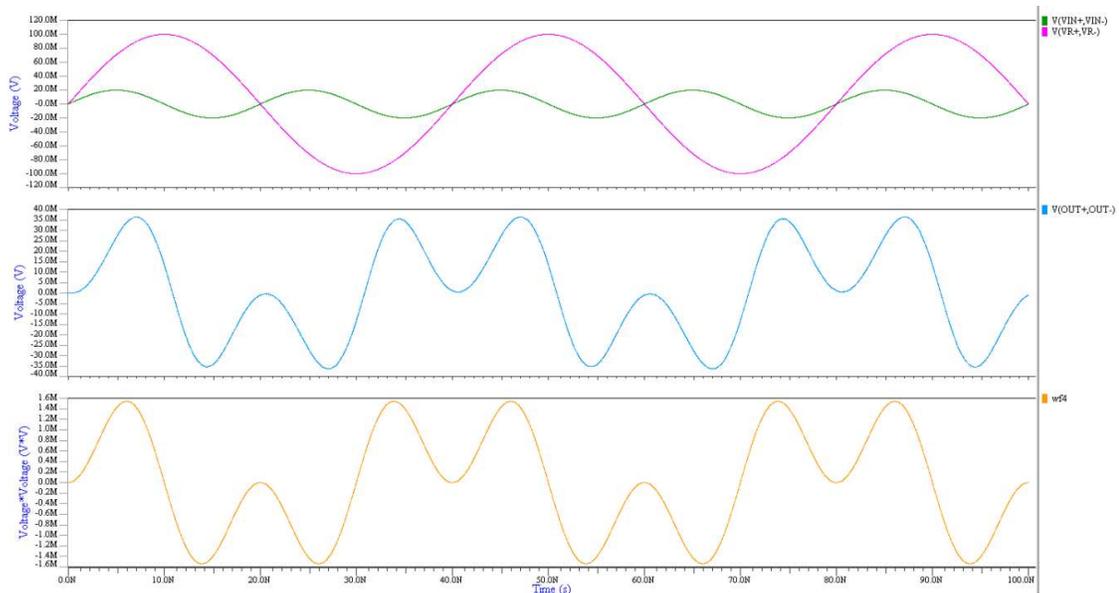


Figura 4.5: Simulación del PSD, para un V_{in} (verde) de amplitud 20 mV y $f=25$ MHz, V_R (rosa) con amplitud de 100 mV y $f=50$ MHz. El primer gráfico muestran las señales de entrada, el segundo y tercero, se observa el producto experimental (azul) y teórico (naranja) respectivamente

El análisis del funcionamiento del Mixer se continuó igualando las frecuencias de entradas, debido a que esto es necesario en el LIA. En la simulación de la Figura 4.6 se igualan las frecuencias a 50 MHz y se observa un comportamiento similar al anterior, donde la ganancia sigue teniendo un valor aproximado a 27 dBs con respecto al valor teórico.

Un cambio notable se puede apreciar en la simulación de la Figura 4.7, en la cual ambas señales se definieron a una frecuencia de 5 GHz. A la salida se tiene un comportamiento descendente que se estabiliza después de los 2 ns con un offset de 17 mV aproximadamente. Si se compara con las simulaciones anteriores, se encuentra una reducción de la ganancia considerable. Al comparar la salida con la señal teórica se percibe una ganancia unitaria aproximadamente.

El comportamiento del PSD analizado para diferentes casos, se encontró que éste presenta un ancho de banda limitado en el cual al aumentar la frecuencia, la ganancia disminuye y esta reducción es mayor en el orden de los GigaHertz. Al incrementar la frecuencia, también se

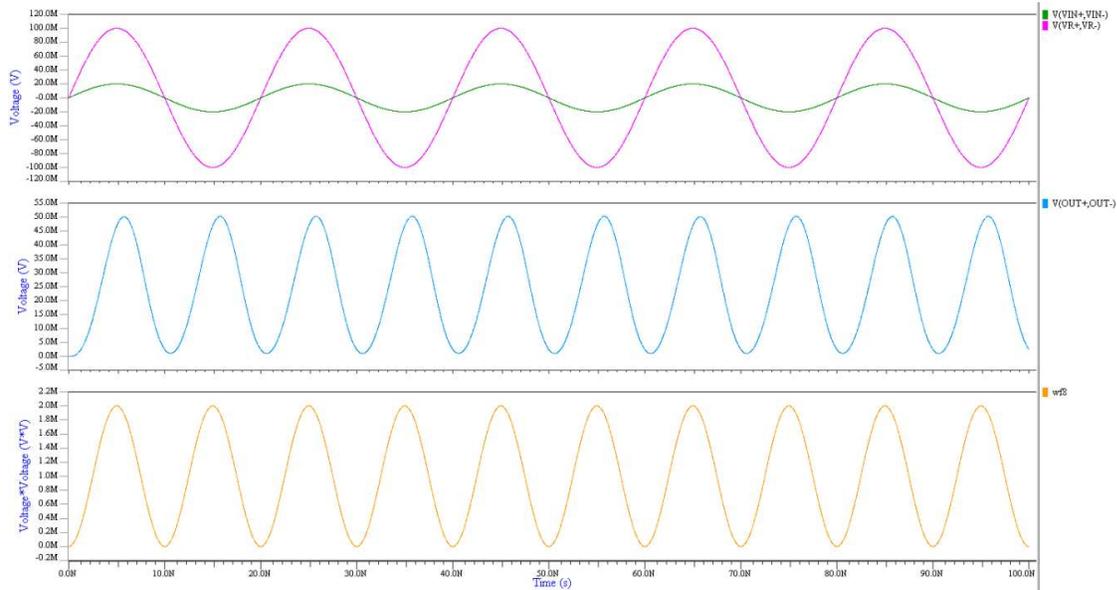


Figura 4.6: Simulación del PSD, para un V_{in} (verde) de amplitud 20 mV y $f=50$ MHz, V_R (rosa) con amplitud de 100 mV y $f=50$ MHz. El primer gráfico muestran las señales de entrada, el segundo y tercero, se observa el producto experimental (azul) y teórico (naranja) respectivamente

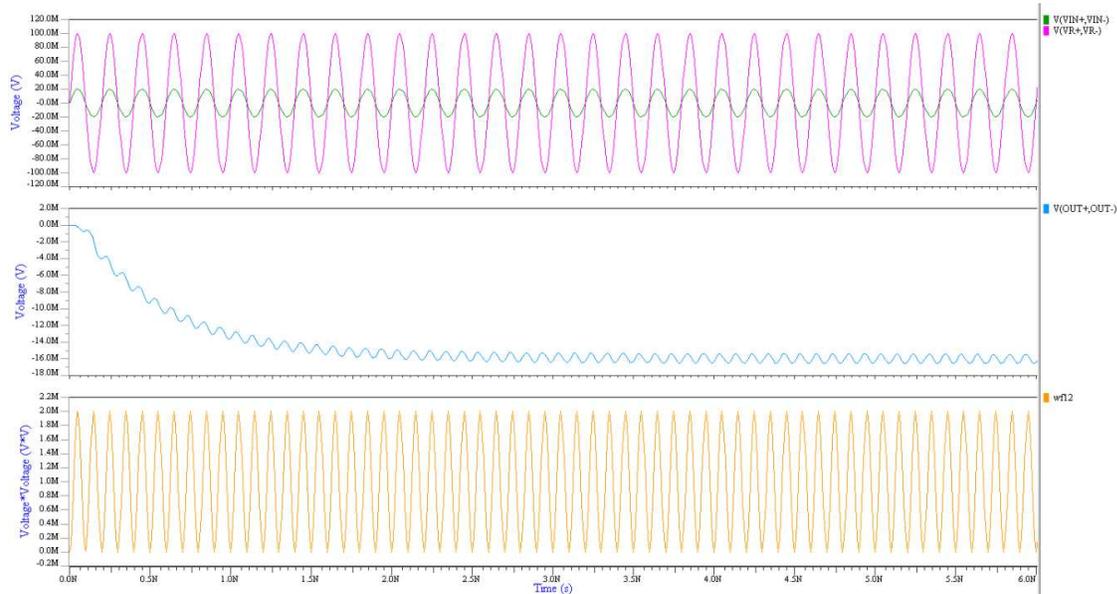


Figura 4.7: Simulación del PSD, para un V_{in} (verde) de amplitud 20 mV y $f=5$ GHz, V_R (rosa) con amplitud de 100 mV y $f=5$ GHz. El primer gráfico muestran las señales de entrada, el segundo y tercero, se observa el producto experimental (azul) y teórico (naranja) respectivamente

detectó la presencia de un offset de tensión, el cual aumenta positivamente hasta una frecuencia de 2 GHz. Después de esta frecuencia, la salida diferencial del módulo presenta un offset que

continúa incrementándose pero para valores negativos.

Es importante aclarar, que el rango de operación de los transistores definida por la fuente de alimentación, es de 0 a 1.2 V. En este caso se presentan valores de tensión negativos, debido a que la salida del mixer es diferencial, sin embargo ésta tiene una tensión positiva de modo común en 600 mV.

4.2.2 Resultados del filtro pasa-bajas

Se implementaron dos filtros Gm-C, el de primer orden de la Figura 3.6 y el integrador de la Figura 3.7.

En la Figura 4.8 se presenta la simulación de la función de transferencia del Filtro Gm-C de primer orden con una capacitancia de 45 pF, el cual presenta una ganancia de 24 dB para frecuencias menores a 20 kHz y se observa un decaimiento de la ganancia después de este punto. También se observa un cambio de fase negativo a partir de los 300 Hz, sin embargo, para el diseño del Lock-in, un desfase a la salida no afecta el funcionamiento del sistema, ya que lo que se busca es un nivel de CD.

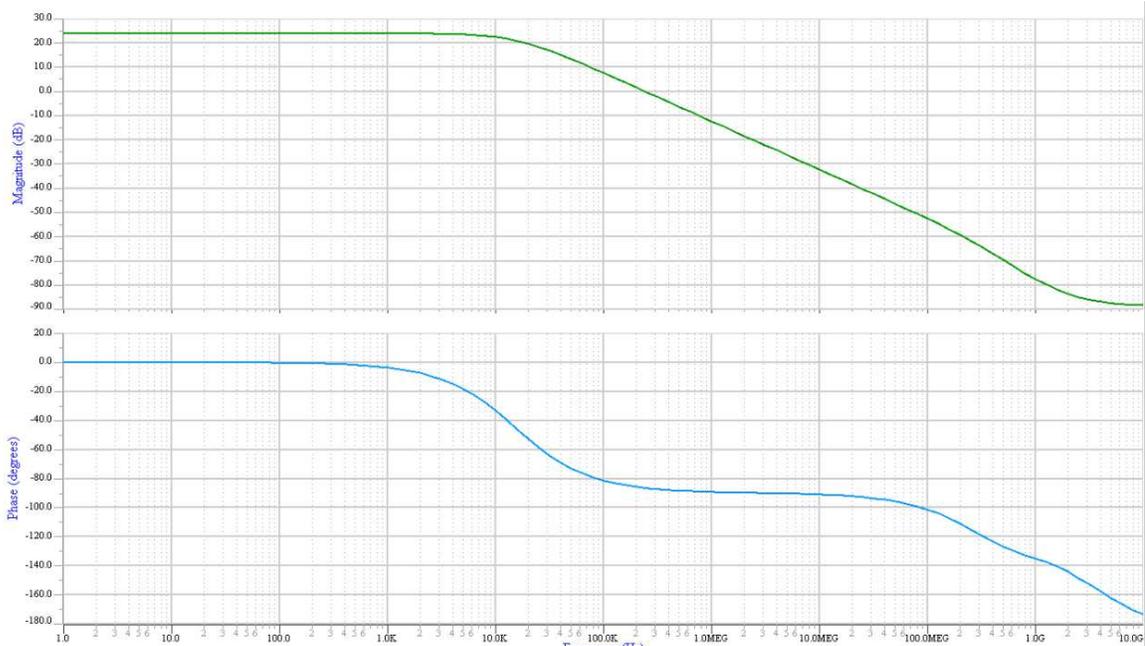


Figura 4.8: Simulación de la función de transferencia del filtro Gm-C de primer orden con una capacitancia de 45 pF

Por otro lado en la Figura 4.9, se presenta el resultado para el filtro Gm-C como integrador. Como en el caso anterior, se observa un cambio de fase pero es irrelevante para el diseño del LIA, lo que si es importante de visualizar es la ganancia unitaria que presenta esta segunda configuración, la cual, necesita una capacitancia de 20 nF para lograr una frecuencia de corte de 20 kHz.

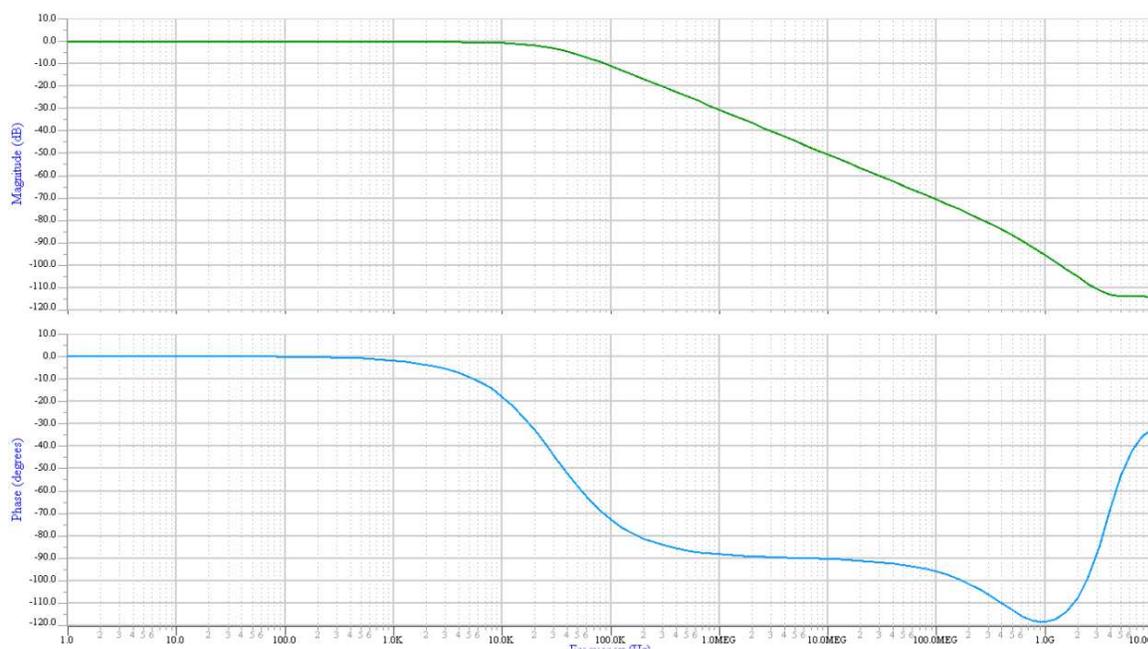


Figura 4.9: Simulación de la función de transferencia del filtro Gm-C como integrador con una capacitancia de 20 nF

En términos de capacitancia, la primera opción es la más adecuada ya que ocuparía una menor área la implementación del condensador, sin embargo al presentar una ganancia, se corre el riesgo de que la salida supere la tensión de alimentación del transistor y llegue a saturarse. Con una ganancia unitaria, esto no es un problema.

El filtro como integrador también presenta un inconveniente, la salida se realimenta a la entrada negativa, por lo que existe un conflicto de conexión con el Mixer, ya que la salida de este es diferencial y al utilizar solo un puerto del Mixer, se puede bajar el rendimiento del mismo. Por lo que es mejor utilizar el filtro Gm-C de primer orden para entradas pequeñas que no sobrepasen la tensión de alimentación (1.2 V) al aplicar una ganancia de 24 dB.

Ambos filtros se diseñaron para recibir una entrada en modo común de 600 mV, de la cual se obtiene una tensión de salida que inicia con un offset del mismo valor.

Además es importante destacar que la frecuencia de corte de 20 kHz sigue siendo muy grande para obtener solo el valor de CD de la señal. Es posible disminuir el valor de la frecuencia de corte si se emplean condensadores más altos, sin embargo, al realizar esto, el tiempo transitorio para lograr la estabilización de la señal aumenta y la herramienta Calibre de Mentor Graphics puede tardar semanas en concretar las simulaciones, por lo que para efectos de este trabajo, se define una frecuencia de corte de 20 kHz.

4.2.3 Resultados del LIA

Para validar el diseño del LIA presentado en la Sección 3.2, se inició simulando el comportamiento para una entrada con una frecuencia de 1 GHz y una amplitud de 100 mV, fijando valor de 10 mV para las señales de referencia, tanto para la de fase 0° como para presenta fase de 90° . Se elige un valor pequeño para la referencia, para evitar saturar el nivel de tensión de salida. En la Figura 4.10 se presenta el resultado obtenido de señales VCD1 y VCD2. Ambas señales parten de un valor inicial de 600 mV definido por la salida del filtro pasa-bajas, sin embargo este valor se mantiene cambiando por un tiempo transitorio aproximado de $70 \mu\text{s}$, donde $\text{VCD1} = 695.456 \text{ mV}$ y $\text{VCD2} = 487.887 \text{ mV}$. De acuerdo con 2.6 y con 2.8, teóricamente para una señal con un desfase de 0° , los valores calculados son $\text{VCD1} = 0.5 \text{ mV}$ y $\text{VCD2} = 0 \text{ V}$.

La diferencia entre los valores teóricos y los obtenidos con el diseño, es esperada ya que, tanto el Mixer como el filtro presentan una ganancia y además la salida del sistema tiene un offset en 600 mV, sin embargo, en la siguiente sección se documenta la caracterización del LIA realizada para recuperar el valor correcto de la entrada.

En la Figura 4.11 se realiza la misma simulación anterior con una frecuencia diferente de 3 GHz, y se obtienen los valores de $\text{VCD1} = 515.134 \text{ mV}$ y $\text{VCD2} = 482.4749 \text{ mV}$. Teóricamente el resultado debería ser el mismo ya que las amplitudes y los desfases de las señales de entrada no varían, sin embargo se encuentra una dependencia de la frecuencia en el resultado. A parte de eso, se observa que estos resultados se encuentran por debajo del valor inicial de 600 mV y debido a que la señal de entrada no tiene desfase, la multiplicación con la referencia de 0° siempre debe de generar un offset positivo, esto se traduce a un nivel de CD positivo a la salida del LIA. Lo mismo ocurre con la salida en contrafase, la cual, teóricamente debe generar un nivel de CD igual a cero, y en el caso de este diseño debe ser de 600 mV, pero esto no ocurre

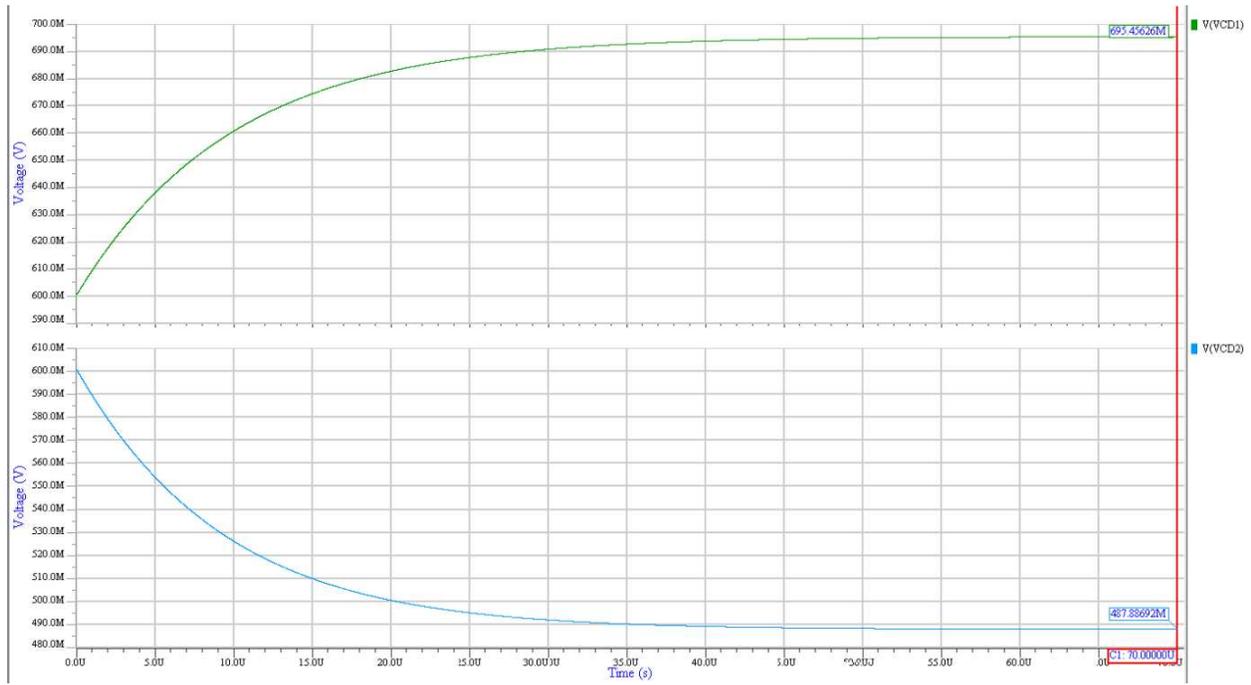


Figura 4.10: Simulación LIA a nivel esquemático para amplitudes de $V_{in}=100$ mV y $V_r=10$ mV a una frecuencia de 1 GHz

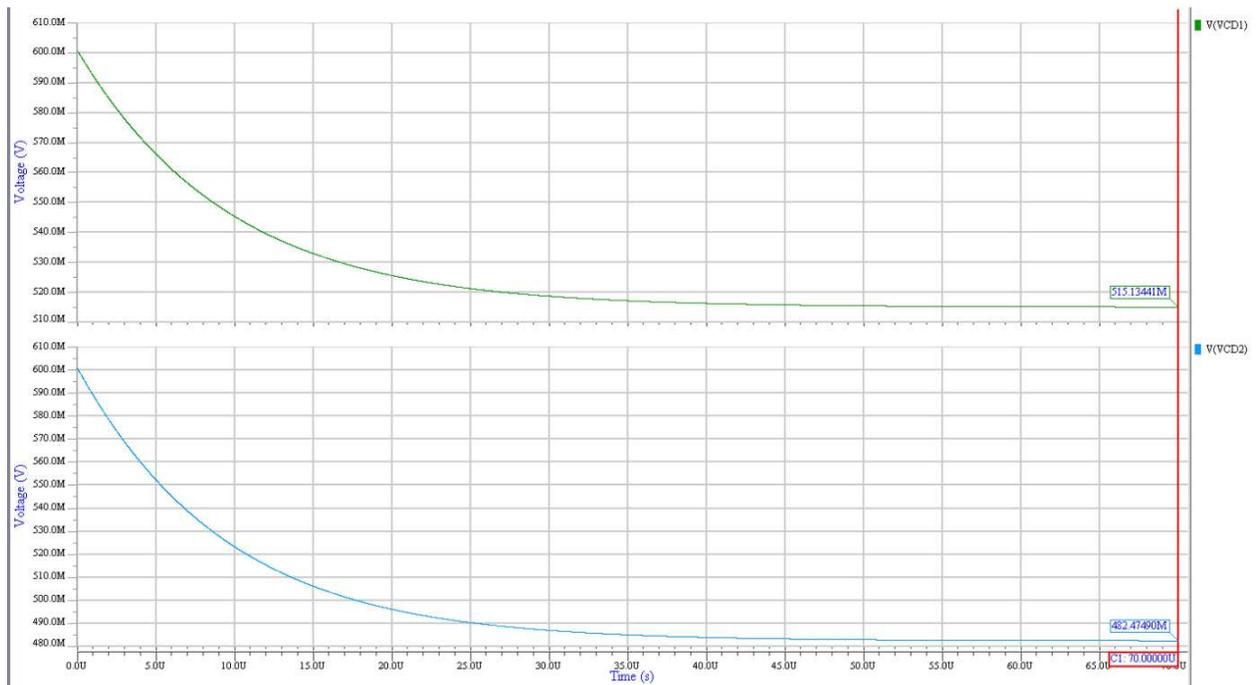


Figura 4.11: Simulación LIA a nivel esquemático para amplitudes de $V_{in}=100$ mV y $V_r=10$ mV a una frecuencia de 3 GHz

debido a que el PSD introduce un offset negativo al producto de las señales. En la Figura 4.12 se observa la salida de cada mixer tanto para el de fase 0° como para el de fase 90° .

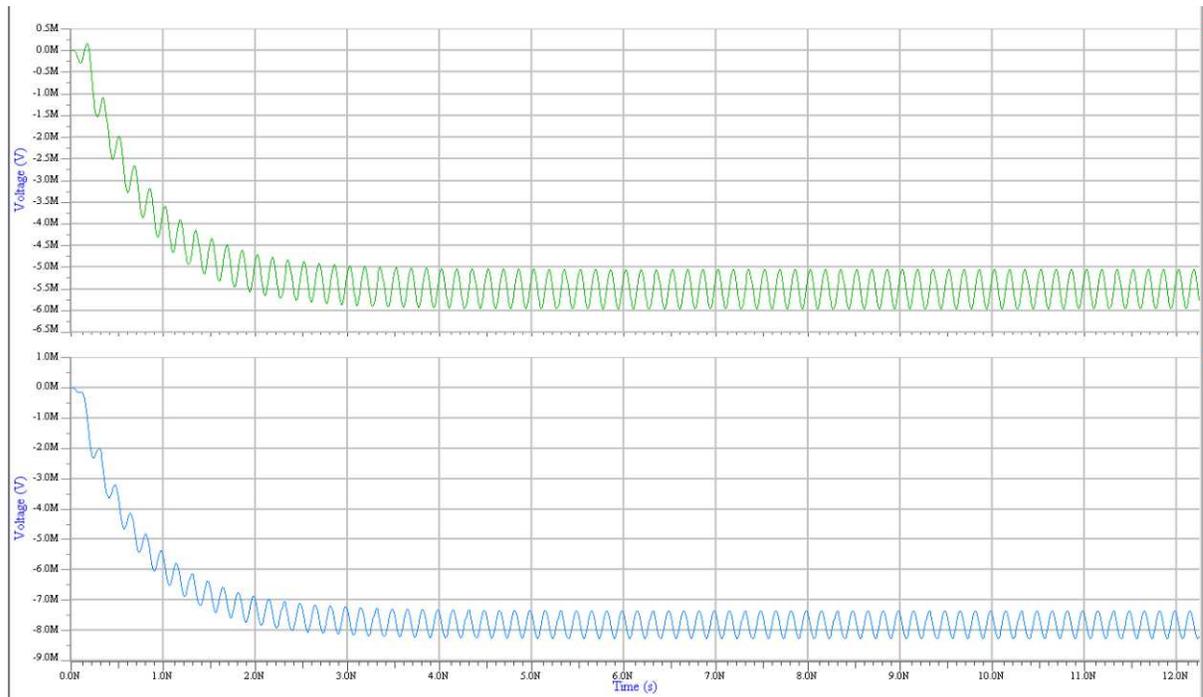


Figura 4.12: Simulación el producto de las señales para el PSD de fase 0° (verde) y el de fase 90° (azul) con $V_{in}=100$ mV y $V_r=10$ mV a una frecuencia de 3 GHz

Continuando con con el análisis del LIA, se realizaron simulaciones para comprobar su funcionamiento ante ambientes ruidosos. Para esto se utilizó la herramienta ELDO de Mentor Graphics.

La simulación a una frecuencia de 3 GHz, se realizó de nuevo, introduciendo ruido aleatorio en un rango de frecuencias de 3.5 GHz a 7 GHz, de manera que no afectara la frecuencia de operación. En la Figura 4.13 se presenta el resultado del producto de las señal de entrada afectadas por el ambiente ruidoso. Se encuentra gran diferencia entre estas señales al compararse esta imagen con la Figura 4.12, sin embargo el nivel de CD permanece intacto por lo que, lo necesario para lograr el funcionamiento correcto del LIA, es el filtrado de las componentes que dependen de la frecuencia.

En la Figura 4.14, se presenta el resultado del LIA después del filtrado de frecuencias, al compararse con la Figura 4.11, se observa que los valores de CD permanecen casi intactos, no varia ante el ruido introducido.

También se realizó la transformación de Fourier de la señal para analizar el comportamiento a nivel de frecuencias. En la Figura 4.15 se observa el espectro de frecuencias. Las señales de

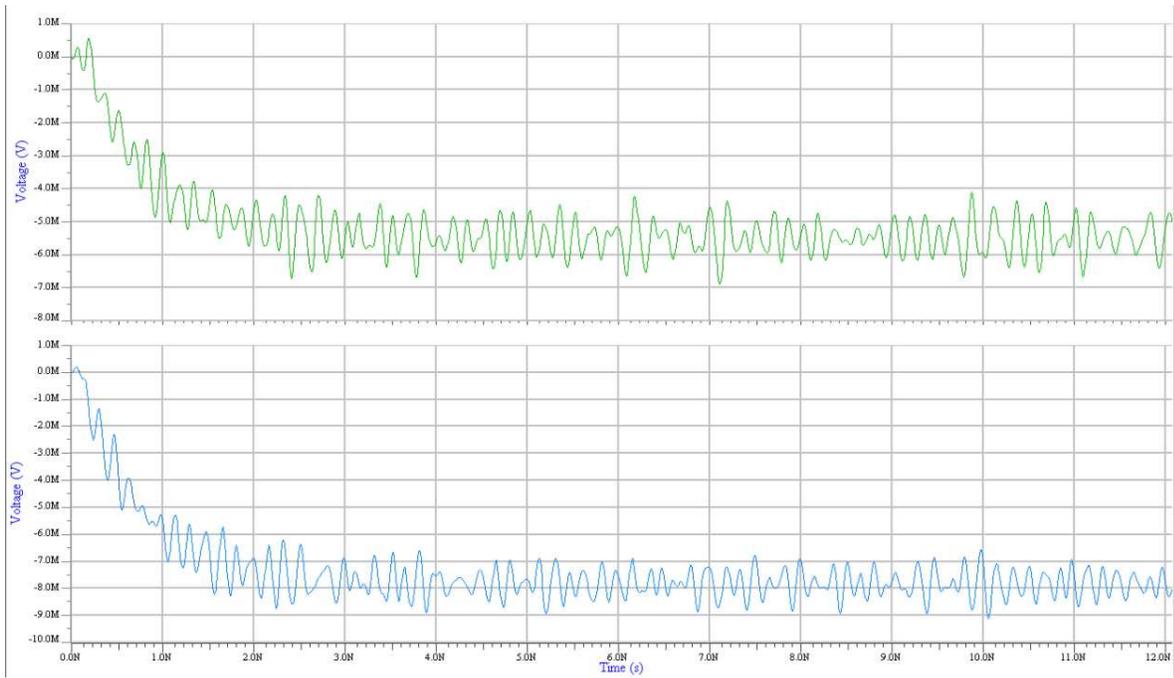


Figura 4.13: Simulación el producto de las señales para el PSD de fase 0° (verde) y el de fase 90° (azul) afectadas por ruido aleatorio de 3.5 GHz a 7 GHz, con $V_{in}=100$ mV y $V_r=10$ mV a una frecuencia de 3 GHz

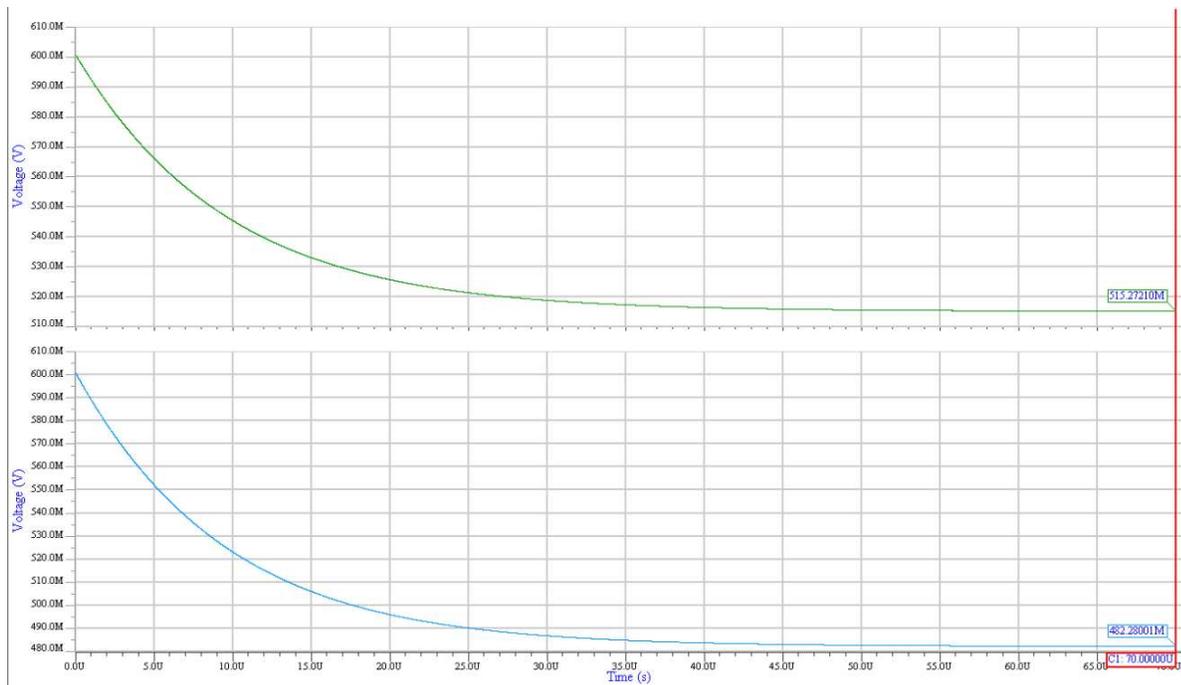


Figura 4.14: Simulación LIA a nivel esquemático para amplitudes de $V_{in}=100$ mV y $V_r=10$ mV a una frecuencia de 3 GHz, ante afectado por ruido aleatorio en el rango de 3.5 GHz a 7 GHz

color verde representan la salida del mixer con fase de 0° , antes y después de ser filtrada, y las señales de color azul corresponden al producto del mixer con fase de 90° y su respectivo valor filtrado.

En ambos casos se percibe el ruido en el rango de frecuencias de 3.5 GHz a 7 GHz como armónicos aleatorios y el valor de CD se presenta como un armónico en la frecuencia cero con una ganancia de aproximada -55 dBs, sin embargo la señal después de ser filtrada presenta una ganancia de -5 dBs para la frecuencia cero y se observa que para los demás armónicos, la ganancia no supera los -80 dBs, por lo que se comprueba el funcionamiento del amplificador Lock-in, al recuperar el valor de CD de la señal y atenuar las señales que dependen de la frecuencia.

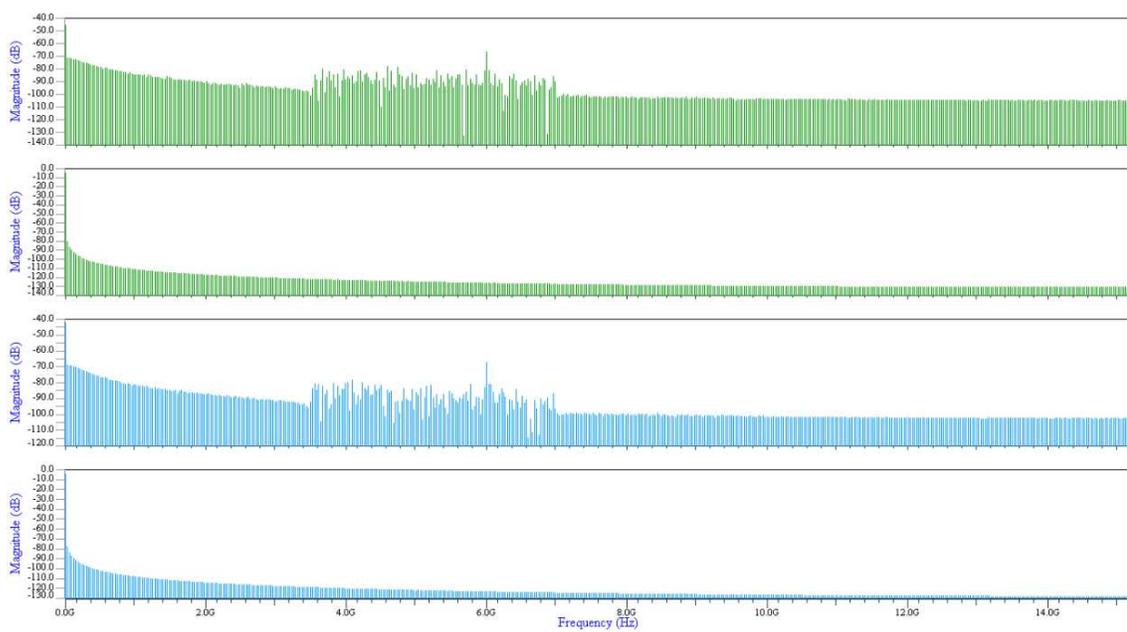


Figura 4.15: Espectro de Fourier para la simulación LIA a nivel esquemático para amplitudes de $V_{in}=100$ mV y $V_r=10$ mV a una frecuencia de 3 GHz, ante afectado por ruido en el rango de 3.5 GHz a 7 GHz

4.2.4 Caracterización del LIA

Debido a los problemas de los circuitos en alta frecuencia, se buscó analizar el comportamiento del sistema ante la variación de la frecuencia, por lo que se definió una amplitud constante tanto para la señal de entrada como para la referencia y se aplicó un barrido de 0 a 10 GHz. Luego se

procedió generar el barrido de frecuencias para diferentes amplitudes de entrada.

Con este análisis se pretende realizar una calibración del sistema necesaria debido a que en alta frecuencia los parámetros de ganancia y fase del circuito, son variables, así que no se puede definir un factor constante para relacionar los datos obtenidos para una señal de entrada con cualquier amplitud y frecuencia. También es importante destacar, que si el circuito se llegara a fabricar, se debe realizar nuevamente la caracterización del dispositivo físico para poder utilizar el sistema.

En la Figura 4.16 se presentan los resultados del LIA para una señal de entrada en fase con amplitudes del 10 mV a 100 mV utilizando una amplitud de referencia de 10 mV. Para la salida VCD1 se observa que en todos los casos, la amplitud inicia decayendo rápidamente con el aumento de frecuencia, sin embargo cerca de los 5 GHz comienza incrementar lentamente. Este comportamiento se debe a la variación en la fase de las señales y en la ganancia del mixer, conforme la frecuencia aumenta. También se puede apreciar un punto de transición en aproximadamente 2 GHz, donde todas las curvas pasan por el mismo punto el cual corresponde al valor inicial de 600 mV. A partir de este punto, se produce un incremento negativo de amplitud, pero se mantiene una proporción entre las diferentes curvas.

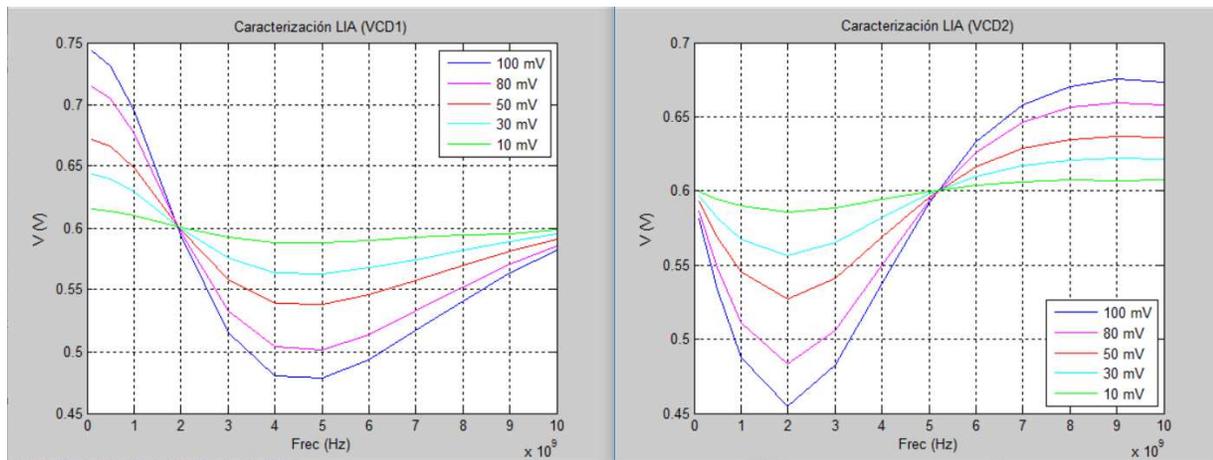


Figura 4.16: Barrido de frecuencia del LIA de 0 a 10 GHz para diferentes amplitudes de entrada

Con la señal VCD2 ocurre un comportamiento similar con respecto al punto de transición y a la proporción entre los diferentes casos, pero para el resultado en contrafase, se inicia con una reducción de la amplitud con respecto a la frecuencia, donde en 2 GHz comienza a aumentar y luego en 8 GHz empieza a decaer nuevamente, pero de forma lenta. En 5 GHz se encuentra el punto de intersección de las curvas.

Debido a las irregularidades encontradas en el barrido de frecuencias, se realizó un gráfico presentado por la Figura 4.17 en el cual se analiza para distintas frecuencias, la relación entre la amplitud de la tensión de entrada y la salida en fase del sistema. Los resultados para la señal en contra fase, no se grafican, ya que al recibir una entrada en fase, estos corresponden a la entrada multiplicada por seno de 90° , lo cual equivale a cero para las distintas amplitudes, sin embargo si se obtienen valores diferentes para la salida en contra fase. En la ilustración se puede apreciar la linealidad de las curvas.

Estas parecen ser líneas rectas con una pendiente definida, lo cual beneficia el comportamiento del LIA, que permite relacionar el resultado con su la tensión inicial por medio de la ecuación de una recta. Para verificar la linealidad, se aplicó la regresión lineal a estas curvas y se obtuvo el coeficiente de correlación.

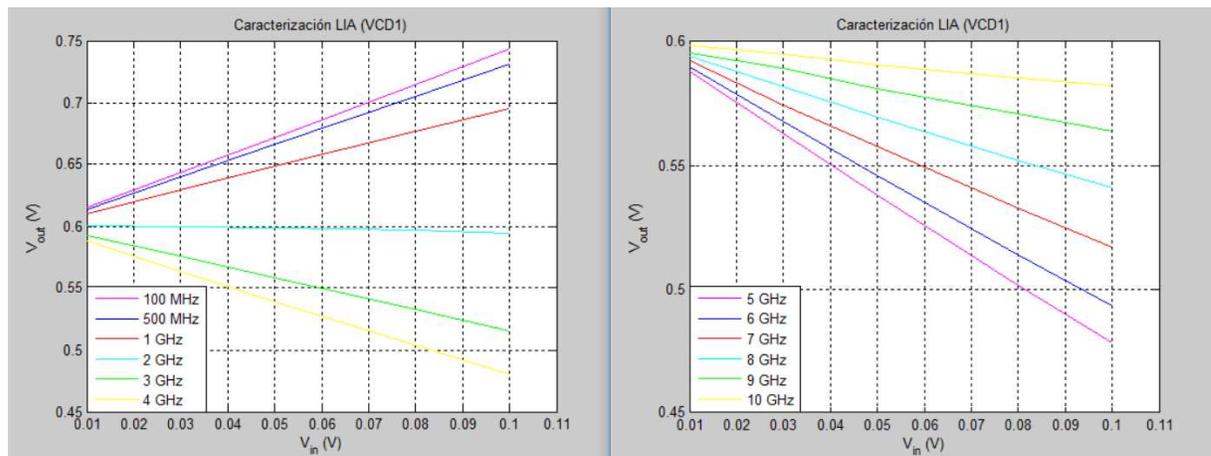


Figura 4.17: Razón de la señal de salida VCD1 del LIA con respecto a la entrada, para diferentes frecuencias

En la Figura 4.18 se presenta un ejemplo de regresión lineal para la frecuencia de 1 GHz donde los puntos rojos representan mediciones de la señal para diferentes amplitudes de entrada y se observa lo cerca que se encuentran la línea recta que los separa, con un factor de correlación de 0.999981.

En la Tabla 4.1 se recopila la información acerca los factores de correlación, la pendiente y el punto de intersección en el eje Y obtenidos para cada caso de frecuencia.

Recordando lo expuesto en la Sección 2.2, se utiliza un modelo de Amplificador Lock-in en cuadratura para eliminar la dependencia de fase. Para lograr esto, a los resultados anteriores

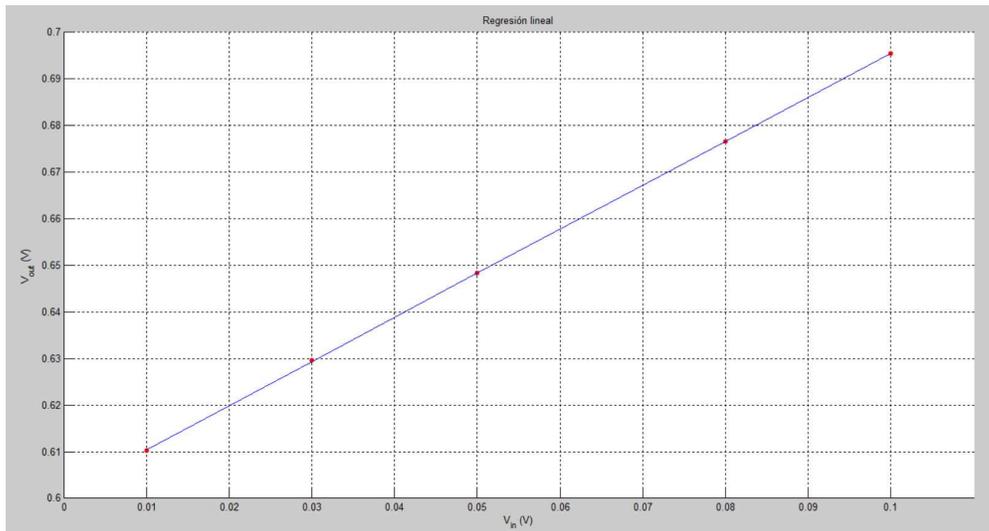


Figura 4.18: Representación de la regresión lineal para la razón de la amplitud de salida VCD1 con respecto a la entrada, para la frecuencia de 1 GHz

Frecuencia	Factor de Correlación	Pendiente	Intersección (y)
100 MHz	0.999996	1.4269	0.6006
500 MHz	0.999999	1.2987	0.6009
1 GHz	0.999981	0.9455	0.6010
2 GHz	0.968987	-0.0652	0.6017
3 GHz	0.999968	-0.8594	0.6012
4 GHz	0.999921	-1.2052	0.6001
5 GHz	0.999867	-1.2196	0.5995
6 GHz	0.999800	-1.0735	0.6000
7 GHz	0.999596	-0.8359	0.5999
8 GHz	0.999653	-0.5917	0.5997
9 GHz	0.998494	-0.3561	0.5993
10 GHz	0.997585	-0.1839	0.6001

Tabla 4.1: Resultados de la regresión lineal aplicada a las curvas de VCD1 de la Figura 4.17

se les aplicó la ecuación 2.11 para obtener el comportamiento de las curvas independiente de la fase. Esta fórmula matemática se modificó ligeramente, debido al offset de 600 mV que presenta el circuito. Por lo que inicialmente, se restó este valor tanto a la salida VCD1 como a VCD2, luego se aplicó la fórmula y finalmente se sumó este offset al resultado.

En la Figura 4.19, se observa gran similitud en la pendiente de las curvas para las frecuencias menores de 4 GHz, al contrario del análisis anterior donde se presentó una variación desde 1.4269 a -0.8594 entre las pendientes de 100 MHz y 3 GHz respectivamente. Conforme aumenta la frecuencia se percibe una separación entre los diferentes casos, sin embargo el comportamiento mejora, debido a que se obtienen sólo pendientes positivas y con menor variación.

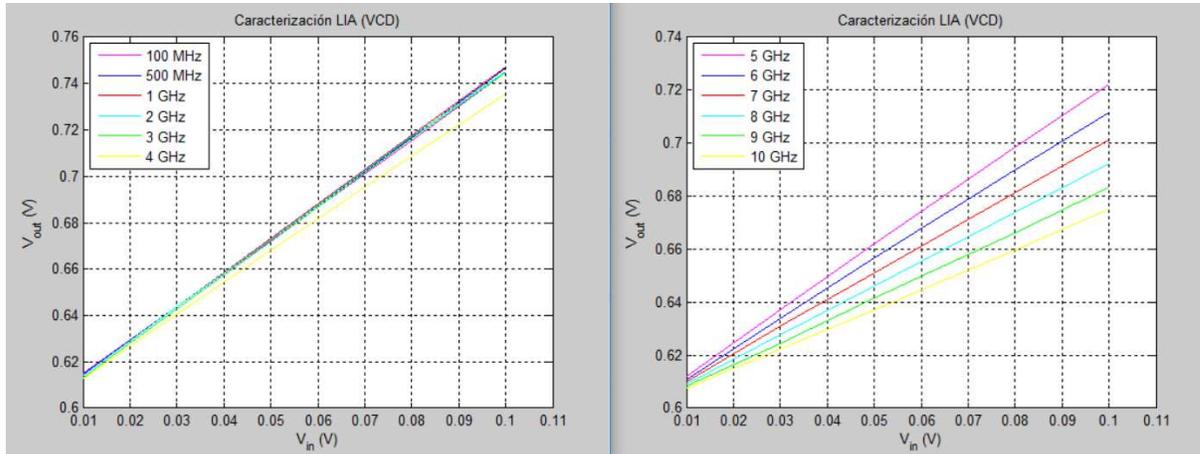


Figura 4.19: Razón de la magnitud VCD obtenida de las señales de salida VCD1 y VCD2 del LIA con respecto a la entrada, para diferentes frecuencias

Otro aspecto importante a destacar, es que el sistema continúa presentando un alto nivel de linealidad, en la Tabla 4.2 se muestran los valores de correlación obtenidos, donde el más bajo es de 0.999867, se recopila la información pertinente acerca de la pendiente y el punto de intersección con el eje resultante para cada frecuencia.

También se realizaron pruebas utilizando la configuración de filtro Gm-C de primer orden para comparar los resultados obtenidos con la configuración como integrador en busca de mejorar funcionamiento del sistema, en el Apéndice C se puede encontrar la información acerca de los resultados de esta implementación. En la Figura C.1 se presenta el barrido de frecuencias, y en la Figura C.2, se muestra la relación entre las amplitudes de entrada y salida. Por último en la Figura C.3 se grafican las curvas obtenidas a partir de la magnitud de las salidas. Sin embargo se obtuvo menor linealidad y es necesario implementar una amplitud de referencia de 100 mV para obtener una ganancia similar, por lo que este diseño fue descartado.

Frecuencia	Factor de Correlación	Pendiente	Intersección (y)
100 MHz	0.999987	1.4404	0.6004
500 MHz	0.999968	1.4626	0.5999
1 GHz	0.999985	1.4753	0.5995
2 GHz	0.999965	1.4610	0.5997
3 GHz	0.999994	1.4615	0.5989
4 GHz	0.999954	1.3594	0.5997
5 GHz	0.999867	1.2223	0.6004
6 GHz	0.999887	1.1215	0.6000
7 GHz	0.999925	1.0128	0.6002
8 GHz	0.999988	0.9216	0.6000
9 GHz	0.999922	0.8324	0.5998
10 GHz	0.999917	0.74935	0.5999

Tabla 4.2: Resultados de la regresión lineal aplicada a las curvas de VCD de la Figura 4.19

4.2.5 Análisis del desfase en la señal de entrada

Para verificar el comportamiento del LIA ante una señal de entrada con desfase, se realizó una prueba a una frecuencia de 500 MHz en la cual, se trazó la misma curva que relaciona las salidas del circuito con su entrada, pero esta vez se definió una variación de fase con un intervalo de 45° . En la Figura 4.20 se presentan los resultados tanto para la salida en fase, como en contra fase.

En este gráfico se representa cada caso de desfase con un color diferente, de manera que la línea azul representa la fase de referencia 0° de la señal de entrada. Ésta es la misma curva obtenida en la caracterización anterior para la la frecuencia de 500 MHz, la cual, según la Tabla 4.2, la salida en fase presenta una pendiente de 1.2987, y al obtener la magnitud del vector formado por esta señal y su complemento en contra fase VCD2, se obtiene un resultado con una pendiente de 1.4625.

De acuerdo con el análisis matemático, al aplicar la ecuación 2.11 e independientemente del desfase que presente la señal de entrada, el resultado debe ser siempre el mismo, por lo que

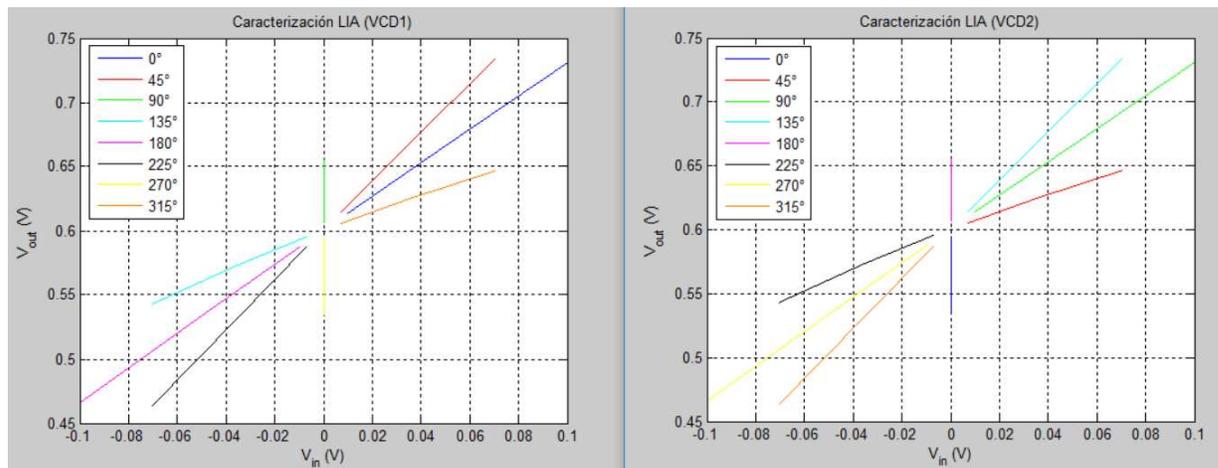


Figura 4.20: Razón de la señal de salida VCD1 y VCD2 del LIA con respecto a la entrada, ante la variación de fase

para esta prueba lo que se busca es realizar esta operación matemática a cada curva y de manera que cada vector resultante, sea una recta con la misma pendiente y punto de intersección.

Figura 4.21 se muestra el traslape de las curvas obtenidas, se observa gran similitud con respecto a la referencia, sin embargo, se puede apreciar que existe un error, el cual crece, con forme se aumenta la amplitud de entrada.

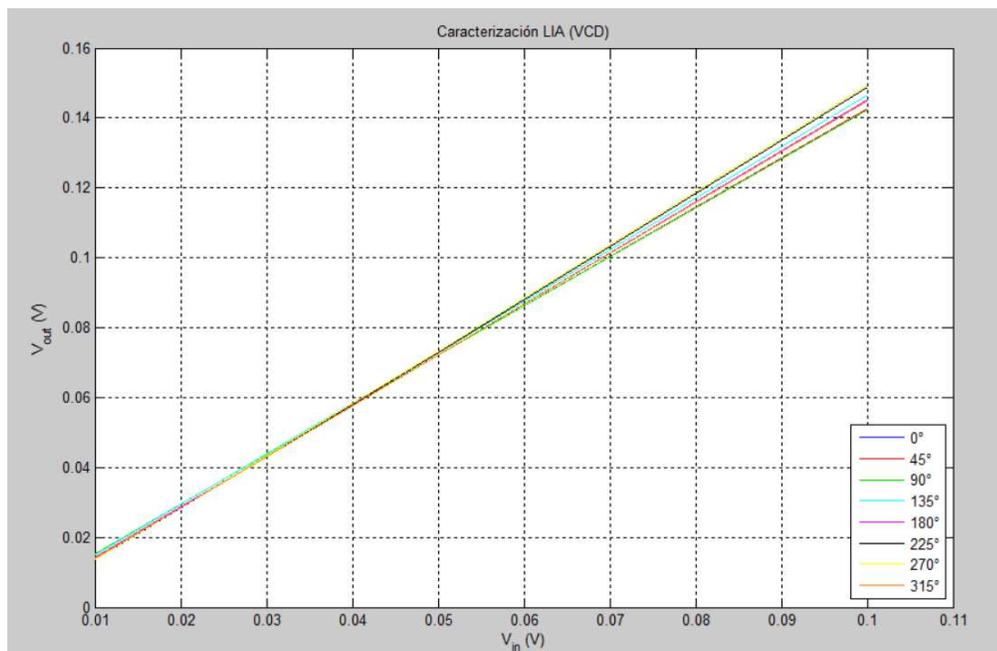


Figura 4.21: Razón de la magnitud VCD obtenida de las señales de salida VCD1 y VCD2 del LIA con respecto a la entrada, ante la variación de fase

En la Tabla 4.3, se presentan los resultados de la regresión lineal para amplitudes de entrada menores a 100 mV, en la cual, el factor de correlación más alto es 0.997915, lo que refleja la linealidad del sistema. Además la pendiente en todos los casos es muy cercana a 1.4625.

Esto permite validar el diseño, ya que se puede recuperar un componente en CD proporcional a la amplitud de entrada sin depender del desfase que presente esta señal. Lo único que se debe hacer es obtener la magnitud por medio de la salida en fase y su complemento en cuadratura, restar el offset de 600 mV y aplicarle la pendiente inversa para así conocer el valor real en CD de la señal de entrada.

Frecuencia	Factor de Correlación	Pendiente	Intersección (y)
0°	0.999967	1.4632	0.6000
45°	0.997985	1.4145	0.6012
90°	0.997915	1.4127	0.6013
135°	0.999998	1.4617	0.6001
180°	0.999725	1.4553	0.5996
225°	0.999253	1.5030	0.5982
270°	0.998899	1.5097	0.5982
315°	0.999668	1.4543	0.5996

Tabla 4.3: Resultados de la regresión lineal aplicada a las curvas de VCD de la Figura 4.19

4.3 Resultados del circuito a nivel físico

Como se explicó en la Sección 3.3 el diseño físico del LIA se constuyó por medio de la integración del PSD con el OTA, y por medio de las herramientas de Calibre se logró validar el modelo.

Durante la elaboración del layout, se realizaba constantemente el DRC, para comprobar el cumplimiento de las reglas de diseño. Esto ayuda mucho, ya que la separación de los componentes, así como sus interconexiones presentan una distancia mínima, la cual se debe mantener para permitir la fabricación del dispositivo. De manera que esta herramienta permite validar el diseño a nivel físico por medio de la comprobación de errores asociados a la construcción del

sistema.

Por otro lado el LVS, asegura la concordancia entre el diseño del circuito esquemático y su implementación física. Por lo que, al terminar el diseño esta herramienta permitió buscar errores con el fin de terminar el diseño con las conexiones correctas.

Una vez que se verificaran el DRC y el LVS, se continuó con el proceso de extracción con parásitos para crear el netlist al diseño, el cual incorpora elementos parásitos asociados a las conexiones a nivel físico. Con este archivo, se realizaron las mismas simulaciones de prueba que al circuito esquemático, para comprobar el funcionamiento.

Con las primeras pruebas realizadas, se ajustaron los valores de las tensiones de polarización, como se muestra en la Tabla 3.6 de la Sección 3.3.3, con el fin de obtener un comportamiento similar al esquemático con una tensión de salida en modo común aproximada a 600 mV. Comparando los valores de las tensiones a nivel físico con las obtenidas en el circuito esquemático, la tensión de modo común para las señales de referencia disminuyó de 0.75 V a 0.7 V, la tensión de polarización Vbias3 presentó un cambio de 0.9 V a 0.78 V y Vbias4 también disminuyó de 0.6 V a 0.57 V.

En la Figura 4.22 se simula el comportamiento de LIA, para una amplitud de 100 mV a una frecuencia de 3 GHz.

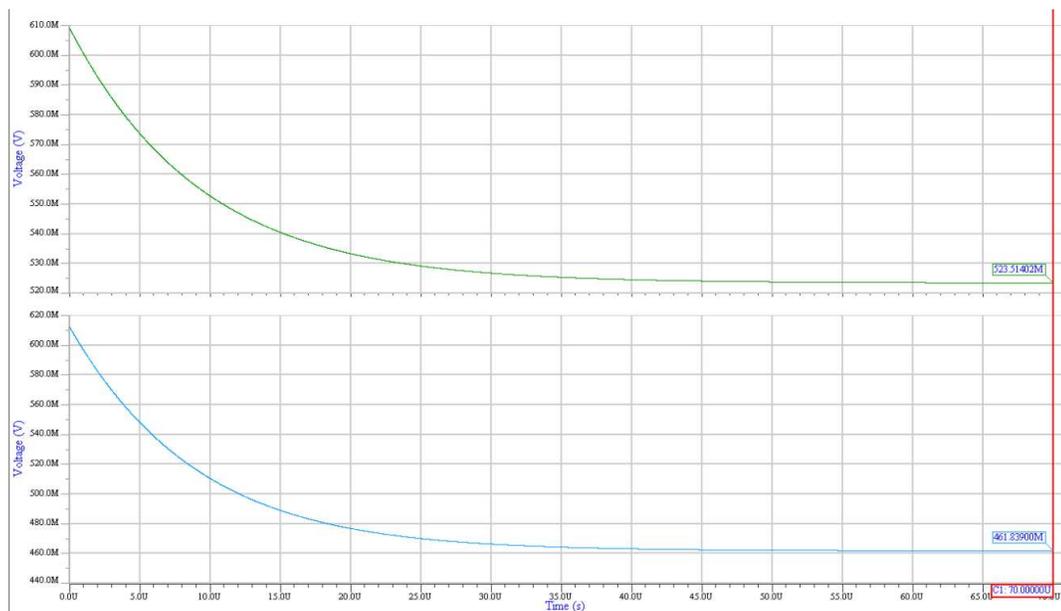


Figura 4.22: Simulación del LIA a nivel físico para amplitudes de $V_{in}=100$ mV y $V_r=10$ mV a una frecuencia de 3 GHz

4.3.1 Caracterización del LIA a nivel físico

De igual manera que con el circuito esquemático, se realizó un barrido de frecuencia de 0 a 10 GHz con respecto a la señal de entrada con un desfase de 0° . En la Figura 4.23 se muestra el cambio en las tensiones de salida, ante la variación de frecuencia para amplitudes de entrada de 10 mV, 50 mV y 100 mV.

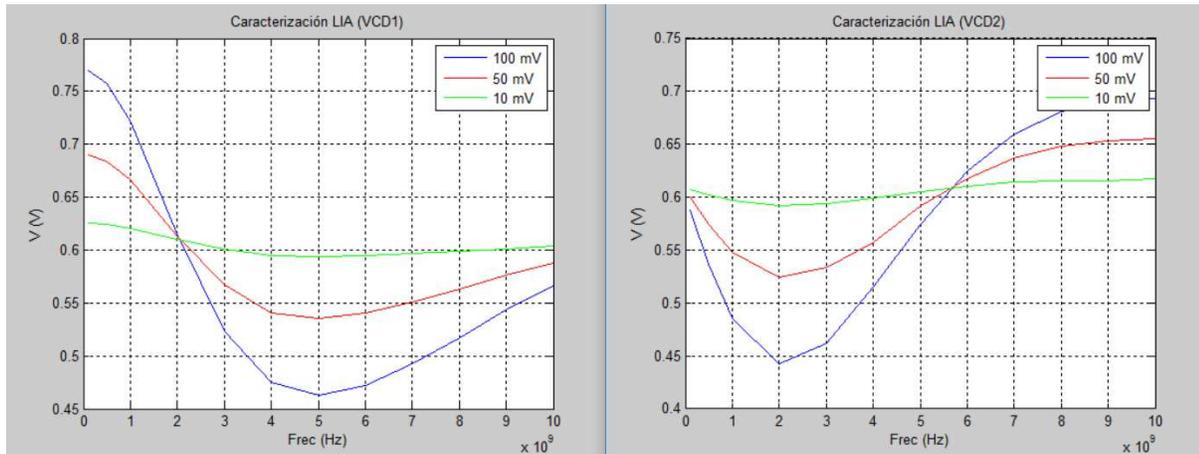


Figura 4.23: Barrido de frecuencia del LIA de 0 a 10 GHz para diferentes amplitudes de entrada

Estas curvas presentan formas similares a las obtenidas en el esquemático, en este caso los puntos de intersección de las curvas se desplazan aproximadamente 200 MHz, la tensión de salida de modo común se encuentra en 610 mV y se presenta un ligero aumento en la ganancia del sistema.

También se simuló el comportamiento de la tensión de salida en fase con respecto a la entrada, para las diferentes frecuencias. La Figura 4.24 muestra las curvas, y en la Tabla 4.4 se presentan los resultados en cuanto a factor de correlación, pendiente e intersección para cada frecuencia.

Por último se aplicó la ecuación 2.11 para obtener las curvas de la magnitud VCD para para cada frecuencia. En la Figura 4.25 se presenta este resultado, el cual es muy parecido al obtenido por el circuito esquemático. Se observa que las frecuencias de 100 MHz a 4 GHz, practicamente presentan la misma pendiente, pero al continuar aumentando la frecuencia, la pendiente es diferente para cada caso.

En la Tabla 4.5 se muestran los valores de las pendientes y su respectivo punto de intersección para cada frecuencia, así como también se observa la gran linealidad de cada curva por medio del factor de correlación.

Frecuencia	Factor de Correlación	Pendiente	Intersección (y)
100 MHz	0.999982	1.6031	0.6094
500 MHz	0.999977	1.4805	0.6094
1 GHz	0.999984	1.1301	0.6092
2 GHz	0.969984	0.0614	0.6098
3 GHz	0.999969	-0.8565	0.6092
4 GHz	0.999600	-1.3370	0.6094
5 GHz	0.999999	-1.4501	0.6081
6 GHz	0.999998	-1.3689	0.6085
7 GHz	0.999958	-1.1615	0.6089
8 GHz	0.999999	-0.9126	0.6085
9 GHz	0.999746	-0.6401	0.6077
10 GHz	0.999989	0.4214	0.6086

Tabla 4.4: Resultados de la regresión lineal aplicada a las curvas de VCD1 de la Figura 4.24

Frecuencia	Factor de Correlación	Pendiente	Intersección (y)
100 MHz	0.999993	1.6170	0.6091
500 MHz	0.999999	1.6499	0.6085
1 GHz	0.999998	1.6746	0.6079
2 GHz	0.999820	1.6524	0.6084
3 GHz	0.999932	1.6984	0.6073
4 GHz	0.999967	1.6321	0.6068
5 GHz	0.999999	1.4900	0.6076
6 GHz	0.999999	1.3772	0.6076
7 GHz	0.999969	1.2666	0.6079
8 GHz	0.999355	1.1636	0.6086
9 GHz	0.998778	1.0512	0.6090
10 GHz	0.997243	0.9413	0.6097

Tabla 4.5: Resultados de la regresión lineal aplicada a las curvas de VCD de la Figura 4.25

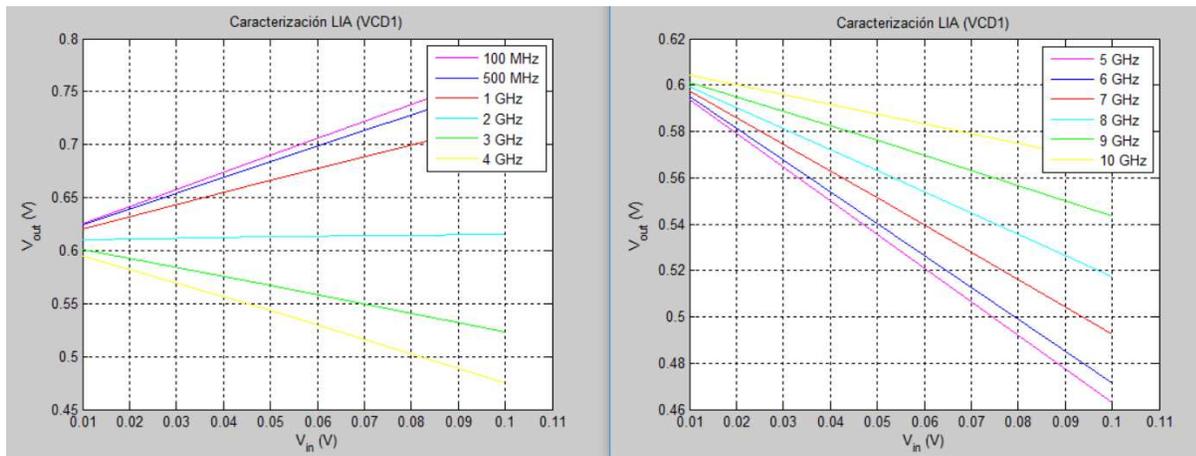


Figura 4.24: Razón de la señal de salida VCD1 del LIA con respecto a la entrada, para diferentes frecuencias

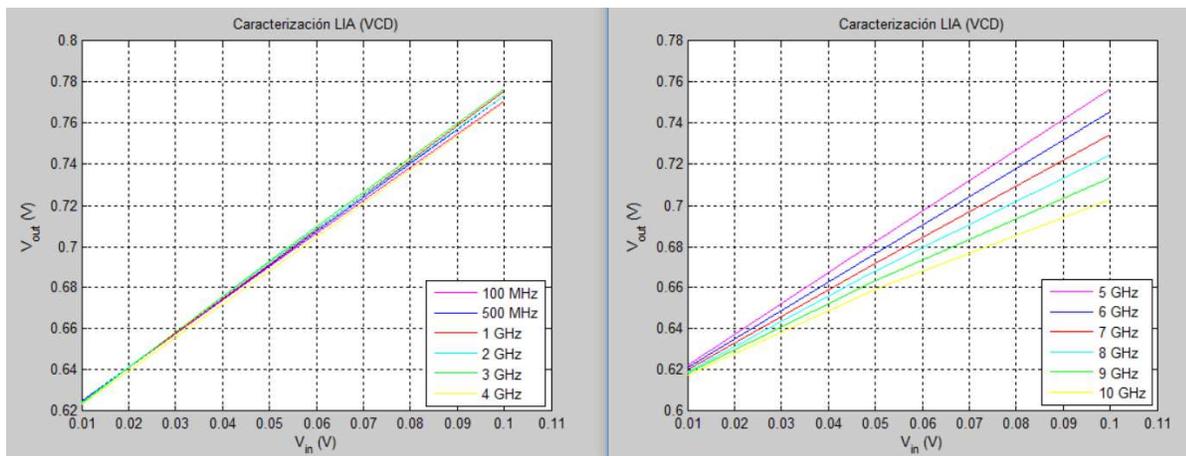


Figura 4.25: Razón de la magnitud VCD obtenida de las señales de salida VCD1 y VCD2 del LIA con respecto a la entrada, para diferentes frecuencias

4.3.2 Resultados finales del LIA a nivel físico

Como se mostró en secciones anteriores, el LIA puede funcionar en una amplia gama de frecuencias. La caracterización se realizó simulando para frecuencias de 100 MHz hasta los 10 GHz, sin embargo, el ruido será más difícil de eliminar, conforme se presente en baja la frecuencia, donde para frecuencias menores a los 20 kHz será imposible filtrar debido a que es la frecuencia de corte, pero se puede bajar al utilizar valores más altos de capacitancia.

A nivel de área, sin tomar en cuenta los pads que se deben agregar para la conexión de los condensadores externos, el LIA presenta un tamaño de $35.2 \mu\text{m} \times 80.06 \mu\text{m}$, para un total de $2818.112 \mu\text{m}^2$. El ancho del circuito aumenta debido a que se utilizan dos LIAs individuales

para eliminar la dependencia de fase por cuadratura.

Considerando los pads de $100 \mu\text{m} \times 100 \mu\text{m}$ que se deben agregar por condensador, el área total es de $135.2 \mu\text{m} \times 100 \mu\text{m}$, es decir, 0.01352 mm^2 . Con esta modificación área es 4.8 veces mayor aproximadamente, sin embargo representa un 0.34% del área máxima permitida a fabricar por la institución (4 mm^2). Además, como se explicó en la sección 3.3.3, la utilización de pads sigue siendo más viable, debido a que para obtener un excelente rendimiento a bajas frecuencias, se necesitan condensadores en el orden de los nanoFaradios que pueden abarcar un área mayor a la máxima permitida, si se implementan internamente.

También es importante definir la potencia que consume el sistema, debido a que es una tecnología que funciona con una tensión de alimentación de 1.2 V, se espera un bajo consumo de potencia. Este fue de $483.68 \mu\text{W}$.

Capítulo 5

Conclusiones y Recomendaciones

Se diseñó a nivel esquemático una la etapa de amplificación lock-in en la tecnología de IBM 130nm CMOS 8RF, y en las sección 4.2.3, se verificó que es capaz de detectar señales con amplitudes en un rango de 10 mV a 100 mV en un rango de frecuencias de 100 MHz a 10 GHz, en condiciones de ruido aleatorio

Se realizó el diseño físico de la etapa de amplificador de enganche cumpliendo con la aplicación correcta de las reglas de diseño (DRC) y la concordancia entre el diseño físico y esquemático (LVS).

Se realizaron simulaciones para diferentes casos de amplitud y frecuencia y se logró validar el diseño a nivel de extracción postlayout. Por medio de la caracterización realizada, donde la razón de la tensión de salida con la amplitud de entrada es representada por una pendiente para cada frecuencia y presenta una gran linealidad con factores de correlación mayores a 0.99.

Por último el diseño físico presentó un consumo de potencia de $483.68 \mu\text{W}$, y un área de 0.01352 mm^2 , un rango de operación de 100 MHz a 10 GHz y una señal mínima detectable de 10 mV.

Es importante considerar que para mejorar el comportamiento del LIA ante el ruido provocado a frecuencias bajas, se puede elevar el valor de los condensadores externos para obtener una frecuencia de corte menor y de esta manera poder filtrar mayor cantidad de componentes en frecuencia y recuperar únicamente el componente en CD. Sin embargo para este trabajo se utilizaron capacitancias de 45 pF debido a que si se eleva este valor, la herramienta puede tardar

hasta semanas en completar las simulaciones necesarias.

Para detectar señales con amplitudes aún más pequeñas, se recomienda añadir un amplificador de bajo ruido, sin embargo se debe tomar en cuenta el desfase que produce este componente en la señal, y esto genera mayor complicación para reconstruir la señal de entrada.

También se puede realizar el análisis con un kit de simulación RF, que permite explorar circuitos en alta frecuencia con más opciones como análisis de AC periódicos, entre otros.

Bibliografía

- [1] DSP Lock-In Amplifier. Model sr830. *Interface*, 4:24, 1993.
- [2] P. V. Bakharev and D. N. McIlroy. Signal-to-noise enhancement of a nanospring redox-based sensor by lock-in amplification. *Sensors*, 15(6):13110–13120, 2015.
- [3] G. B.Armen. Phase sensitive detection: the lock-in amplifier. *Knoxville, Tennessee: University of*, 2008.
- [4] IBM Corporation. Foundry technologies 130-nm cmos and rf cmos [online]. 2003 [visitado el 13 de junio de 2016]. URL http://edg.uchicago.edu/projects/sampling_chip_review_2010/docs.
- [5] Mentor Graphics Corporation. Mentor graphics corp. *SWOT Analysis*, 2015.
- [6] T. K. Das and S. Chakrabarti. Design of a tunable active low pass filter by cmos ota and a comparative study with nmos ota with different current mirror loads. *International Journal of Electronics and Electrical Engineering*, 3(5):377–384, 2015.
- [7] P. R. Dmochowski, B. R. Hayes-Gill, M. Clark, J. A. Crowe, M. G. Somekh, and S. P. Morgan. Camera pixel for coherent detection of modulated light. *Electronics Letters*, 40(22):1403–1404, 2004.
- [8] J. Gao, S. Yue, J. Chen, and H. Wang. Classification of normal and cancerous lung tissues by electrical impedance tomography. *Bio-medical materials and engineering*, 24(6):2229–2241, 2014.
- [9] W. T. Guan, Z. H. Yang, and Y. P. Cao. Design of lock-in amplifier based on down-sampling mean filter. In *Applied Mechanics and Materials*, volume 543, pages 662–667. Trans Tech Publ, 2014.

- [10] F. A. Nicaragua Guzmán. Diseño de un amplificador operacional de transconductancia para la implementación de filtros analógicos utilizados en la detección de disparos de armas de fuego. 2010.
- [11] B. E. Gómez. Diseño de un mezclador de frecuencias con topología de gilbert para espectroscopia médica por impedancia eléctrica en tecnología cmos de 0.13 m.
- [12] R. Hedayati, S. Haddadian, and H. Nabovati. A low voltage high linearity cmos gilbert cell using charge injection method. *World Academy of Science, Engineering and Technology*, 38, 2008.
- [13] R. Hidayat, K. Dejhan, P. Moungnoul, and Y. Miyanaga. Ota-based high frequency cmos multiplier and squaring circuit. In *Intelligent Signal Processing and Communications Systems, 2008. ISPACS 2008. International Symposium on*, pages 1–4. IEEE, 2009.
- [14] A. Hu and V. P. Chodavarapu. Cmos optoelectronic lock-in amplifier with integrated phototransistor array. *IEEE Transactions on Biomedical Circuits and Systems*, 4(5):274–280, Oct 2010.
- [15] P. Lawhale and G. Somulu. Cmos based low pass filter for biomedical applications. *International Conference On Industrial Automation And Computing*, pages 25–30, 2014.
- [16] Y. Liu, J. Song, L. Chen, and S. Pan. Design of lock-in amplifier used on the photoacoustic spectroscopy. *Journal of Convergence Information Technology*, 8(6), 2013.
- [17] P. M. Maya-Hernández, L. S. Álvarez-Simón, M. T. Sanz-Pascual, and B. Calvo-López. An integrated low-power lock-in amplifier and its application to gas detection. *Sensors*, 14(9):15880–15899, 2014.
- [18] R. Perea Quesada. La educación para la salud, reto de nuestro tiempo. 2002.
- [19] B. Razavi. Fundamentals of microelectronics. *Jhon Wiley india Pvt. Ltd*, 2009.
- [20] R. Rieger, A. Demosthenous, and J. Taylor. A 230-nw 10-s time constant cmos integrator for an adaptive nerve signal amplifier. *IEEE Journal of Solid-State Circuits*, 39(11):1968–1975, Nov 2004.

-
- [21] R. Rimolo. Modelos analógicos para transistores: Mos. *Diseño de Circuitos Integrados Analógicos*. Instituto Tecnológico de Costa Rica, 2016.
- [22] P. Sampath, R. Harikumar, and K. Gunavathi. Cmos 2nd order gm-c intermediate frequency band pass filters for wireless systems. In *Proceedings of the Fourth International Conference on Signal and Image Processing 2012 (ICSIP 2012)*, pages 237–244. Springer, 2013.
- [23] E. Sanchez-Sinencio and J. Silva-Martinez. Cmos transconductance amplifiers, architectures and active filters: a tutorial. In *Circuits, Devices and Systems, IEE Proceedings-*, volume 147, pages 3–12. IET, 2000.
- [24] HDL Verilog. Verilog-ams language reference manual.
- [25] M. Voltti, T. Koivisto, and E. Tiiliharju. Comparison of active and passive mixers. In *Circuit Theory and Design, 2007. ECCTD 2007. 18th European Conference on*, pages 890–893. IEEE, 2007.

Apéndice A

Identidades Matemáticas

En la 2.2 utilizan las siguientes identidades matemáticas para describir el funcionamiento del LIA.

$$\sin(x) \sin(y) = \frac{1}{2} [\cos(x-y) - \cos(x+y)] \quad (\text{A.1})$$

$$\sin^2(x) = \frac{1}{2} [1 - \cos(2x)] \quad (\text{A.2})$$

Apéndice B

Código en Verilog A

En esta sección se adjunta el código en Verilog A, para los diferentes módulos utilizados para construir el circuito presentado en la sección 3.1. Estos módulos fueron facilitados por Ronny García, participante del proyecto de espectroscopia de impedancia celular en el TEC.

B.1 Fuente senoidal

```
`include "disciplines.vams"
`include "constants.vams"

module sinX(out);
output out;

voltage out;

parameter real f0 = 5.0M from (0:inf), // frecuencia central
            magnitud = 1,           // magnitud de salida
            phi0 = 0,              // desfase
            offset = 0;            // nivel de DC de salida
real valor;
analog
begin
valor = f0* M_TWO_PI*$time;
V(out) <+ offset + magnitud * sin( valor + phi0);
end
endmodule
```

Figura B.1: Código en Verilog A para la fuente senoidal

B.2 Sumador

```
`include "disciplines.vams"
`include "constants.vams"

module adder(in1,in2,out);
input in1,in2;
output out;

voltage in1,in2,out;
parameter real ganancia = 1 from (0:inf);

analog
begin
V(out) <+ ganancia*(V(in1)-V(in2));
end
endmodule
```

Figura B.2: Código en Verilog A para el sumador

B.3 Mixer

```
`include "disciplines.vams"
`include "constants.vams"

module mixer(in1,in2,out);
input in1,in2;
output out;

voltage in1,in2,out;
parameter real ganancia = 1 from (0:inf);

analog
begin
V(out) <+ ganancia*V(in1)*V(in2);
end
endmodule
```

Figura B.3: Código en Verilog A para el mixer

B.4 Filtro pasa-bajas

```
`include "disciplines.vams"
`include "constants.vams"

module lpf1(in,out);
input in;
output out;

voltage in, out;
parameter real f1 = 20 from (0:inf);
parameter real ganancia = 1 from (0:inf);

analog
V(out) <+ ganancia*laplace_nd(V(in), {1} ,{1,1/('M_TWO_PI*f1)}));

endmodule
```

Figura B.4: Código en Verilog A para el filtro pasa-bajas

Apéndice C

Resultados del LIA con el filtro Gm-C de primer orden

Se simuló el comportamiento del LIA utilizando la configuración del filtro Gm-C con realimentación. En la Figura C.1 se muestra el barrido de frecuencia para diferentes amplitudes.

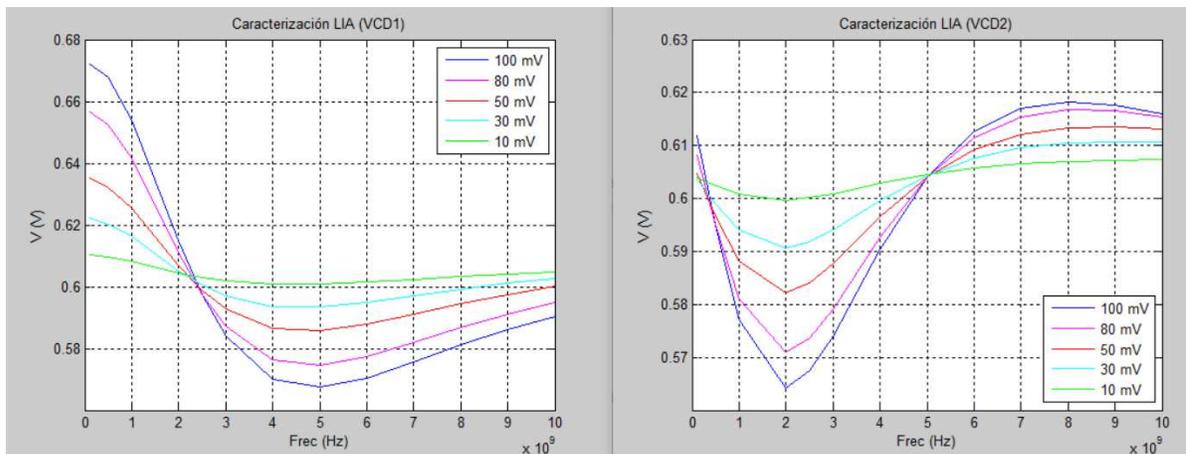


Figura C.1: Barrido de frecuencia del LIA con el filtro de primer orden, de 0 a 10 GHz para diferentes amplitudes de entrada

En la Figura C.2 se presentan las curvas de la razón entre la salida en fase y la entrada, para diferentes frecuencia. Se observa menor linealidad.

En la Figura C.3 se presentan los resultados luego de obtener la magnitud por medio salida en fase y en cuadratura.

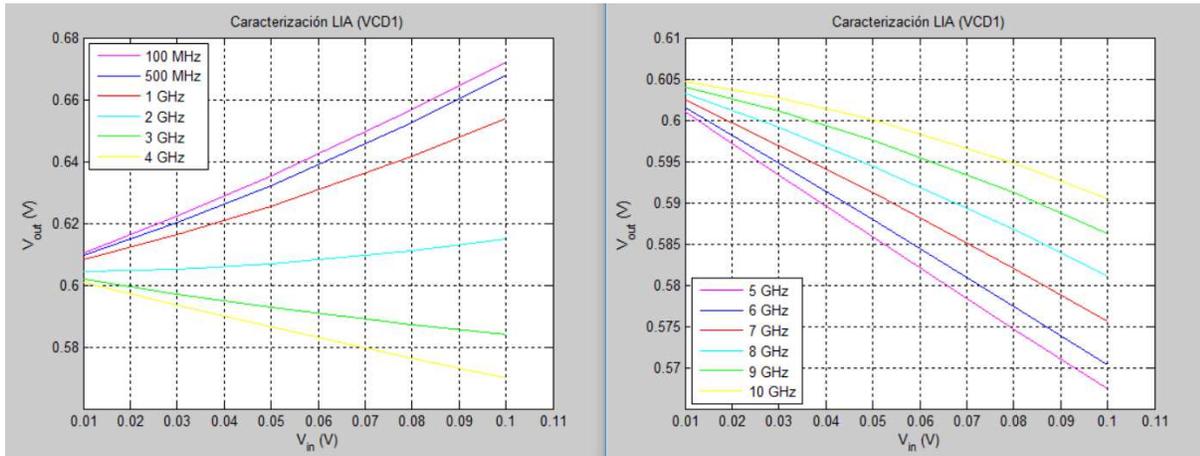


Figura C.2: Razón de las señales de salida del LIA con filtro de primer orden, con respecto a la entrada, para diferentes frecuencias

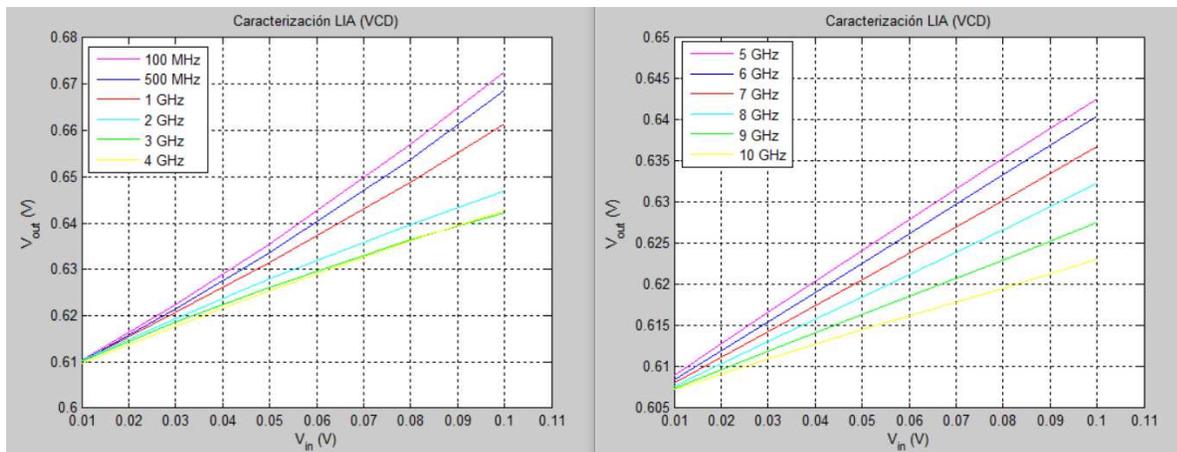


Figura C.3: Razón de las señales de salida del LIA con filtro de primer orden, con respecto a la entrada, para diferentes frecuencias