

# Simulación del lazo de enganche de fase (PLL)

Por Andy Howard, Agilent Technologies

www.agilent.com — La simulación del lazo de enganche de fase sigue suponiendo un gran desafío para los diseñadores. En este artículo se discuten las capacidades de simulación del PLL, incluyendo el modelado de comportamientos, las técnicas para añadir ruido, la simulación de espurios y la simulación  $N$ -fraccional mediante un método de cosimulación que incluye la utilización de un modulador Sigma-Delta

## Introducción

El diseño y la simulación del lazo de enganche de fase siguen presentando desafíos importantes para los diseñadores de sistemas inalámbricos y de circuitos integrados de radiofrecuencia (RFIC). Los PLL deben diseñarse de manera que, entre otras cosas, cumplan requisitos y especificaciones precisas, tales como rango de sintonización, resolución de sintonización, ruido de fase en bucle cerrado, estabilidad, supresión de señales espurias, respuesta de modulación, tiempo de respuesta de transitorios y consumo de energía. Los PLL son difíciles de simular debido a que son circuitos con dominios mixtos. Los sintetizadores de PLL poseen un oscilador de RF o microondas controlado por tensión, un oscilador de referencia muy estable de frecuencia mucho más baja, un divisor de frecuencias programable fabricado utilizando circuitos digitales, un detector de fase/frecuencia también fabricado con circuitos digitales y un filtro de lazo de baja frecuencia. Los sintetizadores de PLL requieren a me-

nudo algún medio para poder aplicar una señal de modulación de frecuencia o fase en el lazo. La figura 1 muestra un ejemplo de diagrama de bloques de un PLL.

Deben tomarse dos decisiones importantes a la hora de efectuar una simulación de PLL. La primera de ellas es decidir el tipo de simulador o simuladores que debe utilizarse y, la segunda, establecer el nivel de abstracción con que modelar el PLL. Existen simuladores de tipo SPICE, de equilibrio entre armónicos y de envolvente que permiten trabajar con modelos a nivel de transistores. Puede que estos tipos de simulación sean muy precisos, pero pueden resultar poco prácticos para los PLL debido a los requisitos de tiempo y/o memoria si se simula todo a nivel de transistores. La utilización de un mayor nivel de abstracción para modelar el PLL y sus componentes mediante modelos de comportamiento puede acelerar de manera significativa las tareas y simulaciones de diseño, a pesar de que existe la posibilidad de cierta pérdida de precisión.

También es importante decidir de antemano lo que se va a simular. Es poco probable que se cuente con suficiente tiempo como para simular todos los tiempos de transición de frecuencia posibles ni los niveles de señales espurias y ruido de fase con diferentes configuraciones de frecuencia en todos los rincones del proceso y demás.

La combinación de circuitos digitales y de RF dificulta enormemente la simulación del PLL a nivel de transistores. El detector de frecuencia de fase es un circuito digital asíncrono que funciona con formas de onda con transiciones agudas. Esto, sumado a la necesidad de simular de manera precisa las diferencias temporales entre las señales de entrada, requiere reducir el intervalo temporal de simulación. Si se utiliza un mero simulador en el dominio del tiempo, el circuito del oscilador controlado por tensión (VCO) requerirá también el uso de un pequeño intervalo temporal de simulación para

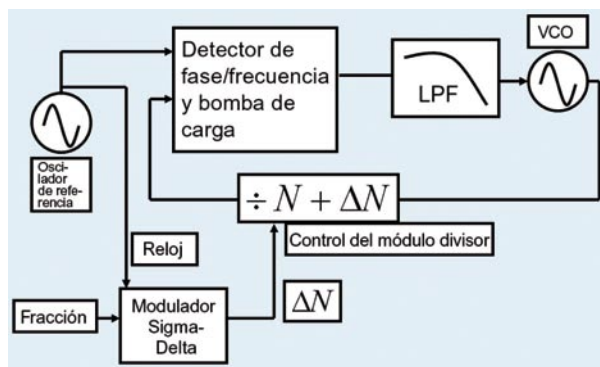
poder capturar adecuadamente los armónicos. A la hora de simular ruido de fase, sólo necesitaremos esperar a que el circuito se haya estabilizado. No obstante, es posible que los simuladores en el dominio del tiempo utilizados normalmente, como SPICE y sus derivados, no consigan simular ruido en el dominio del tiempo (Sin embargo, el simulador de transitorios del Sistema de Diseño Avanzado, ADS admite simulación de ruido en el dominio del tiempo). De ser necesaria la simulación de respuesta de transitorios, por ejemplo del tiempo que tarda el VCO en estabilizarse entre distintas frecuencias, es posible que se requieran millones de puntos temporales en función de la relación entre el tiempo de estabilización y el intervalo temporal.

El equilibrio entre armónicos simula ruido en circuitos no lineales; sin embargo, requiere mayor capacidad de memoria a medida que aumenta la relación de división. El ruido se interpreta como una perturbación de pequeña señal en una solución de gran señal. Debido al divisor de frecuencias, el equilibrio entre armónicos requiere una apreciación inicial generada mediante simulación de transitorios para poder completar de manera efectiva el circuito. El equilibrio entre armónicos no puede utilizarse para simulaciones de transitorios (estado no estable).

Los modelos lineales pueden utilizarse con una simulación de circuitos AC para modelar y optimizar la respuesta de frecuencia y ruido de fase de un PLL. Esta técnica permite incluir topologías arbitrarias y fuentes de ruido de fase, además de ser muy rápida. Asimismo, permite descubrir las fuentes de ruido que más contribuyen al ruido total generado en la salida del PLL. De manera alternativa, pueden utilizarse herramientas matemáticas para simular PLL o algoritmos.

La cosimulación utilizando Ptolemy (un simulador de flujo de datos numérico y de sincronización temporal) permite modelar PLL más complejos, como aquellos que utilizan un modu-

Figura 1. Diagrama de bloques de un PLL simple equipado con un modulador Sigma-Delta para generar la relación de división de variación temporal



lador Sigma-Delta para configurar la frecuencia. Los componentes a nivel de Ptolemy permiten efectuar una modificación rápida de, por ejemplo, el orden del modulador Sigma-Delta, o bien del número de bits utilizado y de la fracción deseada (cuando se efectúa la simulación N-fraccional de un PLL). Podemos añadir una señal de dithering durante la simulación con Ptolemy para observar su efecto en la reducción de espurios. Si bien la simulación con Ptolemy se utiliza para modelar el modulador Sigma-Delta que genera una relación de división de variación temporal, es posible simular el PLL que utiliza dicha relación de división utilizando un simulador de envolvente. El PLL utiliza principalmente modelos de comportamiento, no obstante, puede contar con un detector de fase/frecuencia a nivel de transistores, una bomba de carga y un filtro de lazo. Asimismo, es posible incluir datos de ruido de fase en el dominio del tiempo para simular el espectro de salida del VCO incluyendo ruido de cuantificación generado por el modulador Sigma-Delta, así como ruido de fase generado por el VCO y el oscilador de referencia. El ruido puede introducirse también en otros puntos del PLL.

### Qué hace que el simulador de envolvente sea el ideal para la simulación de PLL

El simulador de envolvente mezcla funciones de simulación en el dominio de la frecuencia y en el dominio del tiempo. Sólo es necesario especificar las frecuencias de análisis, así como el intervalo temporal y de parada de la simulación. En el caso de un PLL, las frecuencias de análisis serían la frecuencia central nominal del VCO y sus correspondientes frecuencias armónicas. La inversa del intervalo temporal de simulación proporciona el ancho de banda correspondiente a cada frecuencia de análisis en el que deben mantenerse las señales para que puedan incluirse en la simulación. El simulador de envolvente permite observar las respuestas de transitorios con respecto a la frecuencia, fase y amplitud de las señales en cada uno de los anchos de banda de los análisis, incluyendo la envolvente de banda base. La figura 2 muestra un diagrama de bloques en el que se aprecia la mez-

cla de simulación en el dominio de la frecuencia y en el dominio del tiempo para el PLL utilizado como ejemplo.

Cuando se simulan respuestas de transitorios, la ventaja proporcionada por este enfoque estriba en que es posible simular rápidamente respuestas de transitorios largas (milisegundos) en periodos de tiempo cortos. Esto se debe a que puede utilizarse un intervalo temporal mayor del que cabría utilizar si se simulara todo el lazo utilizando un mero simulador de banda base en el dominio del tiempo, por ejemplo un simulador SPICE.

temporal determinará la frecuencia de desviación más alta. En caso de que necesite observar un espectro de ruido que incluya tanto una resolución definida como frecuencias de elevada desviación, será necesario utilizar un menor intervalo temporal y un mayor tiempo de parada, lo que posiblemente resultaría en un mayor tiempo total de simulación. Asimismo, cuando se efectúen análisis de ruido, es posible que sea preferible realizar varias simulaciones y promediar los resultados para obtener una respuesta más uniforme.

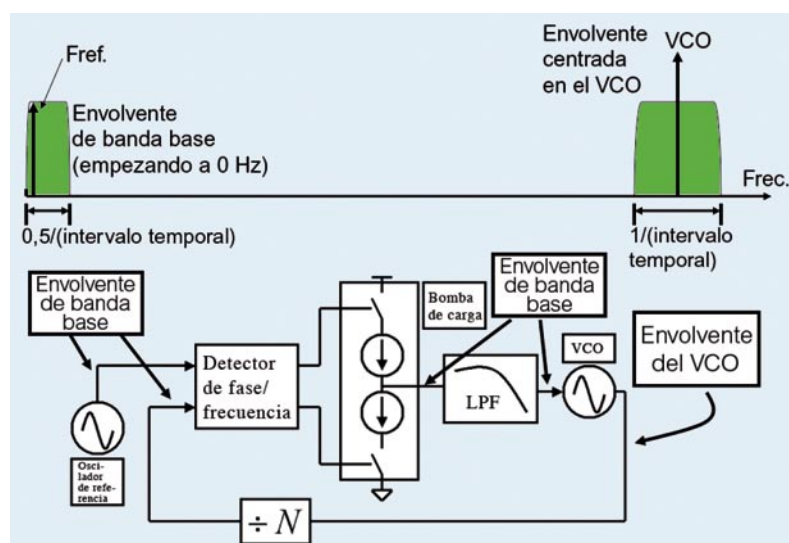


Figura 2. El simulador de envolvente mezcla simulación en el dominio del tiempo y en el dominio de la frecuencia, lo que permite realizar simulaciones más eficaces y precisas que si se utiliza un mero simulador basado en el dominio del tiempo, como SPICE.

Además, el simulador de envolvente también efectúa simulación de ruido en el dominio del tiempo. El ruido se interpreta como parte de una solución de gran señal y no se trata de forma distinta a cualquier otra señal. (El simulador de envolvente permite ejecutar un análisis de ruido independiente después del último punto temporal. En este caso, se asume que el circuito está estabilizado después del último punto temporal y que el análisis de ruido es igual al efectuado con equilibrio entre armónicos).

Cuando se efectúa un análisis de ruido en el dominio del tiempo o un análisis de espurios, lo ideal es iniciar la simulación con el lazo lo más estabilizado posible. Si se produce una activación de transitorios que desea ignorar, podremos retrasar el momento en el que el simulador guarda los datos en la memoria. El tiempo de parada determinará la resolución espectral de la simulación de ruido, mientras que el intervalo

### Generación de modelos de comportamiento

En algunas simulaciones del PLL merecerá la pena utilizar modelos de comportamiento. Con estos modelos, las simulaciones se efectúan con mayor rapidez y el diseño es más fácil de modificar para poder implementar mejoras. Pero, ¿cómo se crean los modelos de comportamiento? Esto depende del tipo de componente. El Sistema de Diseño Avanzado (ADS) ([www.Agilent.com/find/eesof](http://www.Agilent.com/find/eesof)) cuenta con un número de modelos de comportamiento incorporados para PLL que se basan en dos componentes de modelado de comportamientos basados en ecuaciones: el SDD (dispositivo definido por símbolos) y el FDD (dispositivo definido en el dominio de la frecuencia). El SDD y el FDD permiten definir componentes no lineales utilizando ecuaciones en la configuración sin necesidad de un código fuente. Muchos de los modelos de comportamiento de los PLL están basados en estos componentes.

Figura 3. Resultados de una cosimulación con Ptolemy utilizando un modulador Sigma-Delta para generar la relación de división de variación temporal. El detector de fase/frecuencia y la bomba de carga del PLL se modelaron a nivel de transistores.

Es relativamente fácil generar un modelo de comportamiento a partir de un oscilador, incluido el ruido de fase. Es posible simular un VCO a nivel de transistores, efectuando un barrido de la tensión de sintonización y calculando el ruido de fase utilizando equilibrio entre armónicos. Los datos de ruido de fase resultantes podrán leerse a partir del conjunto de datos y utilizarse para otra simulación utilizando el simulador de envolvente. De manera alternativa, podemos simplemente introducir en un archivo de texto pares de datos referentes al ruido de fase y a la frecuencia de desviación.

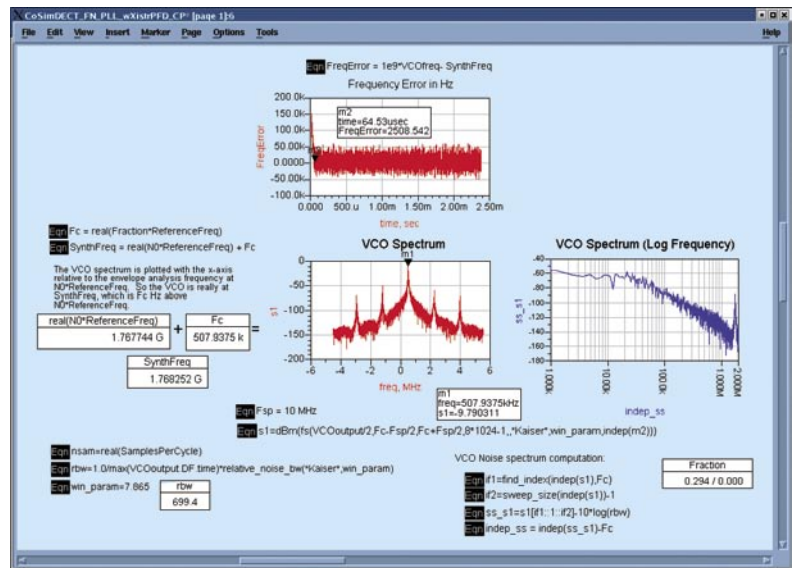
Puede crearse un modelo de comportamiento de detector de fase/frecuencia y de bomba de carga efectuando únicamente una simulación de transitorios del circuito a nivel de transistores utilizando dos señales de entrada de onda cuadrada. Se efectúa un barrido de la diferencia de fase entre señales de entrada y el promedio de la corriente de la bomba de carga se interpreta como una función de la diferencia de fase. El gradiente de la curva resultante es la sensibilidad expresada en amperios/grado. El modelo de comportamiento permite especificar un intervalo de zona muerta, así como diferentes gradientes según la diferencia de fase sea positiva o negativa.

Los detectores de fase/frecuencia y las bombas de carga son sobre todo circuitos no lineales cuyo comportamiento es difícil de modelar. Por este motivo, es importante poder utilizar directamente el circuito a nivel de transistores cuando se necesita obtener una alta precisión.

Un modelo de comportamiento que combine el VCO con un divisor de frecuencias acelerará las simulaciones de respuestas de transitorios, ya que permitirá que el intervalo temporal sea lo suficientemente corto como para capturar la variación en la fase/frecuencia de la señal dividida, que cambia a una velocidad bastante inferior comparada con el VCO. Los resultados se muestran en la figura 3.

### Resumen

A pesar de que los lazos de enganche de fase (PLL) siguen suponiendo un difícil problema de simulación, Agilent ofrece una amplia gama de funciones de modelado y simulación que facilitan dicha tarea. Ofrecemos la capacidad



de poder simular topologías de lazo arbitrarias y procesar con posterioridad los resultados de una manera fácil y flexible. La cosimulación entre los métodos Ptolemy y de envolvente permite investigar simultáneamente los efectos de, por ejemplo, la topología de un modulador Sigma-Delta y las características no ideales de un detector de fase/frecuencia a nivel de transistores.

### Acerca del autor

El ingeniero de aplicaciones Andy Howard entró a formar parte de HP en 1985 como ingeniero de desarrollo dedicado al diseño de circuitos de microondas. Trabajó un año en Japón como ingeniero de sistemas antes de convertirse en ingeniero de aplicaciones de HP EEsof en 1993. Sus diseños de aplicaciones incluyen simulación de ruidos en circuitos no lineales, técnicas de diseño de alto rendimiento (diseño de experimentos), aplicaciones de envolvente para circuitos y, en los últimos nueve años, ejemplos de ADS (sistemas de diseño avanzados) y RFDE (entorno de diseño de radiofrecuencia) de Agilent. Desarrolló la ADS DesignGuide de amplificadores y colaboró en el diseño DesignGuide de mezcladores. Asimismo, diseñó un circuito integrado para un preescalador de alta velocidad utilizando el enlace dinámico de RFIC de Agilent, fabricado utilizando el proceso SiGe de IBM. Además, es el creador del RFIC Flow Workshop (Taller de Flujo de RFIC). Obtuvo el título de Licenciado en Ingeniería Electrónica (BSEE) en 1983

y un Master en Ingeniería Electrónica (MSEE) en 1985, ambos por la Universidad de California, Berkeley. Mientras estudiaba su licenciatura, trabajó durante un año como investigador externo en el Laboratorio Central de Investigación de NEC en Japón, por lo que habla correctamente japonés. Ha publicado más de 20 artículos en revistas, así como comunicaciones para seminarios de Agilent y HP, y notas de aplicación.

### Referencias

La página web de Agilent EEsof (en inglés) cuenta con un gran número de artículos, presentaciones y ejemplos referentes a la simulación del lazo de enganche de fase (PLL): <http://eesof.tm.agilent.com/applications/pll-b.html>

Russ Kramer, High-Speed Optical Electronic IC (OEIC) Design Using ADS for OC-48, OC-192, and OC-768 Applications (Diseño de circuitos integrados electrónicos de tipo óptico (OEIC) de alta velocidad utilizando ADS para las aplicaciones OC-48, OC-192 y OC-768) <http://archive.chipcenter.com/networking/technote020.html>

### Nota del autor

Los clientes con soporte pueden acceder online a documentos y ejemplos adicionales referentes a los PLL a través del Knowledge Center de Agilent EEsof, efectuando una búsqueda de la palabra "PLL" ([www.agilent.com/find/eesof-knowledgecenter](http://www.agilent.com/find/eesof-knowledgecenter)).