

上海超级计算中心
Shanghai Supercomputer Center



高性能计算

发展与应用

DEVELOPMENT & APPLICATION
OF HIGH PERFORMANCE COMPUTING

[总第73期]

2

2022年



第59届TOP500排名

世界前五台高性能计算机



1

Frontier (前沿)
安装地点: 美国橡树岭国家实验室 (ORNL)
HPE制造
实测速度: 1.102EFlops



2

Fugaku (富岳)
安装地点: 日本理化研究所 (RIKEN)
Fujitsu制造
实测速度: 442PFlops



3

LUMI
安装地点: 芬兰科学信息技术中心 (CSC)
HPE制造
实测速度: 151.9PFlops



4

Summit (山峰)
安装地点: 美国橡树岭国家实验室 (ORNL)
IBM制造
实测速度: 148.6PFlops



5

Sierra (山脊)
安装地点: 美国劳伦斯利弗莫尔国家实验室
IBM制造
实测速度: 94.6PFlops

目 录

综合评论	
第59届全球超级计算机TOP500排名及分析.....刘晶	02
算力设施助力碳中和.....王涛	09
数字化转型：文旅产业的线上线下融合发展之路.....胡安安 王轩钰	12
2021年国内网络安全法规政策回顾.....陈卉	15
高性能计算技术	
国内外Chiplet互连标准对比分析.....蒋毅飞 陈叶 路冬冬	20
基于申威异构众核处理器架构的模态并行算法.....喻高远 马志强等等	32
高性能计算应用	
燃煤电厂高温腐蚀改造大规模数值模拟与贴壁风改造研究现状.....李德波	39
人工智能与大数据技术	
隐私计算技术解读：可信执行环境（TEE）概要及应用.....洞见科技	46
基于全局自适应宽度注意力改进的Transformer.....曾庆威 张建等	51
要闻集锦	
打破图计算性能世界纪录 华中科大DepGraph登顶全球最权威图计算榜单.....	08
我国算力总规模超140EFlops，全球第二.....	11
RISC-V处理器将崛起？研究机构利用新架构建造超级计算机.....	38
精度大幅度提升 东芝开发AI图像识别技术.....	45
欧盟将推出百亿亿级超级计算机Jupiter.....	50

第59届全球超级计算机TOP500排名及分析

● 刘 晶 上海超级计算中心 上海 201203 jliu@ssc.net.cn

一、概述

2022年5月30日，在德国汉堡举行的全球超级计算大会公布了第59届全球超算TOP500榜单，部署于美国橡树岭国家实验室（ORNL）的新型超级计算机Frontier超越日本的Fugaku位列榜首。芬兰新部署的LUMI系统进入前三，成为欧洲超算领域的代表。前十位的排名中来自中国的神威·太湖之光和天河二号分别位于第六和第九。全榜单有32台新上榜系统，其中进入前200名的有18台系统。

TOP500中系统的综合性能从上一届的3.04Eflop/s上升至4.4Eflop/s。每台系统的平均并行规模也从六个月前的162,520核心上升到182,864个核心。

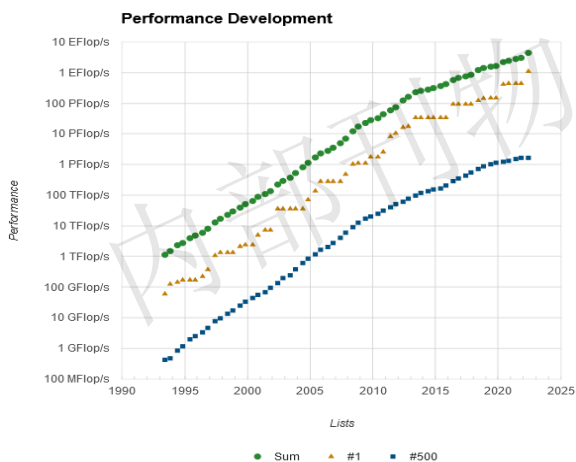


图1 历年TOP500性能发展情况

二、TOP10系统情况介绍

日本的富岳（Fugaku）结束了连续4届榜首的地位，被最新发布的来自美国橡树岭国家实验室的Frontier代替。其他有三台新系统入榜，导致上期榜单中其它系统的排位略有变动。

第一名：美国橡树岭国家实验室（ORNL）的Frontier系统。作为第一台在HPL基准测试中超过E级的超级计算机，拥有100多个机柜，8,730,112个内核，性能达到1.102Exaflop/s。该系统基于HPE Cray EX235a架构，且每个节点配置了一路为HPC定制的第三代AMD EPYC处理器和四路AMD Instinct 250X加

速卡，节点之间的连接借助Slingshot-11互联技术完成。

第二名：日本理化学研究所（RIKEN）和制造商富士通共同推进开发的超级计算机Fugaku（富岳）。拥有7,630,848个核心，性能达到442Pflop/s。该系统采用富士通定制的ARM A64FX处理器。

第三名：芬兰科学信息技术中心（CSC）托管的LUMI系统。这是欧洲高性能计算联合执行体（EuroHPC JU）汇集欧洲资源，开发的用于处理大数据的超级计算机。LUMI系统同样基于HPE Cray EX235a架构，性能达到151.9Pflop/s。

第四名：美国田纳西州橡树岭国家实验室（ORNL）Summit（顶点）。该系统由IBM构建，性能为148.8Pflop/s。它拥有4,356个节点，每个节点包含两个Power9 CPU，每个CPU有22个内核，六个NVIDIA Tesla V100 GPU。这些节点通过 Mellanox 双轨 EDR InfiniBand 网络连接在一起。

第五名：美国加利福尼亚州劳伦斯利弗莫尔国家实验室（LLNL）的Sierra。其架构与#4系统 Summit非常相似。它由4,320个节点构成，具有两个Power9 CPU 和四个 NVIDIA Tesla V100 GPU。性能达到了94.6 Pflop/s。

第六名：中国江苏省无锡国家超级计算中心的神威太湖之光。性能达到了93Pflop/s。

第七名：美国的劳伦斯·伯克利国家实验室（Berkeley Lab）的Perlmutter。该系统基于HPE Cray “Shasta”平台，作为异构系统配了AMD EPYC节点和NVIDIA A100加速节点，性能达到了64.6Pflop/s。

第八名：美国NVIDIA内部安装的 NVIDIA DGX A100 SuperPOD。该系统基于AMD EPYC处理器，采用NVIDIA A100加速，Mellanox HDR InfiniBand作为网络互连，性能达到63.4 Pflop/s。

第九名：中国广州国家超级计算机中心的系统天河2A（Milky Way-2A）。该系统由中国国防科技大学（NUDT）开发部署。系统配备英特尔至强处理器和定制的Matrix-2000加速器，性能达到61.4 Pflop/s。

第十名：法国国家大型计算中心GENCI以及法

表1 TOP10排名以及配置信息

排名	国家	系统名	Cores (个)	Architecture/Processor/Manufacturer	Accelerator/Co-Processor	R _{max} /R _{peak} (Pflop/s)	Power (kw)
1	美国	Frontier	8,730,112	HPE Cray EX235a/AMD Optimized 3rd Generation EPYC 64C 2GHz /HPE	AMD Instinct MI250X	1,102.00/1,685.65	21,100
2	日本	Fugaku	7,630,848	SupercomputerFugaku/ARM A64FX 48C 2.2GHz/Fujitsu	None	442.01/537.21	29,899
3	芬兰	LUMI	1,110,144	HPE Cray EX235a/AMD Optimized 3rd Generation EPYC 64C 2GHz/HPE	AMD Instinct MI250X	151.90/214.35	2,942
4	美国	Summit	2,414,592	IBM Power System AC922/IBM POWER9 22C 3.07GHz/ IBM	NVIDIA Volta GV100	148.60/200.79	10,096
5	美国	Sierra	1,572,480	IBM Power System AC922/IBM POWER9 22C 3.1GHz/IBM	NVIDIA Volta GV100	94.64/125.71	7,438
6	中国	Sunway TaihuLight	10,649,600	Sunway MPP/Sunway SW26010 260C 1.45GHz/ NRCPC	None	93.01/125.44	15,371
7	美国	Perlmutter	761,856	HPE Cray EX235n/ AMD EPYC 7763 64C 2.45GHz/HPE	NVIDIA A100 SXM4 40 GB	70.87/93.75	2,589
8	美国	Selene	555,520	NVIDIA DGX A100/AMD EPYC 7742 64C 2.25GHz/ NVIDIA Corporation	NVIDIA A100	63.46/79.22	2,646
9	中国	Tianhe-2A	4,981,760	TH-IVB-FEP Cluster/Intel Xeon E5-2692v2 12C 2.2GHz/ NUDT	Matrix-2000	61.44/100.68	18,482
10	法国	Adastra	319,072	HPE Cray EX235a/AMD Optimized 3rd Generation EPYC 64C 2GHz/HPE	AMD Instinct MI250X	46.10/61.61	921

国国家高等教育运算中心CINES联合研制的 Adastra。采用了HPE Cray EX235a系统架构，欧洲排名第二，性能达到46.1Pflops。

三、TOP500榜单分析

3.1 新入榜单的系统

本次榜单中，新入榜的Frontier表现突出，位居TOP500第一位，以其1.102Exaflop/s的性能超过了排在后面的7台系统的总和。同时该系统在以HPL-AI基准的混合精度性能测试中也获得了第一名。除此之外，它的功耗仅为21100KW,在Green500排名中位居第二名。

值得注意的是，排名位于第一位、第三位（芬兰的 LUMI）以及第十位（法国的Adastra）的三台最新上榜的机器，全部基于HPE的Cray EX架构，内部使用的是AMD在2021年发布的第三代EPYC（霄龙）服务器处理器。

3.2 装机总量和性能

TOP500中，中国的超级计算系统装机数量为173台，占34.6%。和上期榜单持平，位于第一位；美国的装机量和上一期相比有所降低，从149台降到了128台；而欧洲的装机量增加了13台；日本的装机量增加了1台。

表2 TOP500中各国家地区装机量

国家地区	机器数	系统占有率 (%)	R _{max} (TFlops)	R _{peak} (TFlops)	Cores
中国	173	34.6	530,240	1,158,771	29,413,676
美国	128	25.6	2,085,045	3,150,398	27,715,304
欧洲	118	23.6	890,252	1,294,550	16,213,648
日本	33	6.6	626,506	817,353	11,984,068

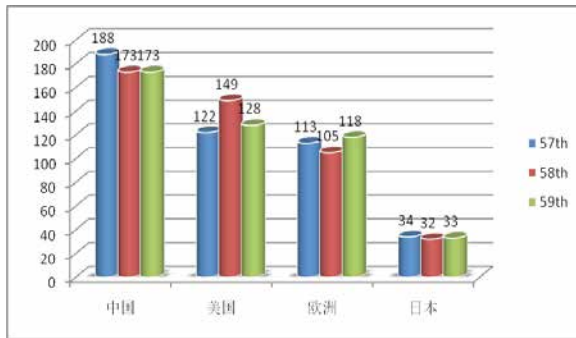


图2 近三期TOP500排名中各国家地区装机量变化

在性能方面，美国的总性能继续保持第一位，从图3中可见，美国的系统装机量份额虽然排名第二，但凭借TOP500排名第一的Frontier，性能份额从上一期的32.5%增加到了本期的47.4%，接近全世界总性能的一半。欧洲的性能份额为20.2%，比上一期的21.5%略有下降。中国的性能份额从17%降低到12%，日本则从20.7%降低到14.2%。

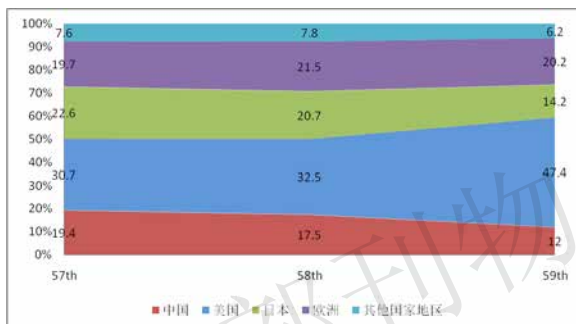
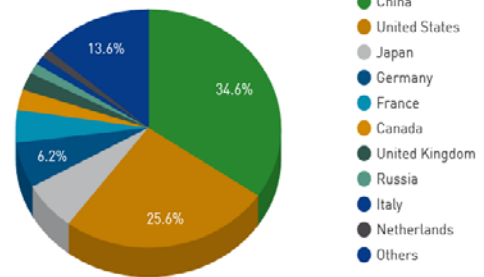


图3 近三期TOP500排名中各国家地区性能份额的变化

Countries System Share



Countries Performance Share

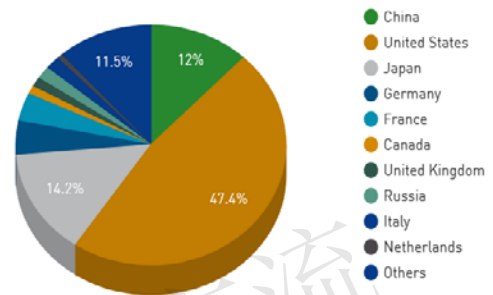


图4 TOP500中各国家系统装机量和性能份额分布

在TOP500中，有254台系统采用中国制造商的产品，包括了联想Lenovo(161台)、浪潮Inspur(50台)、曙光Sugon(42台)、华为Huawei(7台)，其中联想装机总量排名众多厂商第一，美国的HPE (Hewlett Packard Enterprise Co.)居第二位，装机数量为96台。

本次TOP10中有四台系统由美国的HPE研发：第一位的Frontier，第三位的LUMI，第七名的Perlmutter，第十位的Adastra。

表3 装机量排名前十位的制造商

排名	制造商	数量	系统占有率	Rmax (TFlops)	Rpeak (TFlops)	Cores
1	Lenovo	161	32.2	448,702	896,002	13,799,328
2	HPE	96	19.2	1,928,597	2,864,953	25,541,024
3	Inspur	50	10	105,843	260,865	2,484,560
4	Atos	42	8.4	253,743	386,354	5,942,128
5	Sugon	36	7.2	72,666	194,315	3,089,780
6	DELL EMC	17	3.4	110,528	182,670	2,512,868
7	Nvidia	14	2.8	147,754	186,955	1,465,472
8	Fujitsu	13	2.6	535,092	684,006	9,307,872
9	NEC	10	2	43,175	63,423	678,152
10	Huawei Technologies Co., Ltd.	7	1.4	14,668	25,910	303,456

3.3 处理器

Intel公司作为最大的处理器的供应商，装配量在TOP500中占有了77.6%，比起六个月前的81.6%有所下滑，从上一期榜单的408台下降到了本期的388台。而AMD公司则从六个月前的14.6%上升至18.6%，配备AMD处理器的系统则从73台增加到93台。新上榜的32台系统中，配备AMD处理器的数量为20台，其中AMD Milan处理器在500台系统中所占性能份额从上一期的5.6%增加到本期的35%。

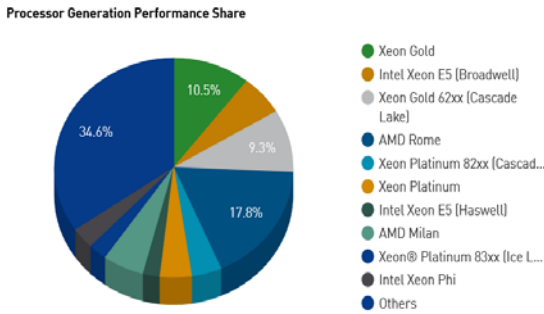


图5 第58期TOP500处理器的性能份额

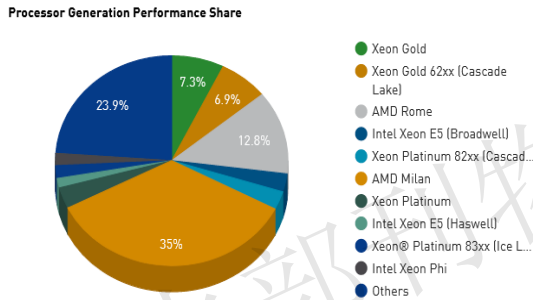


图6 第59期TOP500处理器的性能份额

3.4 加速器

在本次排名中，总共有169台系统使用了加速部件/协处理器技术，比六个月前的151有所增加。其中84台使用了NVIDIA Volta架构，54台使用了NVIDIA Ampere架构，8台使用NVIDIA Pascal架构。新上榜的32台系统中，有6台使用了AMD Instinct MI250X加速部件，14台使用NVIDIA加速技术。

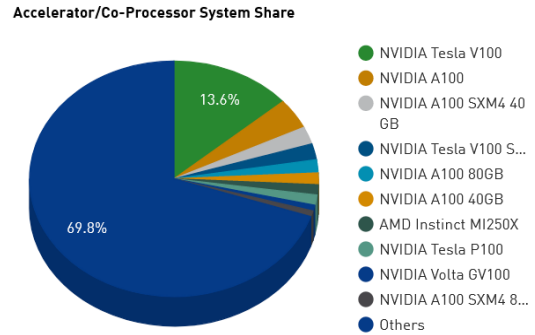


图7 TOP500中加速器的装配量份额

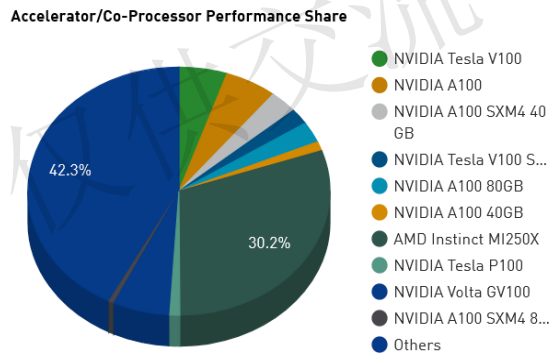


图8 TOP500中加速器的性能份额

表4 系统占有率排名前十的加速部件/协处理器

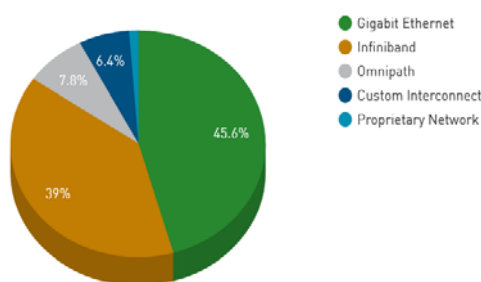
排名	Accelerator/Co-Processor	数量	系统占有率 (%)	Rmax (TFlops)	Rpeak (TFlops)	Cores
1	NVIDIA Tesla V100	68	13.6	226,796	443,631	4,688,680
2	NVIDIA A100	21	4.2	245,338	355,999	2,347,776
3	NVIDIA A100 SXM4 40 GB	12	2.4	131,321	181,292	1,361,928
4	NVIDIA Tesla V100 SXM2	11	2.2	90,370	180,163	2,031,440
5	NVIDIA A100 80GB	9	1.8	121,225	160,208	1,026,944
6	NVIDIA A100 40GB	8	1.6	52,766	84,264	555,588
7	AMD Instinct MI250X	7	1.4	1,329,823	2,001,850	10,368,896
8	NVIDIA Tesla P100	7	1.4	46,445	68,784	944,960
9	NVIDIA Volta GV100	4	0.8	269,439	362,565	4,408,096
10	NVIDIA A100 SXM4 80 GB	4	0.8	25,397	27,245	206,112

表5 TOP500中互连技术使用情况分布

排名	互连技术	数量	系统占有率 (%)	Rmax (TFlops)	Rpeak (TFlops)	Cores
1	Gigabit Ethernet	228	45.6	1,987,373	3,361,469	30,519,552
2	Infiniband	195	39	1,426,740	2,137,960	26,598,404
3	Omnipath	39	7.8	161,805	250,892	3,696,264
4	Custom Interconnect	32	6.4	335,259	500,646	22,008,172
5	Proprietary Network	6	1.2	491,906	597,474	8,609,792

3.5 互连技术

Interconnect Family System Share



Interconnect Family Performance Share

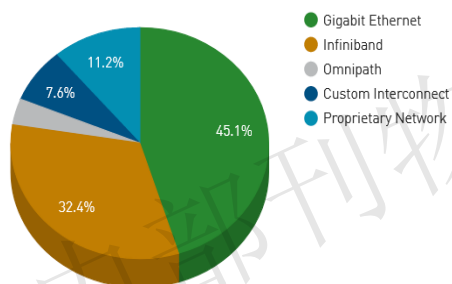


图9 TOP500中各互连技术装机量和性能份额分布在超级计算机系统中，高速以太网仍然是目前

采用最多的互连技术，500台系统中有228台系统采用此种方式互联，占比为45.6%；使用InfiniBand互联的系统为195台系统，占比为39%。新进入TOP500的新系统中，总共有18台采用了InfiniBand技术。在前250名中，新上榜系统中采用InfiniBand技术的有10台；而采用Slingshot技术也占据了10台，该技术建立在标准以太网之上。InfiniBand 在整体性能中的份额从上一期TOP500的44.5%降低到本期的32.4%。

四、其他榜单介绍

4.1 HPCG500榜单

HPCG（高度共轭梯度基准测试）是求解稀疏矩阵方程组的迭代算法，一般系统使用HPCG测出的性能要比使用HPL测出的性能低。在与TOP500同时公布的HPCG榜单中，由于Frontier的数据暂时未公布，所以第一名仍由日本的Fugaku获得。从表6中可以看出排名前五的系统在TOP500中也同样靠前。HPCG测试更加注重计算性能和通讯性能（内存带宽、延迟等指标）的平衡。

表6 HPCG500排名前五的系统

HPCG 排名	TOP500 排名	系统 / 国家	Cores	Rmax (PFlop/s)	HPCG (TFlop/s)	HPCG/HPL(%)
1	2	Fugaku/Japan	7,630,848	442.01	16004.50	3.62
2	4	Summit/United States	2,414,592	148.60	2925.75	1.97
3	3	LUMI/Finland	1,110,144	151.90	1935.73	1.27
4	7	Perlmutter/United States	761,856	70.87	1905.44	2.69
5	5	Sierra/United States	1,572,480	94.64	1795.67	1.90

表7 HPL - AI排名前五的系统

HPL - AI 排名	TOP500 排名	系统	国家	Cores	HPL - AI (EFlop/s)	HPL Rmax (EFlop/s)	Speedup
1	1	Frontier	美国	8,730,112	6.861	1.102	6.2
2	2	Fugakua	日本	7,630,848	2.000	0.442	4.5
3	4	Summit	美国	2,414,592	1.411	0.1486	9.5
4	8	Selene	美国	555,520	0.630	0.063	9.9
5	7	Perlmutter	美国	761,856	0.590	0.0709	8.3

4.2 HPL-AI榜单

为了准确地表达包含低精度计算能力的新型硬件加速器的性能，由美国橡树岭国家实验室在2019年提出了HPL-AI指标来评测超级计算机的混合精度计算能力，强调高性能计算（HPC）和人工智能（AI）工作负载的融合。

在HPL-AI榜单中，Frontier的混合精度和双精度计算能力都高于第二位的Fugakua的指标。而排名第三的Summit系统和第四的Selene系统也在加速比方面

表现突出。

4.3 GREEN榜单

Frontier TD（单机柜版本）在Green500中获得了第一名，Frontier完整版获得了第二名，其他两台新进入TOP10的机器分别位于GREEN榜单的第三位和第四位。其中Frontier的能效为52.227GFlops/watts，和上一期的第一名相比,能效提高32%。

表8 Green排名前五的系统

Green500 排名	TOP500 排名	系统	国家	Cores	Rmax (TFlop/s)	Power (kW)	Energy Efficiency (GFlops/watts)
1	29	Frontier TDS	美国	120,832	19.20	309	62.684
2	1	Frontier	美国	8,730,112	1,102.00	21,100	52.227
3	3	LUMI	芬兰	1,110,144	151.90	2,942	51.629
4	10	Adastra	法国	319,072	46.10	921	50.028
5	326	MN-3	日本	1,664	2.18	53	40.901

五、趋势分析

5.1 大数据和人工智能应用

在大数据的驱动下，各个领域正在发生深刻的变化，大数据带来大的信息量，同时也要求大的算力，来挖掘海量数据带来的新知识。在第十七届全国高性能计算学术年会（CCF HPC China 2021）期间，发布的《数据密集型超算技术白皮书》系统性阐述了数据密集型超算的十大典型应用场景、技术发展建议以及未来产业发展方向建议，包括：基因测序、自动驾驶、能源勘探、气象预测、卫星遥感、类脑科学、高能物理、天文物理、灾害模拟和媒体计算。从全世界范围来看，超级计算机的应用也集中在生命科学、CAE，机械工程、金融、EDA、地理、机械设计、学术研究、国防和气候等需要大数据支撑的领域。

同时，当前迅速发展的人工智能在数据量和算法的双重作用下，使得AI和HPC技术的融合成为HPC发展的方向。从TOP500最新上榜的系统参数及其应用场景中可以看出，HPC逐步从科学计算，转向基于大数据和人工智能的数据密集型计算。

例如美国的Frontier支持包含天体模拟，全基因组关联分析，湍流数值模拟、纳米级分子动力学，高能粒子加速器在肿瘤方面的应用等多个学科的研究项目。

在人工智能方面，Frontier使用户能够以百万兆级的运算速度开发AI模型，开发速度将增加4.5倍,模型规模也将增大8倍。从而可以训练更多数据,最终提高可预测性并加快发现时间。日本的Fugaku系统最新支持的项目包括对于COVID-19的研究以及对于原子尺度上的光-物质相互作用的模拟。欧洲的LUMI系统重点关注地球气候变化和医药等研究领域，以解决能源问题、环境问题以及更快的研发新药。人工智能方面，LUMI将在诸如自动驾驶汽车、大规模社会科学分析、个性化医学研究等领域发挥作用，支持的项目包括人工智能系统对于癌症早期的诊断、数字地球孪生对于环境变化的预测以及对社会信息化产生的海量数据的挖掘研究等。

Application Area System Share

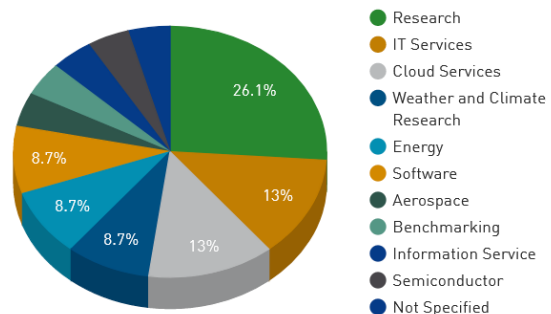


图10 TOP500系统在各个领域的分布

5.2 绿色超算

全球倡导低碳环保的趋势，使HPC从系统的整体设计，机房的搭建方式，甚至到系统选定安装的地理位置，都充分体现了绿色节能的理念。例如TOP500排名第三的LUMI系统，选址在高纬度的芬兰城市卡亚尼，使用100%的可再生能源(当地的水力发电)，系统运行产生的余热将用于满足卡亚尼当地每年约20%的暖气供应，通过这些举措减少当地每年12400吨的碳足迹，相当于4000辆小客车的排放量。此外，不仅HPC使用方式更为环保，HPC本身也将为全球达到双碳目标贡献算力，例如通过人工智能的方式预测气候变化对地球和人类生活的影响。

参考文献：

[1] TOP500, <https://www.top500.org>

六、小结

从TOP500榜单可以看出，HPC通过核心处理器的更迭、加速器协处理的使用、高速互联技术的革新等方式来满足现实的需求。除了为传统的科学研究提升速度和扩大规模外，HPC也将在大数据和人工智能快速发展的背景下完成自己的进化，从而进一步催生出更多新的使用场景和研究方向。同时，HPC不仅仅在传统科学研究领域发挥巨大作用，也将随着整个社会数字化进程，在人文社科领域产生深远的影响。同时，绿色理念也将继续作为HPC系统构建的重点，让科技改变生活体现在方方面面。

要闻集锦

打破图计算性能世界纪录 华中科大DepGraph登顶全球最权威图计算榜单

日前，在德国汉堡举办的国际高性能计算大会上，公布了第24届Graph 500排名。

据悉，由华中科技大学图计算团队研发的图计算机DepGraph性能打破图计算性能世界纪录，登顶全球最权威图计算榜单，同时，在国际上首次实现单机性能超越超级计算机图计算性能。

在去年公布的Graph 500排名中，DepGraph就已经登顶，而在此次排名中，DepGraph Supernode性能超过日本“富岳”等超级计算机，蝉联全球第一并打破世界纪录。

据了解，图计算是一种重要的大数据算法模型，图计算里的图并非指图像，而是指一种抽象的数据结构，由顶点和边构成。人们在图之上进行个体分析、关系挖掘和复杂计算，实现知识推理和事件溯源及预判。图计算目前已被应用于医疗、教育、金融等多个领域。

国际超级计算大会的Graph 500是由国际计算机学会ACM和IEEE联合组织的国际上评价超级计算机图计算性能的最权威榜单。全球所有超级计算机都会力争在Graph500榜单上排名，以此证明自己计算能力。

(陈继军)

算力设施助力碳中和

● 王 涛 上海超级计算中心 上海 201203 twang@ssc.net.cn

2020年9月，在第七十五届联合国大会一般性辩论上，我国首次提出要在2030年实现碳达峰，2060年实现碳中和的目标。面对此项重大任务，我国社会经济各行业的绿色发展转型势在必行。长期以来，超级计算机等算力设施的能源消耗十分巨大，一直是超级计算机的核心指标之一，也一直是算力设施建设的主要屏障之一。如何提高能源使用效率是计算机技术的重要研究方向。在每年两次发布的国际超级计算机排行榜单中，除了衡量算力大小的Top500榜单外，Green500榜单则是用来衡量超级计算机的能效，即每瓦电力消耗所获得的计算性能。在2021年7月最新发布的Green500榜单中，目前能效比排名第一的是来自日本的MN-3超级计算机，达到了每瓦29.7GFlops的计算能力（1GFlops为每秒执行10亿次双精度浮点数计算），而目前计算速度最快的超级计算机日本的富岳，能效比仅排名第20。我国目前公开上榜的能效比最高的超级计算机排名为27，能效为11.38GFlops/w。除了计算机本身的计算能效技术以外，我国算力设施在提高能源使用效率的其他方面还有广阔的空间。

一、新型节能技术

在算力基础设施中，除了计算机芯片本身消耗的电力以外，散热和环境制冷也消耗了较大比重的电力能源。减小散热的消耗、提升能耗效率，成为算力基础设施碳中和的重要指标。在衡量算力设施能源使用效率方面，人们往往用PUE（Power Usage Effectiveness）做为评价指标。PUE是数据中心消耗的所有能源与信息设备消耗的能源的比值。其中数据中心总能耗包括信息设备能耗和制冷、配电等外围配套系统的能耗。PUE的值一般大于1，越接近1表明非信息设备耗能越少，即能效水平越好。

目前数据中心采用的散热和制冷方式主要包括风冷和液冷两种。风冷是大多数现存传统数据中心采用的散热方式。它通过房间级或机柜排级空调进行制冷，制冷功耗高，噪声大，平均实现的PUE约为1.5~1.8。相对于液冷方式，风冷方式的主要缺点首先是限制了单机箱功率密度增长，布置相同功耗

的信息设备，占地面积显著增加；其次，风冷易产生局部热点，使芯片长期处于临界安全温度运行，性能下降，寿命缩短；第三，风冷对机房环境要求更高，且长期运行造成环境噪音污染。但对于小规模、较低单机柜功率的数据中心，风冷仍然是目前普遍应用的散热方式。

液冷技术是目前新兴的一种数据中心散热技术。它使用液体取代空气作为冷媒，为发热部件进行换热带走热量，一般分为间接冷却和直接冷却。其中间接冷却以冷板式液冷技术为主，直接冷却以浸没式液冷技术为主，并分为相变和非相变两种。

冷板式液冷是用铜、铝等导热性较好的金属构成的冷板散热器，将发热元器件的热量传导给散热器中的冷却液体，从而将热量带走的冷却方式。其中的冷却液体可以采用去离子水、水溶液、氟化液等。整个冷却系统分为一次侧循环与二次侧循环。一次侧循环为室外侧冷却塔/冷水机组等设备与换热单元的换热，即高温冷却液与室外侧冷水进行热交换，将热量传递给室外侧的低温水，从而变成低温冷却液，再次输送到服务器吸热。二次侧循环为换热单元与服务器冷板的换热，即服务器中冷板式散热器的低温冷却液通过热交换，吸收发热器件产生的热量，变成高温冷却液，输送到室外冷却塔。冷板式液冷服务器安装在机架中，与传统风冷环境共同制冷，其中风冷负责液冷冷板无法覆盖的部件，散热占比约10~30%。整个系统的平均PUE可达到1.2左右，与传统风冷服务器相比，节电率约45%。我国目前公开报道的最快超级计算机——神威太湖之光就是采用的冷板式液冷技术。

浸没式液冷是另外一种效率更高的散热技术。它将服务器完全浸没在液冷机柜内的非导电冷却液中，液体与发热芯片直接接触换热，通过工作介质的循环流动或蒸发冷凝带走热量。整个系统无需传统风冷辅助制冷，液冷散热占比100%，PUE可降到1.1以下。根据工作介质或冷却液是否发生相变，可分为单相式冷却和两相式冷却。单相式冷却即温差换热，利用冷却液的升温来带走热量，冷却液在循环过程中始终保持液态。冷却液吸收服务器热量温

度升高后，用泵驱动，与室外的冷却塔或干冷器进行热量交换，变为低温冷却液，流回液冷机柜，完成内部循环。两相式冷却即沸腾换热，冷却液在循环散热过程中发生了相变，由液态变成气态，通过相变吸热带走服务器产生的热量。气态冷却液与室外干冷器进行热量交换，冷凝成液态，流回液冷机柜，完成散热循环。相对来说，两相式液冷的传热效率更高，但对冷却液和密封性要求较高。目前我国最新研制的部分超级计算机就是采用两相式浸没液冷技术。

二、算力资源规模化

从成本角度看，规模化建设算力资源将带来可观的成本和碳排放收益。风冷技术前期投入较低，一些小规模、分散的、低密度的算力设施依然愿意采用传统风冷的制冷方式。而液冷技术有较高的前期机房建设成本，只有在算力设施达到一定的规模后，才能体现出成本效益，因此适合于较大规模的计算中心或数据中心采用。据某服务器厂商测算，当服务器数量少于288时，冷板液冷方式的制冷配套费用占总投资的比例随着服务器数量的减少而显著攀升；而当服务器数量大于288时，冷板液冷方式的制冷配套费用占总投资的比例维持在2%~3%。同样以288台典型服务器为例，采用冷板液冷方式的计算平台与采用传统风冷方式的计算平台相比，运行三年节约的电费可完全覆盖采用液冷方式所增加的投资。随着服务器数量的增加，所节约的电费也显著增加。例如，当服务器数量增加到480台，液冷平台三年的建设和运营总成本比风冷平台少0.7%，六年少7.3%。正是考虑到规模化建设算力设施所带来的成本和碳排放收益，近年来，全球小微型数据中心的数量显著下降，而大型和超大型数据中心的数量持续增加。例如，从2016年到2019年，全球数据中心减少约2.1万，而机架数增加约6.5万。

从政策角度看，我国为了提高数据中心的能效，已开始限制高PUE的数据中心的建设，相关政策对数据中心机房的PUE提出了明确限制，鼓励液冷技术、IT设备高密度集成技术及IT设备能效提升技术实施，促进数据中心液冷技术进一步发展。例如，工信部等三部门提出到2022年，数据中心平均能耗基本达到国际先进水平，新建大型、超大型数据中心的电能使用效率值PUE达到1.4以下（《工业和信息化部 国家机关事务管理局 国家能源局关于加强绿色数据中心建设的指导意见》，2019）；北京提出禁止新建和扩建互联网数据服务、信息处理和存储支持服务中的数据中心，但PUE值在1.4以下的云计算数据中心除外（《北京市新增产业的禁止和限制目

录》，2018）；上海提出新建互联网数据中心PUE值严格控制在1.3以下，改建互联网数据中心PUE值严格控制在1.4以下，且新建互联网数据中心单项目规模原则上应不低于3000个机架（《关于加强上海互联网数据中心统筹建设的指导意见》，2019）。因此，算力设施作为面向高质量发展需要，提供数字化转型、智能升级、融合创新等服务所必需的新型基础设施，要达到以上能效要求，规模化、绿色化是必然选择。

三、高效使用算力

将算力资源高效使用、充分利用是最大的节能减排。在当前碳达峰、碳中和的大背景下，高效充分使用算力资源具有特别重要的意义。

算力设施可以极大加快研发创新进程，减少研发过程的碳排放。计算模拟手段目前已成为科学和工程领域内最重要的创新方法，很多物理实验可以被计算模拟所替代，特别对于一些极端环境、危险困难、代价高昂的研究内容，计算仿真模拟是不可替代的研究手段。近十几年来，计算仿真对工业工程领域产生了巨大的影响，被广泛用于替代产品研制的传统方法。很多产品的设计制造、运行环境和工程建设环境都通过计算仿真手段进行模拟，计算仿真的水平已成为衡量工业企业竞争力的主要标志之一。例如，在汽车、航空航天和重型装备制造企业，全周期计算机辅助工程技术被运用到从新产品研发到失效测试直至老产品的维护等多个方面，大大降低了原型产品和测试产品的数量，节省了开支，提高了效率。在钢铁行业，计算模拟被用于产品开发的物理实验、理化解析、中试生产等，代替了以前动辄用大生产线进行的试验，使产品开发过程变得科学、高效和经济。通过对物理试验的大量替代，特别是一些高能耗、高污染的试验，计算仿真很大程度上减少了研究开发过程的碳排放。

算力设施可以极大优化生产经营流程，减少生产运营的碳排放。随着大数据、人工智能技术的兴起，算力资源被广泛用于环保、交通、工业生产、城市治理等多个场景，优化生产运营流程，实现减排增效。将计算能力与工业互联网数据分析平台相结合，可以帮助企业分析改善智能设备在实际工作条件下的性能，实现工业自动化控制、智能化管理，提升企业生产力和工作效率，有效减少能源使用和碳排放。例如，在钢铁行业，神经网络计算被用于对炼铁、炼钢、轧钢等工艺环节的能耗和用料进行精准预测，从而对于生产物资进行调整，节约成本与能耗；在运输行业，车路协同技术通过实时交互车路动态信息，采用人工智能计算，对整体

道路流量、交通事件、路况进行预判，实现车辆之间、车辆和基础设施之间的智能协同，达到提高车辆配置效率、降低车辆燃油消耗等减排增效目标。算力设施和信息技术的应用大大提升了生产、生活和经营活动的效率，减少了生产运营的碳排放。

四、总结展望

算力设施是支撑我国未来科技创新、经济发展和社会治理的重要新型基础设施。不仅其本身需要采用新型节能技术，进行集约化规模化建设，共享使用，提高能源使用效率，减少自身的碳排放，更需要将其广泛用于生产生活的各个方面，使传统产业智能化、智慧化，提升资源使用效率，从整体上减少全社会的碳排放，助力我国早日实现双碳目标。

要闻集锦

我国算力总规模超140EFlops，全球第二

近日，在2022中国算力大会新闻发布会上，工业和信息化部党组成员、副部长张云明表示，数字经济是继农业经济、工业经济之后的主要经济形态，是重组全球要素资源、重塑全球经济结构、改变全球竞争格局的关键力量。

我国算力产业规模持续快速增长，已数年稳居世界第二。统计测算数据显示，从2012年至2021年，我国数字经济规模从11万亿增长到超45万亿，数字经济占GDP比重由21.6%提升至39.8%。

新型基础设施建设提速，数字产业化深入推进。目前，我国已建成全球规模最大、技术领先的网络基础设施，所有地级市全面建成光网城市，千兆用户数突破5000万，5G基站数达到170万个，5G移动电话用户数超过4.2亿户；2021年全国规模以上电子信息制造业增加值比上年增长15.7%，增速创下近十年新高；2021年软件

和信息技术服务业、互联网和相关服务企业的业务收入保持了17.7%和16.9%的高增速，分别达到94994亿元和15500亿元。

千行百业转型应用涌现，产业数字化动能释放。大数据、云计算、人工智能加速融入工业、能源、医疗、交通、教育、农业等行业。工业互联网应用已覆盖45个国民经济大类，工业互联网高质量外网覆盖全国300多个城市。2021年，我国实物商品网上零售额首次突破10万亿元，同比增长12.0%；移动支付业务1512.28亿笔，同比增长22.73%。

张云明表示，随着数字经济时代的全面开启，算力作为重要“底座”支撑，赋能作用日渐凸显。算力是数字经济时代新的生产力，将为加强数字政府建设、激活数据要素潜能以及各行各业的数字化转型注入新动能，助推经济社会高质量发展。

（陈继军）

数字化转型：文旅产业的线上线下融合发展之路

● 胡安安 王轩钰

复旦大学旅游学系 上海 200433 huanan@fudan.edu.cn

摘要：

数字化浪潮到来之际，文旅产业要抓住数字化转型新机遇，充分发挥数字化渠道优势，创建符合新时代特征的宣传方式，通过技术、信息、社交平台等要素的融合创造数字文旅产业发展新可能。在提供全新文化体验服务的同时，成为政府相关数据两张网的有力补充，提供实时更新的公共数据资源，以在线新经济模式提升产业自主盈利能力，赋能产业可持续发展。

关键词：数字化转型，文旅产业

研究背景

文旅产业涉及人民日常生活的吃住行游购娱等众多方面，是人民幸福感、获得感的重要来源。2021年10月上海发布的《上海市全面推进城市数字化转型“十四五”规划》中明确指出：“在数字化浪潮到来之际，文旅产业应形成与城市数字化转型相适应的发展格局，走线上线下融合发展之路，创新发展路径，打造人民高品质生活新图景”。

一、数字化渠道创建文旅产业宣传新方式

传统利用宣传片或通过旅行社介绍的宣传方式，传播范围小且传播能力较弱，无法有效吸引公众关注，宣传效果通常达不到预期。为走出这一宣传困境，文旅产业需要抓住数字化转型的新机遇，充分发挥数字化渠道的优势，创建符合新时代特征的宣传方式。

利用数字化渠道可传递信息量大的特点，对于具有重大文化价值的景点，文旅产业可以尝试在线纪录片、综艺节目等全新的线上宣传方式。借助数字化渠道打造更容易被百姓理解接受的宣传方式，从而真正将文化感渗入百姓的日常生活。以故宫为例，故宫推出的在线纪录片《我在故宫修文物》、综艺节目《上新了·故宫》等，以百姓喜闻乐见的数字化渠道展开宣传，结合优质的内容与精心的制作，不仅好评如潮，更激发了青少年群体对文物工作的关注。其中，《我在故宫修文物》从文物修复这一特殊角度切入，通过还原文物修复师的实际工作情况讲述故宫故事，涉及文物历史、故宫构造、

技艺传承等多方面问题，片中数字场景的重现使故宫形象更加立体、鲜活，给观众留下了深刻印象。利用数字化渠道实效性强的特点，文旅产业可以利用官方媒体、自媒体等平台及时传递信息，利用微信推送、短视频等方式展示文旅产业的最新动态，让百姓了解到文旅产业的热点。利用数字化渠道传播范围广的特点，文旅产业的优秀成果不仅可以吸引国内游客兴趣，更是在世界范围内讲好中国故事的重要载体。发挥数字化渠道的实时交互性，文旅产业相关人士可以利用新媒体平台与网友进行互动，传递“我们在做什么”，了解百姓“想知道什么”，打通文旅产业“双向交流”的渠道。目前故宫在微博等社交媒体平台上拥有超过千万的关注量，官方发布的最新动态、与网友在评论区的互动都能有效展现在百姓面前。数字化渠道“有问必答”的交流互动模式让文旅产业用“人民能理解、愿意看”的方式进行宣传，描绘出人民高品质生活的新图景。

二、多种要素融合创造文旅产业发展新可能

2.1 文旅产业融合技术要素

受场地条件限制与新冠肺炎疫情影响，文旅场馆通常会限制游览人数以确保游客安全。数字技术的发展为这一难题提供了解决方案——与信息技术深度融合的数字文旅产业。数字文旅产业具有开放性、多样性、便捷性等特点，突破时间与空间的限制，是全新的文化体验服务模式。2020年2月8日中

国科技馆推出全国首个抗击新冠肺炎疫情网络专题展——“新的对决”，不到24小时就吸引了60余万公众上线体验，及时传递了科学的声音和权威的信息。

发展数字文旅产业需要重点考虑与手机移动端的融合问题。根据CNNIC最新发布的《第48次中国互联网络发展状况统计报告》，截至2021年6月，中国手机网民规模为10.07亿，使用手机上网的比例高达99.6%。做好移动端的文旅服务工作，并不是与线下场馆争夺客户，而是为了更好地服务人民生活，提升文旅体验的满意度，让文旅活动“触手可及”。上海中共一大纪念馆的数字化转型工作，便精准契合《推进上海生活数字化转型构建高品质数字生活行动方案（2021-2023年）》中所强调的“推进文化资源数字化，建设文化资源数据平台”要求。中共一大纪念馆在微信公众平台推出了“数字展厅”功能，将数字化文化资源与手机移动端有机结合，极大程度上方便了游客。游客只需关注微信公众号便能足不出户看到实景展品，游览真实场景，轻点屏幕便可看到详细介绍。数字展览不仅为百姓提供了全新的文旅体验载体，也丰富了文化资源的展现层次。

文旅产业在发展数字展览的同时，也应注重对线下场馆的数字化改造。依托线下实体场馆，可以通过搭建数字化应用场景来实现互动式沉浸体验，拉近游客与展品的距离。由于展品的珍贵与特殊性，游客在实体场馆展览时无法近距离观看展品，难以切实感受到展品的魅力。同时，传统的展馆信息化建设主要采用文字与视频的形式介绍展品，呈现方式单一，很难满足游客的互动体验需要。从提升用户体验的角度出发，文旅产业需要融合新技术对场馆进行数字化升级改造。例如，利用全息投影将展品全方位地展现在游客面前，实现游客与展品之间的零距离体验。利用VR/AR/MR与AI技术，设计相应互动环节，增强游客的交互体验，达到独特的文化沉浸效果。其中VR与AI技术在故宫的“发现·养心殿”展览中已有实际应用，游客可以在数字世界中体验“批阅奏折”、“召见大臣”等项目，获得区别于过往的、独特的游览记忆。

2.2 文旅产业融合信息要素

自新冠肺炎疫情出现以来，身份证、健康码、行程码、实时体温等信息查验成为进入景区必不可少的环节。在满足疫情防控要求下，为最大程度方便人民群众出行，文旅产业需要主动融合到相关部门的一体化信息平台，做到在实名认证的情况下，“一次扫码”即可了解游客健康信息、行程轨

迹、是否预约等综合情况，简化流程、提高工作效率，提升游客体验。《上海市全面推进城市数字化转型“十四五”规划》明确提出建设“随申码·文旅”公共服务平台，实现全市范围内的“一码畅游”。在新技术的支持下，文旅产业将成为政府相关数据“一网通办、一网统管”的有力补充，提供实时更新的公共数据资源。例如，在景区测得的游客实际温度可以纳入全市疫情监控系统；游客在景区刷码进入可以成为实时群体位置数据的重要补充，让景区每一个数据都能发挥出实际作用。想要实现上述效果，相关部门需建设公共数据资源的共享和传递机制，达到数据“全网互通、一网协同”的效果。文旅服务融合信息要素，将为人民生活提供更多的便利。

从游客的需求角度切入，文旅产业需要首先解决交通方面“如何去”问题。路途较远的游客会关注酒店的实时接待能力，以此来规划行程。对于路途较近的游客，公共交通系统或网约车平台是大多数用户的选择。结合在线地图软件显示的实时公共交通拥挤程度及网约车排队情况，为短途游客选择出行工具提供重要参考。文旅产业需要融合上述各类信息，打造智慧出行生态，通过合适的载体展现旅游“人-车-路-店”的协同信息，供游客选择。其次是天气方面，对于以自然景色为主的景区来说，天气状况对游览体验有较大影响，景区管理方需要在预约平台界面加入天气预报、空气污染指数等相关信息，为游客出行提供参考。第三，文旅产业需要学习和参考国内外主题乐园的位置服务，通过在线地图、实时导流等功能为游客规划路线提供信息。这种融合了地理位置信息的服务，不但方便了游客，也减轻了文旅景点周边的交通压力。

更进一步，文旅产业需要做到“能公开的公共数据均公开”，让游客拥有数字掌控感。例如发布当前景区内人数的实时数据、具体片区的拥挤程度等数据，展示拥堵情况的实时热力图，游客可以参考实时数据主动调整行为，从而达到景区整体动态平衡的效果，避免“过热”情况出现。2022年1月1日起实施的《上海市数据条例》对公共数据流通做出了明确的规定，指出“以共享为原则，以不共享为例外，提高共享效率”，为文旅产业融合信息要素提供了法规支撑。

特别需要指出的是，文旅产业在数字化转型的同时仍应保留必要的线下服务窗口，关注各类群体的“数字鸿沟”问题，方便困难群体的需要。在实行景点网上预约制的同时，预留一些名额给线下预约窗口与电话预约。例如上海自然博物馆在实行“线上实名制购票”的同时，特别说明“对老年人

等特殊需求观众，现场提供购票的咨询或者协助服务。”重视每一类群体的需求，提升文化、旅游数字服务的普惠性、均衡性，让人民充分感受到有品质、有温度的文旅服务。

2.3 文旅产业融合社交平台要素

文旅产业的发展始终离不开“人”，如何满足人民群众的精神文化需要是文旅产业的核心课题。目前社交平台已成为百姓日常生活中不可或缺的一部分，文旅产业主动融合社交平台符合时代发展的要求，而营造网红打卡地是可行性较高、效果较好的一种方式。打卡地能有效吸引游客，增加客流量，扩大景区的线下和线上知名度。例如，陕西西安的“大唐不夜城”步行街以西安独特的文化底蕴作为宣传要点，打造唐文化与现代潮流的融合，此举吸引了大批游客前来“打卡”。通过网络快速传播、走红，“大唐不夜城”迅速成为西安“夜游经济”的主阵地。但并不是每一个景点都可以成为打卡地，除了在自然景观、服务、文化等某方面具有鲜明特征外，打卡地的设计更需要精耕细作，既要能吸引游客前来拍照片、录视频，也要有各类保障设施，为“打卡”资源在社交网络的快速传播提供便利。通过游客在社交平台上与网友分享、互动，打卡地相关信息以游客为中心传递给其身边的人，形成“朋友圈效应”。以社交平台为载体，游客的实际体验与官方宣传形成互补、互动的良性循环（图1），满足游客社交需要的同时提升了打卡点的知名度，让文旅景点拥有自我成长的生命力。

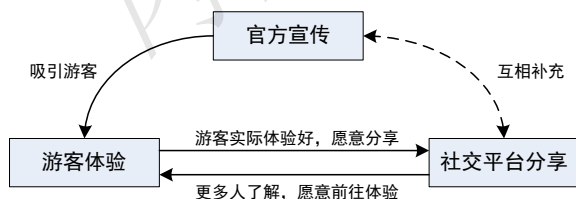


图1 官方宣传、游客体验、社交平台分享间的相互作用

三、在线新经济赋能文旅产业可持续发展

文旅产业可持续发展离不开产业的自主盈利能力。传统旅游产业主要依靠“门票”模式盈利，收入方式较为单一。在线新经济则为文旅产业收入方式多元化提供了可能，文化特色同数字营销手段相

结合，有助于创造具有高附加值的文创IP，提高文旅产业“其他收入”的占比。文创IP的数字化创新绝不意味着简单设计一个造型并在互联网上快速发布。一个有生命力的文创IP首先要求形象能够被人民接受、容易在网络中传播，达到“接地气”效果，这对形象的设计工作提出了较高要求。其次，文创IP需要做到形式通俗、内涵高雅，用数字创意整合文化资源。故宫“宫廷御猫”系列的走红便提供了很好的范例，由猫担任“御前护卫”这一文创IP迅速走红网络，既体现了传统文化感又融入了现代的时尚潮流，既展现了现代人不甚了解的古代官职又符合网络文化中的“爱宠”元素，因此广受群众喜爱，为故宫的线下游览和线上销售同时带来了可观的收入。以数字营销助力文化消费升级，这是文旅产业在线新经济发展的重要目标。

文创IP为文旅产业带来实质性收入，除了需要在线新经济强大的传播能力，更需要文旅产业的整体配合。线上文创IP推出后，线下景区、场馆就需要将其作为核心特色善加宣传，形成呼应。游客进行实地游览时，线下场馆可以围绕该形象设计展览和游玩主题，推出互动游戏，加深游客对该形象的认同感。文创IP变现的主要方式是售卖具有高附加值的文创产品，主要分为景区内的实体商店和电商平台上的网店两方面。景区内的纪念品商店注重场景整体设计与文创IP风格协调一致，让相关文创纪念品成为游客一段美好的记忆。电商平台上的网店则是文旅产业数字化转型的重要支撑，游客即使没有“到此一游”也能在线上网店买到文创IP产品。通过网店的在线宣传，游客不仅了解到文创产品的特色，还可以接触到真实景区、展览的精彩内容，产生线下活动的渴望。同时，利用线上优势，游客的真实反馈可以从电商平台购买评价、官方公众号评论等多种渠道获得，帮助文旅产业分析不同群体对文旅活动、文创产品的偏好，进一步优化文旅服务设计。

在数字化浪潮到来之际，文旅产业不能“掉队”，要充分借助数字化渠道、融合多种要素、依靠在线新经济积极进行数字化转型，始终“想群众之所想，急群众之所急，解群众之所难”，践行“以人为本”的发展理念，提供有品质、有温度的文旅服务，为人民群众的美好生活做出贡献。

2021年国内网络安全法规政策回顾

● 陈 卉 上海超级计算中心 上海 201203 hchen@ssc.net.cn

一、引言

2017年6月《中华人民共和国网络安全法》正式实施，网络安全同国土安全、经济安全等一样成为国家安全的一个重要组成部分。《网络安全法》中定义“网络”为由计算机或者其他信息终端及相关设备组成的按照一定的规则和程序对信息进行收集、存储、传输、交换、处理的系统；要求网络运营者（指网络的所有者、管理者和网络服务提供者）必须担负起履行网络安全的责任，保证安全技术措施同步规划、同步建设、同步使用，履行各项安全保护义务；明确提出不履行相应的责任与义务都将会受到法律的处罚。高性能计算集群属于“网络”，在规划建设运行使用过程中符合国家各项法律法规的要求。本文梳理总结出2021年在发展规划、数据安全、个人信息保护、关键信息基础设施、漏洞管理、网络内容治理等多个领域发布的网络安全法律法规和政策文件，供高性能计算行业工作者们参考。

二、网络安全法规政策内容简要分析

2021年是“十四五”开局之年，网络领域重要立法密集出台，网络法治体系进一步充实完善，是网络立法繁荣发展的重要一年。在愈加复杂多变的安全环境下，国家从立法层面持续提升全社会对网络安全的关注与重视程度，密集颁布多项网络安全相关法律法规。《数据安全法》《个人信息保护法》《关键信息基础设施安全保护条例》正式通过，与《网络安全法》《密码法》《民法典》等共同筑牢我国数字经济安全屏障。

2.1 发展规划

● 《“十四五”信息通信行业发展规划》

2021年11月1日，工业和信息化部发布《“十四五”信息通信行业发展规划》（工信部规〔2021〕164号）。

《规划》明确了信息通信行业的功能和定位是构建国家新型数字基础设施、提供网络和信息服

务、全面支撑经济社会发展的战略性、基础性和先导性行业。

《规划》要求全面加强网络和数据安全保障体系和能力建设，坚决落实国家网络安全工作“四个坚持”，紧紧围绕防范化解重大网络安全风险的工作主线，着力完备网络基础设施保护和网络数据安全体系，持续推进新型数字基础设施安全管理水平，打造繁荣发展的网络安全产业和可信的网络生态环境，全面提升行业网络安全应急处置，服务行业高质量发展，支撑构建国家网络安全新格局。

《规划》要求增强行业关键信息基础设施安全保障能力，深入落实《网络安全法》及国家关键信息基础设施安全。健全行业网络安全审查体系，推进网络关键设备安全检测认证，建立供应商网络安全成熟度认证等供应链风险管理制度，稳妥有序推进商用密码应用，提升网络基础设施安全保障水平。系统完善网络数据安全治理体系深入落实国家数据安全等法律制度，制定出台信息通信行业网络安全数据安全部门规章，建立健全行业数据分类分级保护、重要数据目录、数据泄露通知、跨境传输等基础管理制度规范。建立完善大数据平台和算法安全规则，推动出台人工智能技术应用安全规范。深化数据安全合规评估体系建设，推动建立数据安全治理能力评估、认证评测、行业自律等机制。

● 《“十四五”软件和信息技术服务业发展规划》

2021年11月15日，工业和信息化部发布《“十四五”软件和信息技术服务业发展规划》（工信部规〔2021〕180号）。

《规划》要求在安全保障方面，要强化安全保障开展软件数据安全、内容安全评估审查，加强软件源代码检测和安全漏洞管理能力，提升开源代码、第三方代码使用的安全风险防控能力。鼓励第三方服务机构，积极提升软件安全咨询、培训、测试、认证、审计、运维等服务能力。

● 《“十四五”大数据产业发展规划》

2021年11月30日，工信部发布《“十四五”大数据产业发展规划》（工信部规〔2021〕179号）。

《规划》要求筑牢数据安全保障防线，完善数据安全保障体系。强化大数据安全顶层设计，落实网络安全和数据安全相关法律法规和政策标准。鼓励行业、地方和企业推进数据分类分级管理、数据安全共享使用，开展数据安全能力成熟度评估、数据安全认证等。加强数据安全保障能力建设，引导建设数据安全态势感知平台，提升对敏感数据泄露、违法跨境数据流动等安全隐患的监测、分析与处置能力。推动数据安全产业发展。支持重点行业开展数据安全技术手段建设，提升数据安全防护水平和应急处置能力。加强数据安全产品研发应用，推动大数据技术在数字基础设施安全防护中的应用。加强隐私计算、数据脱敏、密码等数据安全技术与产品的研发应用，提升数据安全产品供给能力，做大做强数据产业。

《规划》明确，将开展数据安全铸盾行动，加强数据安全能力。推动建立数据安全管理制度，制定相关配套管理办法和标准规范，组织开展数据分类分级管理，制定重要数据保护目录，对重要数据进行备案管理、定期评估与重点保护。加强数据跨境安全管理。开展数据跨境传输安全管理试点，支持有条件的地区创新数据跨境流动管理机制，建立数据跨境传输备案审查、风险评估和安全审计等工作机制。鼓励有关试点地区参与数字规则国际合作，加大对跨境数据的保护力度。建设数据安全监测系统。基于大数据平台、互联网数据中心等重要网络节点，建设涵盖行业、地方、企业的全国性数据安全监测平台，形成敏感数据监测发现、数据异常流动分析、数据安全事件追踪溯源等能力。

●《“十四五”国家信息化规划》

2021年12月17日，中央网络安全和信息化委员会印发《“十四五”国家信息化规划》。

《规划》指出“十四五”时期，信息化进入加快数字化发展、建设数字中国的新阶段。加快数字化发展、建设数字中国，是顺应新发展阶段形势变化、抢抓信息革命机遇、构筑国家竞争新优势、加快建成社会主义现代化强国的内在要求，是贯彻新发展理念、推动高质量发展的战略举措，是推动构建新发展格局、建设现代化经济体系的必由之路，是培育新发展动能，激发新发展活力，弥合数字鸿沟，加快推进国家治理体系和治理能力现代化，促进人的全面发展和社会全面进步的必然选择。

《规划》围绕确定的发展目标，部署了十项重大任务。其中，在安全方面，强调要坚持安全和发展并重，以实现网络空间治理能力和安全保障能力显著增强为目标，深化关口前移、防患于未然的安全理念，加强网络安全信息统筹机制建设，开发网

络安全技术及相关产品，提升网络安全自主防御能力。

2.2 数据安全

●《中华人民共和国数据安全法》

2021年6月10日，第十三届全国人民代表大会常务委员会第二十九次会议通过《中华人民共和国数据安全法》，《数据安全法》自2021年9月1日起施行。

《数据安全法》共七章五十五条，涉及数据安全与发展、数据安全制度、数据安全保护义务、政务数据安全与开放、法律责任等内容。

《数据安全法》是我国数据安全领域的基础性法律，确立数据分类分级管理，数据安全审查，数据安全风险评估、监测预警和应急处置等基本制度；同时明确相关主体依法依规开展数据活动，建立健全数据安全管理制度，加强风险监测和及时处置数据安全事件等义务和责任，通过严格规范数据处理活动，切实加强数据安全保护。其完善了国家数据安全工作体制机制，规定中央国家安全领导机构负责国家数据安全工作的决策和议事协调等职责，并提出建立国家数据安全工作协调机制。标志着我国在数据安全领域有法可依，为各行业数据安全提供监管依据。

●《工业和信息化领域数据安全管理办法（试行）（征求意见稿）》

2021年9月30日，工业和信息化部公开对《工业和信息化领域数据安全管理办法（试行）（征求意见稿）》进行意见征集。

《办法》定位为工业和信息化领域数据安全顶层管理设计。一是全面对接《数据安全法》要求，在工业和信息化领域对国家数据安全管理制度进行细化，明确开展数据分类分级保护、重要数据管理等工作的具体要求，为行业数据安全监管提供制度保障。二是构建工业和信息化领域数据安全监管体系，明确工业和信息化部、地方工业和信息化主管部门、地方通信管理局等管理部门的职责范围，建立权责一致的工作机制。三是明确数据保护要求，根据工业、电信行业实际情况，明确数据全生命周期安全保护要求，指导行业企业健全数据安全管理和技术保护措施，履行保护义务。

《办法》通过总则、数据分类分级管理、数据全生命周期安全管理、数据安全监测预警与应急管理、数据安全检测评估与认证管理、监督检查、法律责任、附则等八部分内容对工业和信息化领域的数据处理活动进行了规范。

●《网络数据安全条例（征求意见稿）》

2021年11月14日，国家互联网信息办公室公开对《网络数据安全条例（征求意见稿）》进行意见征集。

《条例》规定了国家建立数据分类分级保护制度。按照数据对国家安全、公共利益或者个人、组织合法权益的影响和重要程度，将数据分为一般数据、重要数据、核心数据，不同级别的数据采取不同的保护措施。国家对个人信息和重要数据进行重点保护，对核心数据实行严格保护。

《条例》规定数据处理器应当按照网络安全等级保护的要求，加强数据处理系统、数据传输网络、数据存储环境等安全防护，处理重要数据的系统原则上应当满足三级以上网络安全等级保护和关键信息基础设施安全保护要求，处理核心数据的系统依照有关规定从严保护。

2.3 个人信息保护

● 《常见类型移动互联网应用程序必要个人信息范围规定》

2021年3月12日，国家互联网信息办公室、工业和信息化部、公安部、国家市场监督管理总局四部门联合发布《常见类型移动互联网应用程序必要个人信息范围规定》（国信办秘字〔2021〕14号）。

《规定》旨在落实《网络安全法》关于个人信息收集合法、正当、必要的原则，规范移动互联网应用程序（App）个人信息收集行为，保障公民个人信息安全。并明确了地图导航、网络约车、即时通信、网络购物等39类常见类型移动应用程序必要个人信息范围，要求其运营者不得因用户不同意提供非必要个人信息，而拒绝用户使用App基本功能服务。

● 《移动互联网应用程序个人信息保护管理暂行规定（征求意见稿）》

2021年4月26日，工业和信息化部公开对《移动互联网应用程序个人信息保护管理暂行规定》（征求意见稿）进行意见征集。

《规定》明确了App开发运营者、App分发平台、App第三方服务提供者、移动智能终端生产企业及网络接入服务提供者在从事App个人信息处理活动应当履行的个人信息保护义务，提出投诉举报、监督检查、处置措施、风险提示等四方面规范要求。

● 《中华人民共和国个人信息保护法》

2021年8月20日，第十三届全国人民代表大会常务委员第三十次会议通过《中华人民共和国个人信息保护法》，《个人信息保护法》自2021年11月1日起施行。

《个人信息保护法》全面构建起我国个人信息

保护制度：1）建立以“告知—同意”为核心的个人信息处理规则，全面规制个人信息处理各环节、全流程；2）明确个人信息处理活动中的个人权利；3）强化个人信息处理者的保护义务；4）规定诸多重点制度，对社会热议、群众关切的敏感个人信息采集、大数据“杀熟”、个人信息跨境流动、未成年人信息保护、大型网络平台义务、国家机关处理个人信息等予以积极回应，完善相关制度；5）明确网络身份认证公共服务。《个人信息保护法》对自然人关于个人信息的权利、个人信息处理者对于个人信息的义务、相关部门对于个人信息的保护职责、个人信息处理具体要求、个人信息跨境、法律责任等做出了明确和可操作的规定。

2.4 关键信息基础设施

● 《关键信息基础设施安全保护条例》

2021年7月30日，国务院发布《关键信息基础设施安全保护条例》（国令第745号），《条例》自2021年9月1日起施行。

《条例》明晰了关键信息基础设施的定义，明确了保护工作部门的职责，强化了运营者的安全管理主体责任，规定了国家保障和促进措施，确立了监督管理体制。《条例》明确重点行业和领域重要网络设施、信息系统属于关键信息基础设施，国家对关键信息基础设施实行重点保护，采取措施，监测、防御、处置来源于境内外的网络安全风险和威胁，保护关键信息基础设施免受攻击、侵入、干扰和破坏，依法惩治违法犯罪活动。保护工作应当坚持综合协调、分工负责、依法保护，强化和落实关键信息基础设施运营者主体责任，充分发挥政府及社会各方面的作用，共同保护关键信息基础设施安全。《条例》是对《网络安全法》确立的关键信息基础设施安全保护制度的细化完善，有助于构建多方尽责、共同协作的关键信息基础设施安全防护体系，更好地应对网络安全风险挑战。

● 《网络安全审查办法》

2021年12月28日，国家互联网信息办公室、国家发展和改革委员会、工业和信息化部、公安部、国家安全部等十三部门联合修订发布《网络安全审查办法》（第8号令）

《办法》是对2020年4月13日发布的《网络安全审查办法》进行修订，该办法旨在确保关键信息基础设施供应链安全，维护国家安全。《办法》将网络平台运营者开展数据处理活动影响或者可能影响国家安全等情形纳入网络安全审查，并明确掌握超过100万用户个人信息的网络平台运营者赴国外上市必须向网络安全审查办公室申报网络安全审查。根

据审查实际需要，增加证监会作为网络安全审查工作机制成员单位。

《办法》明确网络安全审查重点评估相关对象或者情形的以下国家安全风险因素：1) 产品和服务使用后带来的关键信息基础设施被非法控制、遭受干扰或者破坏的风险；2) 产品和服务供应中断对关键信息基础设施业务连续性的危害；3) 产品和服务的安全性、开放性、透明性、来源的多样性，供应渠道的可靠性以及因为政治、外交、贸易等因素导致供应中断的风险；4) 产品和服务提供者遵守中国法律、行政法规、部门规章情况；5) 核心数据、重要数据或者大量个人信息被窃取、泄露、毁损以及非法利用、非法出境的风险；6) 上市存在关键信息基础设施、核心数据、重要数据或者大量个人信息被外国政府影响、控制、恶意利用的风险，以及网络信息安全风险；7) 其他。

2.5 漏洞管理

● 《网络产品安全漏洞管理规定》

2021年7月12日，工业和信息化部、国家互联网信息办公室和公安部联合发布《网络产品安全漏洞管理规定》（工信部联网安〔2021〕66号），《规定》自2021年9月1日起施行。

《规定》规范了漏洞发现、报告、修补和发布等行为，明确了网络产品提供者和网络运营者是自身产品和系统漏洞的责任主体。《规定》对网络产品提供者提出漏洞报送的具体时限要求，以及对产品用户提供技术支持的义务。对于从事漏洞发现、收集、发布等活动的组织和个人，明确其经评估协商后可提前披露产品漏洞、不得发布网络运营者漏洞细节、同步发布修补防范措施、不得将未公开漏洞提供给产品提供者之外的境外组织或者个人等八项具体要求。

● 《网络产品安全漏洞收集平台备案管理办法（征求意见稿）》

2021年9月13日，工业和信息化部对《网络产品安全漏洞收集平台备案管理办法（征求意见稿）》公开征集意见。

《办法》为贯彻落实《中华人民共和国网络安全法》《网络产品安全漏洞管理规定》，规范网络产品安全漏洞收集平台备案管理，适用于中华人民共和国境内的网络产品安全漏洞收集平台的备案管理工作。

《办法》指出网络产品安全漏洞收集平台指的是相关组织或者个人设立的收集非自身网络产品安全漏洞的平台，仅用于修补自身网络产品、网络和系统安全漏洞用途的除外。《办法》要求漏洞收集

平台备案通过工业和信息化部网络安全威胁和漏洞信息共享平台开展，采用网上备案方式进行。漏洞收集平台应在上线前完成备案，已上线运行的漏洞收集平台应在本办法施行之日起10个工作日内进行备案。

2.6 网络内容治理

● 《互联网信息服务管理办法（修订草案征求意见稿）》

2021年1月8日，国家互联网信息办公室公开对《互联网信息服务管理办法（修订草案征求意见稿）》进行意见征集。

《办法》指出互联网信息服务提供者、互联网网络接入服务提供者及其工作人员对所收集、使用的身份信息、日志信息应当采取技术措施和其他必要措施，确保其收集的个人信息安全，防止所收集、使用的身份信息、日志信息泄露、毁损、丢失。

《办法》明确中华人民共和国境内的任何组织和个人利用境内外网络资源向境内用户提供互联网信息服务，应当遵守本办法规定。从事互联网信息服务，属于经营电信业务的，应当取得电信主管部门电信业务经营许可；不属于经营电信业务的，应当在电信主管部门备案。未取得电信业务经营许可或者未履行备案手续的，不得从事互联网信息服务。

● 《关于加强互联网信息服务算法综合治理的指导意见》

2021年9月17日，国家互联网信息办公室、中央宣传部、教育部等九部委联合发布《关于加强互联网信息服务算法综合治理的指导意见》（国信办发〔2021〕7号）。

《意见》要求健全算法安全治理机制、构建算法安全监管体系、促进算法生态规范发展。具体包括健全算法安全治理政策法规，加快制定算法管理规定，明确算法管理主体、管理范围、管理要求和法律责任等，完善算法安全治理措施，制定标准、指南等配套文件。建立算法备案制度，梳理算法备案基本情况，健全算法分级分类体系，明确算法备案范围，有序开展备案工作。企业应建立算法安全责任制度和科技伦理审查制度，强化责任意识，对算法应用产生的结果负主体责任。

● 《互联网信息服务算法推荐管理规定》

2021年12月31日，国家互联网信息办公室、工业和信息化部、公安部、国家市场监督管理总局联合发布《互联网信息服务算法推荐管理规定》（第9号令）。

《规定》明确算法推荐服务提供者应当落实算法安全主体责任，建立健全用户注册、信息发布审

核、数据安全和个人信息保护、安全事件应急处置等管理制度和技术措施，定期审核、评估、验证算法机制机理、模型、数据和应用结果等，制定并公开算法推荐相关服务规则，配备与算法推荐服务规模相适应的专业人员和技术支撑。

《规定》要求网信部门会同电信、公安、市场监管等有关部门建立算法分级分类安全管理制度。网信部门会同电信、公安、市场监管等有关部门对算法推荐服务依法开展安全评估和监督检查工作，对发现的问题及时提出整改意见并限期整改。算法推荐服务提供者应当依法留存网络日志，配合网信部门和电信、公安、市场监管等有关部门开展安全评估和监督检查工作，并提供必要的技术、数据等支持和协助。

● 《互联网用户公众账号信息服务管理规定》

2021年1月22日，国家互联网信息办公室修订发布《互联网用户公众账号信息服务管理规定》，《规定》自2021年2月22日起施行。

《管理规定》由国家互联网信息办公室发布，共23条，包括公众账号信息服务平台信息内容和公众账号管理主体责任、公众账号生产运营者信息内

容生产和公众账号运营管理主体责任、真实身份信息认证、分级分类管理、行业自律、社会监督及行政管理等条款。规定要求，公众账号信息服务平台要履行企业主体责任，建立公众账号分级分类管理、生态治理、著作权保护、信用评价等制度，切实维护平台内容安全、账号安全、数据安全和个人信息安全。

三、结语

网络安全是网络空间的基础性保障问题，网络空间逐步成为社会治理的主要载体。从2017年《网络安全法》施行至今，网络安全相关配套立法日趋完善，网络法治精细化发展。随着5G、智能计算中心、工业互联网等领域的新型基础设施建设推进，高性能计算系统部署规模扩大、应用场景增多、重要性增强，对高性能计算系统的安全保障能力提出了更高的要求，需要建立更完善安全监管体系，增强安全保障能力。本文罗列的2021年度发布实施的网络安全法律法规和政策文件，希望给各位高性能计算领域工作者们参考，在规划建设运维系统时有法可依、有迹可循。

内部刊物

国内外Chiplet互连标准对比分析

● 蒋毅飞 陈叶 路冬冬

上海高性能集成电路设计中心 上海 201204 jiangyifei@126.com

摘要：

摩尔定律使得单位面积集成的晶体管数量大约18个月翻一番。单个硅片尺寸不断增大、半导体硅工艺不断向先进节点演进。然而，由于硅工艺逼近极限，且受限于光刻机光罩尺寸，在单个硅片内集成更多晶体管愈发困难。通过先进封装技术和高速互连接口将多个裸片连接封装为一个芯片，这种技术即小芯片（Chiplet）技术。Chiplet技术可在单个芯片内部封装不同工艺节点、不同功能、不同厂商的小芯片，实现异构集成。Chiplet技术有效解决了摩尔定律增速放缓的问题，自提出以来便得到迅速发展。如今Chiplet技术已被AMD、Intel等处理器公司广泛应用于其高端CPU产品。为实现不同小芯片之间的互连迫切需要统一的接口规范。2022年3月通用小芯片互连通道行业联盟成立，并推出通用小芯片互连通道标准规范，标志着Chiplet技术发展进入新阶段。同时，国内小芯片接口总线技术要求征求意见稿也已发布。总结了Chiplet技术特点，对国内外小芯片接口标准进行对比分析，展望Chiplet技术发展前景。

关键词：小芯片、异构集成、先进封装、裸片间高速互连、通用小芯片互连通道

2022年3月初，AMD、ARM、ASE、Google Cloud、Intel、Meta（Facebook）、微软、高通、三星、台积电联合宣布成立行业联盟，共同打造Chiplet互连标准、推进开放生态，并制定了通用小芯片互连通道标准规范UCIe（Universal Chiplet Interconnect Express，UCIe），在芯片封装层面确立裸片到裸片（die-to-die，D2D）互连的统一标准。UCIe白皮书^[1]和UCIe 1.0规范^[2]随即在UCIe官方网站发布。国内Chiplet标准《小芯片接口总线技术要求》征求意见稿也在当月发布^[3]。中国电子工业标准化技术协会在其网站发布关于《小芯片接口总线技术要求》团体标准征求意见的通知，表明距国内Chiplet标准正式发布已为期不远。

国内外标准的相继推出，标志着Chiplet技术发展进入新阶段。Chiplet即小芯片、芯粒，是未经封装的裸片（die）^[4]，或者是利用3D堆叠技术互连的多个裸片组合。Chiplet技术即是采用高速互连技术和先进封装技术将多个小芯片互连并作为整体封装为一颗芯片。本文回顾Chiplet技术发展经历，总结Chiplet技术特点，对比分析国内外Chiplet互连标准，并展望Chiplet技术发展前景。

一、Chiplet发展历程

1.1 Chiplet发展动力

尽管针对摩尔定律是否终结的争论尚无一致意见，但是摩尔定律增速放缓却是不争的事实。实际上，在被誉为摩尔定律起源的开创性文章中，摩尔同时指出“也许会证明，用独立封装、互相连接的较小模块构建大型系统更为经济”^[5]。如今AMD、Intel、Xilinx等众多厂商都以这种方式设计其主流产品，与摩尔预言的差异仅仅在于Chiplet是未经封装的裸片。

Chiplet发展的主要推动力之一源自不断增长的性能需求推动芯片尺寸不断增长，而单一芯片的尺寸受限于光刻机光罩尺寸（reticle limit）^[6]。当前i193和EUV步进扫描光刻机的光罩尺寸为26mm × 33mm，即858mm²^[7]，亦即光刻机掩膜尺寸上限。随着时间的推移，一些服务器CPU和GPU的面积已十分接近这一尺寸限制，如图1所示。

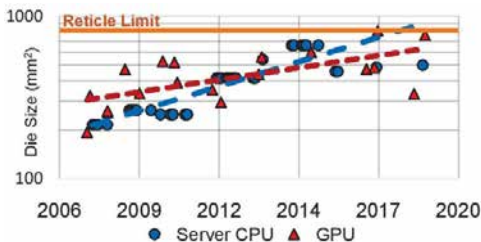


图1 CPU/GPU Die尺寸

采用Chiplet技术的AMD Rome处理器^[8]最多可封装8个计算核心die (Compute Core Die, CCD) 和1个I/O die (I/O Die, IOD)。每个CCD面积74mm², 面向服务器的IOD面积416mm², 一个Rome处理器的裸片面积之和为1008mm²^[9]。华为于2019年推出的人工智能芯片昇腾910 (Ascend 910) 采用Chiplet技术集成8个裸片, 裸片面积之和为1228mm²^[10]。学术界的一些研究成果更是远超掩膜尺寸上限。加州大学洛杉矶分校研发了一款含有2048个Chiplet、共计14336个核心的晶圆级 (wafer-scale) 处理器, 其面积高达15000mm²^[11]。单一芯片设计已无法满足如此大规模芯片的需求, 采用Chiplet技术将多个小芯片互连并封装在一起, 是唯一可行的解决方案。

Chiplet技术发展的另一推动力即相对经济的成本。即便全部设计功能可以集成在单一芯片上, 用Chiplet技术也能有效降低成本。

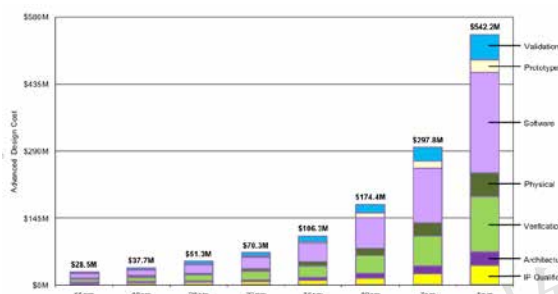


图2 不同工艺节点设计成本

成本的降低来自多方面。首先, 如图2所示, 随着设计向更先进的工艺节点迁移, 设计成本会显著增长^[12]。采用Chiplet设计方式, 可以将某些功能的裸片升级到先进工艺节点, 而另外一些功能的裸片则继续使用相对落后的工艺, 从而降低整体设计成本。如前述AMD Rome处理器, 其用于计算的CCD采用7nm工艺制造, 而IOD则采用12nm工艺制造。据AMD论文数据, 采用7nm + 12nm混合工艺的Chiplet方案成本约为采用7nm工艺单一芯片方案成本的50%^[8]。其二, 切割为较小的裸片有助于提高芯片良率。考虑相同的缺陷概率及其导致的电路故障分布, 采用小尺寸切割能得到更多的良片, 即便在封装之后也能得到更多的好芯片。研究表明当芯片面积小于10mm²时, 单芯片和Chiplet方案的良率差别不大, 一旦芯片面积超过200mm², 单芯片方案的良率比Chiplet方案低20%以上。预计在700 ~ 800mm²的面积上, 单芯片方案的良率可能不超过10%^[13]。AMD第一代EPYC处理器采用4个芯粒 (称为Zeppelin die, 每个die包含8个Zen内核) 封装成一个处理器比单一芯片设计提高约20%的32核芯片的产出率^{[14][15]}。其三, 以小芯片形式的复用能快速构建不同规格的产品, 缩短产品开发周期、加快产品上市时间。以

AMD Rome处理器为例, 其复用12nm的IOD, 可缩短研发时间; 通过封装不同数量的CCD (每个CCD含有8个核心), 可快速构建8核~64核面向不同应用领域的多种规格的处理产品^{[6][8][9]}。

Chiplet有望解决目前半导体产业面临的四大难题: 摩尔定律难以为继; 先进制程芯片的设计成本、复杂度大幅提升; 市场需求更加多样化、创新周期缩短; 应用对定制芯片的需求不断提升^[16]。因此Chiplet技术自提出以来便得到迅猛发展。

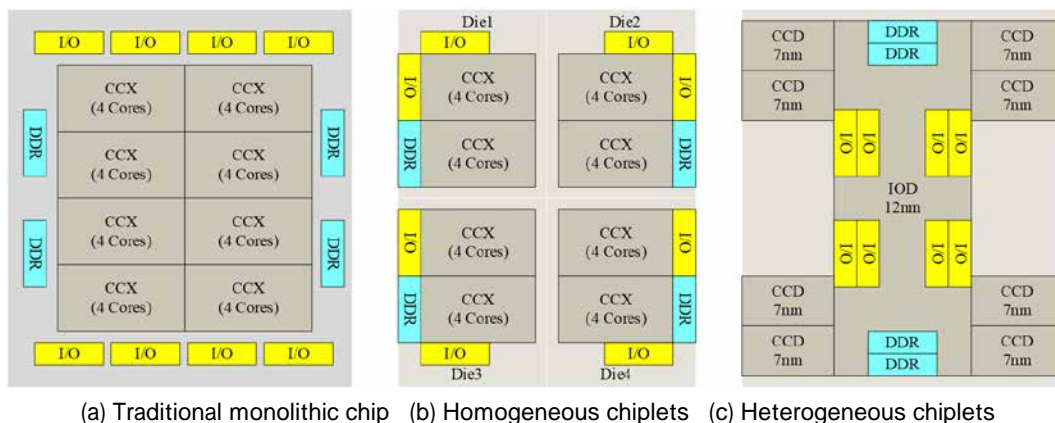
1.2 Chiplet发展过程及现状

Marvell在2015年提出Lego-Chip的概念^[17], 并在此基础上提出MoChi架构^[18], 被认为是Chiplet技术的早期推动者。早在2014年, 海思与TSMC合作宣布当时首款16nm FinFET处理器, 采用CoWoS 3D IC封装工艺, 将1个28nm I/O芯片与16nm逻辑芯片封装在一起^[19], 是采用Chiplet技术的最早处理器产品。2016年, DARPA启动“通用异构集成及IP复用策略”CHIPS (Common Heterogeneous Integration and IP Reuse Strategies, CHIPS) 项目^[20], 得到Intel、Micron、Synopsys、Cadence、Analog Devices、密歇根大学等半导体公司和研究机构支持, 使这种小芯片复用的理念开始为业界接受。AMD公司EPYC系列处理器的成功, 真正让Chiplet进入主流业界视线, 极大促进了Chiplet技术的发展, 为业界带来深刻而广泛的影响。

EPYC是AMD采用Chiplet技术设计的面向服务器和桌面应用的高性能处理器产品。第一代EPYC处理器Naples于2017年面世^{[14][15]}。EPYC (Naples) 采用4芯粒架构, 包含4个完全相同的芯粒, 称为Zeppelin die, 见图3(b)。每个Zeppelin die包含2个CPU复合体 (CPU complex, CCX), 每个CCX包含4个Zen核心, 每个核心都有独立的L1和L2缓存, 一个CCX内部的4个Zen核心共享L3缓存。每个Zeppelin die还有单独的内存接口以及SATA、PCIe、USB等接口, 并集成用于Zeppelin die之间互连的接口等。

第一代EPYC处理器采用Global Foundries 14nm工艺制造。每个Zeppelin die面积为213mm², 整个处理器的die面积之和为4 × 213 = 852mm²。如果采用单一芯片设计, 则单一芯片die面积为777mm², 也即Chiplet方式带来约10%的额外芯片面积开销。即便如此, 据AMD评估, 4芯粒架构的设计成本约为单一硅片设计成本的59%^[21]。

2019年推出的第二代EPYC处理器Rome在结构上有较大改进, 并采用更为先进的7nm工艺制造^{[8][9]}。Rome处理器采用9芯粒架构^{[6][21]}, 如图3(c)所示。与上一代Naples处理器包含4个完全同构的芯粒不同,



(a) Traditional monolithic chip (b) Homogeneous chiplets (c) Heterogeneous chiplets

图2 AMD Chiplet技术演进

Rome处理器采用异构集成的方式集成9个芯粒，其中包含8个计算芯粒（Core Complex Die，CCD）和1个I/O芯粒（I/O Die，IOD）。为了提升性能，CCD采用TSMC 7nm工艺制造，而IOD则采用Global Foundries 12nm工艺制造，最大程度降低设计成本。

Rome处理器每个CCD内部包含2个CCX，每个CCX包含4个Zen2核心。每个核心都有独立的L1和L2缓存，一个CCX内部的4个Zen2核心共享16M L3缓存。IOD则包含内存接口、PCIe接口及用于互连的接口等。IOD+CCD的多芯粒异构架构，有助于AMD快速构建面向服务器、桌面不同应用领域多种规格的产品。

2021年推出的第三代EPYC处理器Milan延续了Rome处理器9芯粒架构（1个IOD+8个CCD），仍然采用7nm+12nm混合工艺。在CCD和IOD内部进行了优化和升级。与Rome处理器不同，Milan处理器CCD包含1个由8个Zen3核心组成的CCX，8个核心共享32M L3缓存，全片共有 $8 \times 32M = 256M$ L3缓存。IOD则增加了AMD安全处理器等功能。

多芯粒异构架构的另一优点是可以对小芯片进行独立升级。AMD在2022年ISSCC会议上公开的3D V-Cache技术^[22]即是利用TSMC的3D堆叠技术，将64M的SRAM die堆叠在CCD之上作为三级缓存，实现对Milan处理器芯片升级与性能提升（编号Milan-X）。CCD原有32M L3缓存，再加上64M L3缓存之后，每个CCD L3缓存容量达到96M，Milan-X的L3缓存达到768M，是Milan处理器的3倍^[23]。

从传统单一芯片形式，到单一工艺、多芯粒同构的Chiplet设计，进一步发展到混合工艺、多芯粒异构的Chiplet设计，AMD EPYC系列处理器的发展清晰展现了Chiplet技术的演进轨迹，见图3。而EPYC处理器也取得了巨大成功。2022年6月最新Top500排名前十的超级计算机中，有5台采用EPYC处理器；而Green500排名前十的超级计算机中多达8台都采用了

EPYC处理器^[24]。

除了AMD EPYC系列处理器之外，国内外许多公司都采用Chiplet技术开发产品。Xilinx早在2011年就采用堆叠硅互连(Stacked Silicon Interconnect，SSI)技术^[25]开发其Virtex-7 2000T及Virtex-7 H580T FPGA^[26]。Intel采用Chiplet技术开发Stratix10 FPGA^[27]和新一代Sapphire Rapids^{[28][29]}处理器。华为推出的鲲鹏920是业界首款采用Chiplet技术设计的面向云服务的7nm 64核ARM SoC^[30]。篇幅所限，不再一一介绍。

二、Chiplet技术特点

Chiplet技术采用先进封装技术和die-to-die高速互连技术将多个小芯片连接封装为单个芯片，先进封装和高速互连是Chiplet倚赖的关键技术^[13]。

2.1 Chiplet封装技术

Chiplet常用的封装形式包括2D封装、2.5D封装和3D封装，均属先进封装技术范畴。先进封装技术涉及内容较多，具体介绍详见John H. Lau专著^{[31][32]}。本节简单总结Chiplet常用封装技术的特点。

在2D封装中，多个die水平摆放在封装基板（package substrate）之上，并通过封装基板进行互连。Die与基板之间可通过倒装芯片（Flip-Chip）的凸点（C4 bump）连接，也可通过引线键合（wire-bond）方式连接，如图4所示。AMD EPYC处理器采用的多芯片模块（Multi-Chip Modules，MCM）即是2D封装的一种形式。

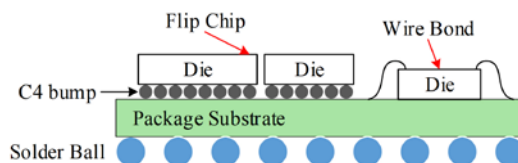


图4 2D封装

2D封装的die-to-die连线需要经过封装基板，导

致基板内布线密集，因而需要占用一定的空间。所以第一代EPYC处理器4个芯粒无法紧密贴合摆放。另外有数据表明，基板内连线传输导致信号衰减较大，限制了信号频率，进而限制了die-to-die传输带宽。为了提高集成密度和die-to-die传输带宽，在2D封装基础上，通过硅中介层（silicon interposer）、硅桥（silicon bridge）、或者重布线层（Redistribution Layer, RDL）实现die-to-die的连接即是2.x封装。John H. Lau详述了各种封装技术^[32]。通过在封装基板表层嵌入金属薄膜层互连称为2.1D封装；利用有机/无机材料且无硅通孔的中介层互连称为2.3D封装；通过无源硅中介层和硅通孔（Through Silicon Vias, TSV）互连称为2.5D封装。按此标准，Intel的EMIB属于2.1D封装，日月光的FOCoS属于2.3D封装，TSMC的CoWoS属于2.5D封装。通常上述封装形式均被称为2.5D封装，如图5所示。

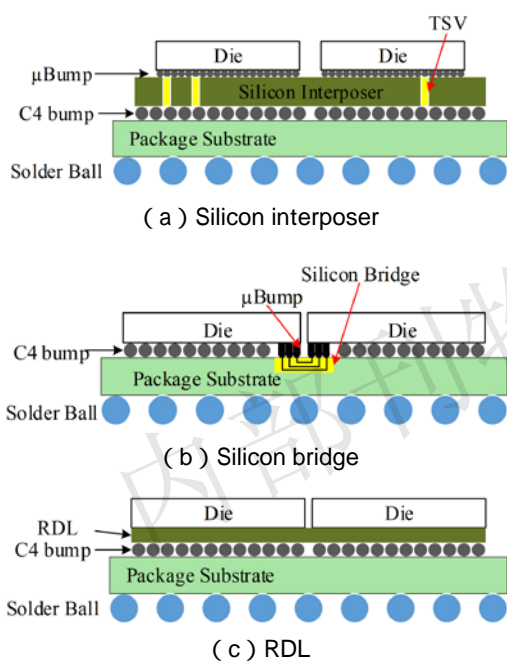


图5 2.5D封装

TSMC的CoWoS技术是广泛采用的一种2.5D封装技术^{[33][34]}，CoWoS在硅片与封装基板之间增加一层硅中介层，如图5(a)所示。多个die或者HBM（High-Bandwidth Memory）水平摆放于硅中介层之上，并通过微凸点（ μ Bump/microbump）连接硅中介层，硅中介层通过凸点（C4 Bump）与封装基板连接。Intel的嵌入式多芯片互连桥接（Embedded Multi-die Interconnect Bridge, EMIB）技术^{[35][36]}通过一小片硅（称为硅桥）连接相邻的die，既保留了硅中介层的优点，又降低了封装成本。因为硅桥嵌在封装基板表面，所以采用EMIB技术需要在die表面分别植球C4凸点和微凸点，如图5(b)所示。RDL通过在未植球的die表面制作RDL层连接相邻硅片。RDL直接制作于铜垫

（Cu pad）或铜连接垫（Cu contact pad）之上，RDL最上层再植球C4凸点与封装基板连接，如图5(c)所示。ASE的FOCoS^[31]和TSMC的InFO_oS^[37]都属于此种方式。

2D/2.5D封装在水平方向上摆放多个硅器件，3D封装进而在竖直方向上堆叠多个硅器件，能进一步提高集成度、缩小封装尺寸。因为3D封装增加一个可利用的维度，其封装形式更加多样化。常见的3D封装技术主要有Intel的Foveros^[38]和TSMC的SOIC^[39]。Foveros技术通过更小间距的微凸点实现die的面对面键合连接，如图6(a)所示。而SOIC技术则进一步实现了无凸点（bumpless）的铜-铜键合，如图6(b)所示。

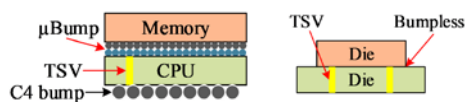


图6 3D封装

表1总结对比了Chiplet常用的各种封装技术凸点/键合点间距。因为凸点/键合点间距更小，所以2.5D封装较2D封装能提供更高的数据传输带宽。需要指出的是，如图6所示，3D封装通常用来将不同的die堆叠起来作为一个芯粒，再与其它芯粒通过2D/2.5D集成封装为一个芯片。AMD的3D V-Cache即是采用TSMC的SOIC技术将SRAM die堆叠在计算芯粒CCD之上，形成升级版的CCD芯粒。

表1 不同封装技术总结

封装形式	传输介质	连接方式	技术	公司	间距 (μ m)
2D	封装基板	C4 凸点	-	-	~ 110 ^[35]
2.5D	硅中介层	微凸点	CoWoS	TSMC	45 ^[33]
	硅桥	微凸点	EMIB	Intel	55 ^[35]
	RDL	铜垫	FoCoS	ASE	-
	RDL	铜垫	InFO_oS	TSMC	25~40 ^[37]
3D	-	微凸点	Foveros	Intel	50 ^[38]
	-	铜铜键合	SOIC	TSMC	9 ^[39]
	-	铜铜键合	2代 SOIC	TSMC	0.9 ^[39]

2.2 Chiplet互连技术

先进封装技术解决了Chiplet物理连接，而Chiplet之间的互连接口需要在设计过程中根据需求进行选择，如确定接口的传输速率、传输带宽、传输方式等。Chiplet互连接口按信号传输方式可分为串行接口和并行接口。

光互联论坛OIF（Optical Internetworking Forum，OIF）制定的通用电气I/O规范CEI（Common Electrical

I/O)规定了在不同传输距离下接口的电气要求。规范按接口传输速率分为CEI-11G、CEI-28G、CEI-56G多个版本。CEI-56G定义了面向chip-to-chip以及3D、2.5D封装内die-to-die互连56Gbps Serdes的要求,是56Gbps Serdes的第一个规范^[40],在业界影响广泛。根据信号传输距离,CEI-56G定义了5种模式,分别是长距LR(Long Reach)、中距MR(Medium Reach)、超短距(Very Short Reach)、特短距XSR(Extra Short Reach)、极短距USR(Ultra Short Reach)。其中,LR/MR/VSR SerDes属于传统SerDes,采用AC耦合,用于电路板级或者不超过1米的铜芯线缆连接。XSR SerDes针对die-to-die(D2D)或者die-to-Optical Engine(D2OE)互连提出,USR SerDes专门面向2.5D/3D封装内D2D的极短距离(10mm以内)通信。目前在基于Chiplet技术实现异构集成芯片的设计中,XSR/USR SerDes使用较多。表2总结了CEI-56G 5种SerDes的技术特点。

针对Chiplet设计die-to-die互连应用,基于并行数据传输的物理层互连接口主要有Intel的高级接口总线AIB(Advanced Interface Bus,AIB)^[41]、TSMC的LIPINCON^[42]、AMD的IFOP^{[8][43]}以及开放计算项目OCP(Open Compute Project,OCP)ODSA工作组BoW总线^[44-46]和OpenHBI总线^[47]。并行传输接口一般采用类似DDR接口的传输方式,接口信号包括前向差分

时钟和一组单端数据线,以及若干边带信号。采用单倍数据速率(SDR)或双倍数据速率(DDR)方式发送接收数据。与传统并行总线最多使用数百根线路不同,面向Chiplet die-to-die应用的并行接口一般采用微凸点连接,极大提高了连接密度,通常支持数千根信号线,以获得极高带宽。表3总结了Chiplet常用的几种并行接口的技术特征。

一般而言,因为串行接口没有时钟信号,接收端需要利用时钟数据恢复电路CDR(Clock Data Recovery)恢复出时钟、数据;另外串行接口通常以某种方式对数据进行编码和纠错,所以串行接口协议比并行接口协议复杂,延迟和功耗也相对更大。但是串行接口的传输距离较并行接口传输距离更长、对封装材料要求也低,因而封装成本较低。

并行接口通过简化I/O、消除或简化串并转换(SerDes)、编解码、纠错等步骤,并避免超高速信号传输,从而能够实现极高的能效和较低的延迟,同时支持整个链路的极高带宽。因此并行die-to-die接口对于不受封装成本和装配限制的高性能计算应用非常有吸引力。表4对串行接口和并行接口进行了总结对比^[48]。需要指出的是,与其它几种并行接口不同,AMD的IFOP接口通过封装基板传输信号,传输距离相对较长,因而其延时和功耗要高出其它几种并行接口。

表2 CEI-56 SerDes总结

SerDes 类型	应用场合	传输介质	编码方式	传输距离	信号衰减	耦合方式
LR	芯片 - 芯片	背板 铜芯线缆	PAM4 ENRZ	100 厘米 2 个连接器	35dB@14 GHz	AC
MR	芯片 - 芯片	中规模背板	PAM4	50 厘米 1 个连接器	15-25dB@14 GHz 20-50dB@28 GHz	AC
VSR	芯片 - 模块	PCB	PAM4	~10 厘米 1 个连接器	10-20dB@28 GHz	AC
XSR	裸片 - 裸片 裸片 - 光模块	PCB 封装基板	NRZ	5 厘米	5-10dB@28 GHz	DC
USR	裸片 - 裸片	封装基板 硅中介层	NRZ	1 厘米	2dB@28 GHz	DC

表3 并行接口总结

接口	公司 / 组织	封装 / 介质	传输速率	传输距离	PHY 功耗 (pJ/bit)	延时
AIB	Intel	EMIB	2Gbps	10mm	0.85	3.56ns
LIPINCON	TSMC	CoWoS InFO	8Gbps	~2mm	0.486	3.875T* 6.25T
BoW-Turbo	OCP ODSA	MCP	16Gbps	10mm 50mm	0.5@7nm 0.7@14nm	<3ns
OpenHBI	OCP ODSA	硅中介层 RDL	8Gbps 12~16Gbps	3mm	0.4 0.5	~4ns
IFOP	AMD	封装基板	6.4Gbps	10~20mm	2	<9ns

*说明: LIPINCON延迟以时钟周期为单位, T表示1个时钟周期。

表4 串行并行接口对比

	串行接口	并行接口
规范	CEI-56G/112G XSR/USR	AIB、BoW、HBI、LIPINCON、IFOP 等
每信道数据速率	2.5Gpbs~112Gpbs	2Gpbs~16Gpbs
功耗	1.0~1.5 pJ/bit	0.5~1.0 pJ/bit*
延迟	高	低
位错率 (BER)	PAM-4 需要 FEC	极低
封装技术	标准 (Substrate)	先进 (Interposer)
封装成本	低	高

*说明：AMD IFOP因通过封装基板传输，其功耗相对较高，为2pJ/bit。

选择使用何种接口要考虑性能、封装形式、成本等多方面因素，市场对两种方案都有需求。Synopsys预计，串行接口需求为75%，并行接口需求为25%^[48]。为满足日益增长的市场需求，许多厂商都推出了面向die-to-die应用的高速互连IP和解决方案。

3. 国内外Chiplet互连标准对比

Chiplet在单个封装内集成多个不同功能、不同工艺、甚至是不同供应方的小芯片，采用何种die-to-die互连接口是面临的首要选择。Chiplet互连标准化是一项重要工作。在UCIe标准推出之前，ODSA^[49]和DARPA CHIPS^{[20][50]}都积极推进Chiplet互连标准化。UCIe 1.0标准有望结束Chiplet并行互连接口标准不一的现状，国内的小芯片互连标准更是面向串行和并行接口，具有更广适用性。

3.1 UCIe互连标准介绍

通用小芯片互连通道标准规范 (Universal Chiplet Interconnect Express, UCIe) 是一种开放的行业标准互连，可在小芯片之间提供高带宽、低延迟、低功耗且具有成本效益的封装连接。它解决了跨越云、边缘、企业、5G、汽车、高性能计算和手持领域的整个计算领域对计算、内存、存储和连接的增长需求^[1]。UCIe 可封装多种来源的小芯片，包括不同的晶圆厂、不同的设计和不同的封装技术。

(1) UCIe协议分层

UCIe是一个分层协议，包括协议层 (Protocol Layer)、D2D适配层 (Die-to-Die Adapter) 和物理层 (Physical Layer)，如图7所示。

UCIe在协议层支持多种协议，包括PCIe 6.0的Flit模式和CXL (Compute Express Link) 2.0及后续版

本协议。PCIe和CXL协议数据包可直接映射到UCIe协议层。UCIe 还定义了流协议 (Streaming Protocol)，用于映射任何其它用户自定义的协议。

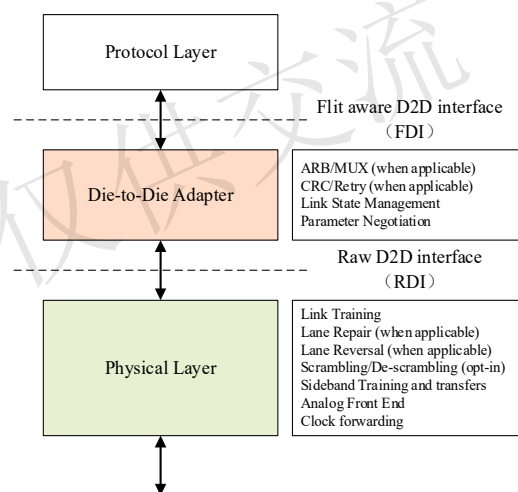


图7 UCIe分层协议

D2D适配层负责链路状态管理和参数协商。可选的循环冗余校验和链路级重试机制保证数据的可靠传输。当支持多种协议时，它定义了底层的仲裁机制。

物理层负责信号电气连接、时钟、链路训练、通道翻转、通道修复、边带等。

(2) 封装形式

UCIe 1.0规定了标准封装、先进封装两种可选的封装形式，如图8所示。标准封装即2D封装，die与die通过封装基板连接。先进封装属于2.5D封装，die与die通过硅桥连接 (如Intel EMIB、日月光 FOCoS-B)、硅中介层连接 (如TSMC CoWoS)。

2D封装有成本优势，2.5D封装可获得更高的性能。需要指出的是，UCIe未涉及3D封装。如前文所述，可利用3D封装技术将多个die堆叠构成1个芯粒，参与封装集成。

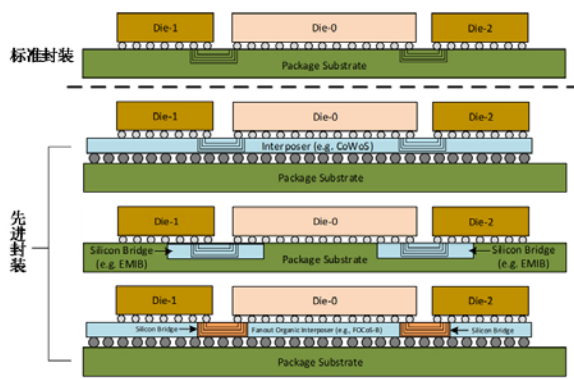


图8 UCIe支持的封装形式

(3) 基本配置单元

UCIe借鉴了Intel的高级接口总线(AIB)技术,采用并行接口传输方式,链路的基本构成单位为模组(module),如图9所示。

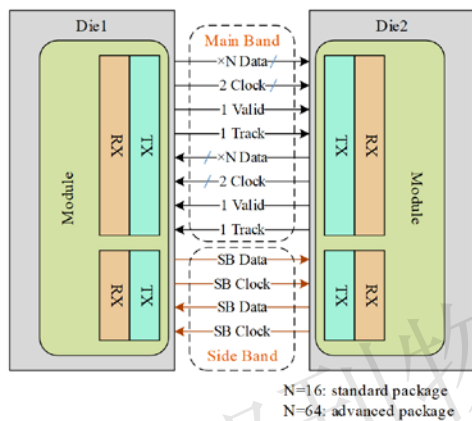


图9 UCIe模组信号及连接

每个模组包含N(标准封装N=16,高级封装N=64)个数据通道(Lane)。每个Lane包含两个单端信号,1个发送信号、1个接收信号,直接映射到

bump,即1个Lane对应2根物理连线。此外,每个模组还包含每个方向一组边带信号。边带信号包括1个单端800MHz时钟和1个数据位。每组主数据通路还伴随1个前向差分时钟、1个有效信号、1个跟踪信号。图9给出了UCIe一个模组的信号及其连接。

高级封装支持备用通道以处理通道故障(包括时钟、Valid、边带等),当某一通道发生故障时,可以将对应的信号重新映射到备用通道上,而标准封装通过链路宽度降级来处理故障。每个链路(Link)可聚合多个模组来获得更高的性能。UCIe规范允许1、2、4模组配置^[2]。

(4) 数据传输方式

需要特别说明的是,尽管UCIe在物理层采用了单端数据线,一个通路由发送、接收两个方向的单端信号线构成,但是其上层数据传输仍然是串行方式。类似多通道PCIe链路,数据传输之前需进行字节条化(byte striping),将数据包中的每个字节映射到具体的通道上,即字节0映射到通道0、字节1映射到通道1等等。一个字节的8比特数据以最低位优先的方式依次通过同一通道传输。因此,UCIe的传输方式不是严格意义的并行传输,而是单端串行传输。

(5) 接口特征总结

UCIe支持不同的数据速率、数据位宽、凸点间距和传输长度,以支持广泛的交互性。UCIe主要特征指标见表5。符合标准封装要求的小芯片可与任何其它符合标准封装要求的小芯片互连。同样,符合先进封装要求的小芯片可与任何其它符合先进封装要求的小芯片互连,不管两个小芯片的凸点间距是否相同,只要符合先进封装25 μm ~55 μm 的凸点间距要求即可。

表5 UCIe1.0特征指标及关键设计指标

关键指标	标准封装	先进封装	备注
数据速率(GT/s)	4,8,12,16,24,32		某速率需支持该值以下的所有速率
模组数据宽度(bit)	16	64	标准封装:宽度降级 先进封装:备用通道
凸点间距(μm)	100~130	25~55	同种封装不同间距、不同工艺节点依然可交互
互连长度(mm)	25	2	
线性带宽(GB/s/mm)	28~224	165~1317	保守估计,凸点间距标准封装110 μm 、先进封装45 μm
带宽密度(GB/s/mm ²)	22~125	188~1350	对应传输速率4G~32G
功耗(pJ/bit)	0.5	0.25	
低功耗态进出时间	0.5ns 0.5~1ns	16G 24G	预计可节省功耗 85%
延迟(Tx+Rx)	<2ns		包含D2D adapter和PHY
可靠性(FIT)	0<FIT<<1		FIT(Failure In Time):百万小时失效次数期望值~1E-15

需要指出的是,表5保守估计了当前技术条件下凸点间距的传输性能。例如,对45 μm高级封装,如采用更密集的25 μm凸点间距,带宽密度将提高3.24倍。在45 μm时,1300+的带宽密度(对线性密度和面积密度)大约是如今最高效的PCIe Serdes可以实现的20倍。同样,在功耗方面PCIe PHY目前的功耗约为10pJ/bit,由于传输距离更短,基于UCIe的设计可将功耗降低20倍。UCIe还支持线性的功耗-带宽曲线,具有非常快的低功耗态进入和退出时间(基于Serdes的设计在微秒级),同时节省90%以上的功耗。因此,除了自具低功耗特性外,UCIe还非常节能,可实现高能效比和高性能。随着技术的进步,UCIe功耗的节省将更加显著。

3.2 小芯片接口总线技术要求介绍

2022年3月中旬,由中国计算机互连技术联盟(CCITA)、中国电子技术标准化研究院联合多家国内企业、科研院所经过10个月努力共同制订的《小芯片接口总线技术要求》完成标准草案制定,开始面向社会征求意见^[51]。小芯片接口总线技术要求(以下简称技术要求)描述了CPU、GPU、人工智能芯片、网络处理器和网络交换芯片等应用场景的小芯片接口总线技术要求,包括总体概述、接口要求、链路层、适配层、物理层和封装要求等。

技术要求适用于封装内die-to-die短距离互连,包括50mm的特短距XSR互连和10mm的极短距USR互连,可采用串行总线接口或并行总线接口技术。连接采用DC耦合方式,目标误码率为 $1E^{-15}$ 。

(1) 协议分层

与UCIe类似,技术要求定义了一种分层协议,包括数据链路层(DLL)、物理层适配层(PAL)、物理层(PHY),如图10所示。

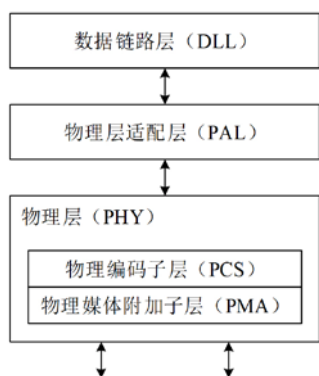


图10 CCITA技术要求分层协议

数据链路层定义了链路层以及物理层逻辑部分之间的通信,提供了物理层的初始化、事件管理、信息交换的状态机以及缓冲机制等功能。

适配层定义了上层协议适配到物理层所需要的

一些接口转换,实现通道特性和信号特性的转换等功能,起到承上启下的作用。

物理层定义了端口物理连接和数据发送/接收所需要的电信号、线路状态、时钟基准、数据编码和电路电气特性等。物理层包含物理编解码子层PCS(Physical Coding Sublayer, PCS)和物理媒体附加子层PMA(Physical Medium Attachment, PMA)等。PCS负责把数据比特编成适合互连信道传输的码组。PMA负责发送、接收、定时恢复、信道阻抗匹配和相位对准等功能。

技术要求同样采用了通信片段(Flit)数据传输模式,以66字节(528比特)为标准传输单元,可支持多种接口协议。技术要求参考了PCIe 5.0协议和CXL 2.0规范,在协议层支持PCIe和CXL协议的映射。

(2) 封装形式

技术要求规定了常规封装、先进封装两种可选的封装形式。常规封装在封装基板上实现die-to-die信号互连。先进封装在转接板上实现die-to-die信号互连,提升信号互连密度,缩短信号互连距离。常规封装即2D封装,小芯片与小芯片通过封装基板连接。先进封装属于2.5D封装,小芯片与小芯片可通过硅中介层、硅桥、以及重布线层RDL连接。常规封装、先进封装两种封装形式的主要技术指标见表6。

表6 技术要求封装主要指标

技术指标	常规封装	先进封装
凸点/微凸点间距(μm)	100~180	25~55
互连距离(mm)	8~25	2
互连线宽/芯片区域(μm)	20/ 14	2
互连线距/芯片区域(μm)	20/ 14	2

表中互连线宽和线距的芯片区域指的是基板/转接板上位于小芯片下方的区域。对常规封装而言,封装基板内部D2D互连线的线宽/线间距要求20/20 μm,而芯片区域D2D互连线的线宽/线间距要求14/14 μm。对先进封装的线宽/线间距要求不区分芯片区域、芯片外区域,统一为2/2 μm。

(3) 传输方式

与UCIe采用单端串行传输不同,技术要求允许采用多种传输方式,包括并行接口、差分串行接口、单端串行接口。

并行总线采用类DDR接口的技术,使用差分前向时钟和单端数据线进行通信。技术要求规定发送方向和接收方向均有对应的前向时钟,当两个小芯片互连时,总是由发送端驱动时钟信号。1个前向时钟对应20或者40个单端数据线,每20条单端数据线

称为一个“通道”。数据传输采用DDR模式，即在每个差分随路时钟单极的上升沿和下降沿都传输数据。为了提高可靠性，规定每20条单端数据线需要1根冗余数据线，以有效规避工艺和使用老化带来的风险，提高连接的可靠性。为了节省功耗，每20根数据线有一个对应的DBI接口（Databus Inversion，数据总线反相）。为了保证发送和接收端数据传输及识别的正确性，每20根数据线有一个对应的确认信号，发送端的上层逻辑可以根据这个信号决定重传还是忽略。

差分串行总线采用SerDes技术，没有前向时钟的概念，每个数据通道有一对差分发送信号线和一对差分接收信号线。接收端通过CDR电路从接收的串行比特流中恢复出时钟和数据。串行接口支持的传输速率（可选）有5Gbps、6.25Gbps、8Gbps、10.3125 Gbps、12.5Gbps、16Gbps、25.78125Gbps、32Gbps。允许IP或者产品定义其它传输速率，但是如果以上速率小于IP或者产品的最高速率，则以上所列传输速率必须被支持。

技术要求还支持单端串行接口，关于单端串行接口的具体要求及指标在本次征求意见稿中没有叙述。

（4）基本配置单元

类似UCIe接口“模组”的概念，技术要求定义

了链路的基本配置单元。因支持三种传输总线，每种传输总线所对应的基本配置单元也不同。

当PHY层采用并行总线接口时，基本配置单元包含每个方向20个数据信号和伴随差分时钟信号，以及其它控制信号。当PHY层采用差分串行总线接口，发射信号和接收信号分别为4个差分信号对。当PHY层采用单端串行总线接口，发射信号和接收信号分别为4个单端信号。技术要求对不同接口支持的传输速率规定见表7。

表7 不同接口的传输速率

接口类型	传输速率 (Gbps)
并行	5, 8, 10, 16
差分串行	5, 6.25, 8, 10.3125, 12.5, 16, 25.78125, 32
单端串行	5, 6.25, 8, 10.3125, 12.5, 16, 25.78125, 32

技术要求规定，不管采用何种接口，基本配置单元至少应能提供单向200Gbps的最小带宽。技术要求允许最多8个基本配置单元组成1个链路，最高配置的链路单向带宽大于1.6Tbps。

3.3 国内外小芯片互连标准对比

通过前述内容可知，国内小芯片接口总线技术要求和UCIe标准在许多方面有相同或相似之处，但也有明显不同。表8总结对比了两者的主要特征。

表8 UCIe和小芯片接口总线技术要求对比

对比特征	UCIe	技术要求
封装形式	标准封装：2D 封装 先进封装：2.5D 封装	常规封装：2D 封装 先进封装：2.5D 封装
传输介质	标准封装：封装基板 先进封装：硅中介层、硅桥	常规封装：封装基板 先进封装：硅中介层、硅桥、RDL
耦合方式	DC	DC
传输距离 (mm)	标准封装： 25 先进封装： 2	常规封装：8~25 先进封装：2
凸点间距 (μm)	标准封装：100~130 先进封装：25~55	常规封装：100~180 先进封装：25~55
数据传输方式	单端串行	单端串行、差分串行、并行
传输速率 (Gbps)	4,8,12,16,24,32	串行：5, 6.25, 8, 10.3125, 12.5, 16, 25.78125, 32 并行：5, 8, 10, 16
支持协议	PCIe 6.0 Flit mode CXL 2.0 及更新版本 流协议：68B、256B 传输单元	PCIe 5.0 CXL 2.0 Flit 模式：66B 传输单元
支持最大配置单元	4	8
最大配置单向带宽	标准封装：2.048Tbps 先进封装：8.192Tbps	1.6Tbps
可靠性	$1\text{E}^{-15} \sim 1\text{E}^{-27}$	1E^{-15}

UCIe联盟成员涵盖芯片厂、封装厂、应用方等领域一流公司，技术力量雄厚。UCIe借鉴Intel AIB总线技术，AIB已经在Intel的FPGA和处理器产品中得到应用，相关技术相对成熟。Chiplet技术以先进封装技术为支撑，有TSMC、ASE等公司封装技术的支持，UCIe有望结束当前多种Chiplet并行接口共存的局面。对开放式小芯片生态系统的巨大需求，将促进整个计算体系的创新。随着凸点间距不断缩小和3D封装技术广泛应用，预计UCIe联盟将推出更节能、更具成本效益的解决方案。

相对于UCIe单端串行的传输方式，国内小芯片接口总线技术要求本次征求意见稿列出了差分串行、单端串行和并行总线三种接口，更具灵活性。技术要求支持多种配置选择，提出了多种速率要求，以灵活应对不同的应用场景和不同能力的技术供应商；兼顾对PCIe等现有协议的支持，通过对链路层、适配层、物理层的详细定义，实现在小芯片之间的互连互通；列出了对封装方式的要求，小芯片设计不但可以使用国际先进封装技术，也可以充分利用国内封装技术积累。

四、结语

工业革命以降，每一次科技进步都极大促进了生产力的发展，并为人类社会带来深远的影响。人工智能（Artificial Intelligence, AI）技术的兴起将进一步推动人类社会从信息化迈向智能化。AI技术与IoT技术的结合将使“万物互连”升级为“万物智联”。IEEE国际器件与系统路线图IRDS（International Roadmap for Devices and Systems）预计到2030年将有多达3500亿部AIoT（AI+IoT）设备^[62]，且算法和硬件的升级将不断推动计算从“云端”迁移到“边缘”设备端，这必然进一步推升边缘设备的算力需求。智能化时代不断提升的数据计算、存储、通信需求必将推动Chiplet技术更加广泛的应用。

随着半导体硅工艺逼近极限、且受限于光刻机光罩尺寸，传统的通过在单一硅片上集成更多晶体管来提升性能的方法已走到尽头。Chiplet技术被认为是延续摩尔定律的有效手段，在高性能计算、云服务、高端桌面等领域都已得到成功应用。然而对整个行业而言，Chiplet技术仍处于发展的早期阶段，其进一步发展依然面临若干挑战，如EDA设计工具的支撑^[63]、测试工具与测试方法学^[64]等。随着Chiplet技术的发展成熟，其必然对集成电路的设计流程、生态系统、以及商业模式带来深刻的变革。

参考文献：

- [1] Debendra Das Sharma. Universal Chiplet Interconnect Express (UCIe): Building an open chiplet ecosystem [EB/OL]. [2022-03-28] <https://www.uciexpress.org/general-8>
- [2] Universal Chiplet Interconnect Express (UCIe) Specification Revision 1.0 [EB/OL]. [2022-03-28] <https://www.uciexpress.org/specification>
- [3] 小芯片接口总线技术要求（征求意见稿）[EB/OL]. [2022-03-28] <https://www.ccita.net/wp-content/uploads/2022/03/chiplet-%E5%9B%A2%E4%BD%93%E6%A0%87%E5%87%86-V3.9-0328.pdf>
- [4] 杨晖. 后摩尔时代Chiplet技术的演进与挑战[J]. 集成电路应用, 2020, 37(5): 52-54
- [5] Gordon E. Moore. Cramming more components onto integrated circuits [J]. Electronics, 1965, 38(8): 114-117
- [6] Gabriel H. Loh, Samuel Naffziger, Kevin Lepak. Understanding Chiplets Today to Anticipate Future Integration Opportunities and Limits [C] //Proc of 2021 Design, Automation & Test in Europe Conference & Exhibition (DATE). NJ: IEEE, 2021: 142-145
- [7] WikiChip. Mask/Reticle [EB/OL]. [2022-03-21]. <https://en.wikichip.org/wiki/mask>
- [8] S. Naffziger, K. Lepak, M. Paraschou, et al. AMD Chiplet architecture for high-performance server and desktop Products [C] //IEEE International Solid-State Circuits Conference. NJ: IEEE, 2020: 44-45
- [9] Hassan Mujtaba. AMD 2nd Gen EPYC Rome processors feature a gargantuan 39.54 billion transistors, IO die pictured in detail [EB/OL]. [2022-03-21]. <https://wccfttech.com/amd-2nd-gen-epyc-rome-iod-ccd-chip-shots-39-billion-transistors>
- [10] Patrick Kennedy. Huawei Ascend 910 provides a NVIDIA AI training alternative [EB/OL]. [2022-03-21]. www.servethehome.com/huawei-ascend-910-provides-a-nvidia-ai-training-alternative
- [11] Saptadeep Pal, Jingyang Liu, Irina Alam, et al. Designing a 2048-Chiplet, 14336-core waferscale processor [C] //2021 58th ACM/IEEE Design Automation Conference (DAC). NJ: IEEE, 2021: 1183-1188
- [12] IEEE heterogeneous integration roadmap [EB/OL]. [2022-03-20]. <https://pwesling.com/hir>

- [13] 陈桂林, 王观武, 胡健等. Chiplet封装结构与通信结构综述[J]. 计算机研究与发展, 2022, 59(1): 22 - 30
- [14] Noah Beck, Sean White, Milam Paraschou, et al. Zeppelin: An SoC for multichip architectures [C] //Proc of IEEE ISSCC ' 2018. Piscataway, NJ: IEEE, 2018: 40 - 41
- [15] Thomas Burd, Noah Beck, Sean White, et al. Zeppelin: An SoC for Multichip Architectures [J]. IEEE Journal of Solid - State Circuits, 2019, 54(1): 133 - 143
- [16] 后摩尔时代的“助推剂”：Chiplet到底有何优势，挑战又有哪些？[EB/OL]. [2022 - 03 - 20]. www.icsmart.cn/50577
- [17] S. Sutardja. The future of IC design innovation [C] //2015 IEEE International Solid - State Circuits Conference. San Francisco, CA: IET, 2015: 1 - 6
- [18] Ryan Smith. Marvell Announces First MoChi Architecture Modules: SoCs Go To Pieces [EB/OL]. [2022 - 03 - 20]. www.anandtech.com/show/9691/marvell-announces-first-mochi-architecture-chips-socs-go-to-pieces
- [19] TSMC、华为海思宣布首款16nm FinFET处理器：32核64位Cortex - A57架构 [EB/OL]. [2022 - 03 - 20]. www.expreview.com/36271.html
- [20] Eric Bass. The DARPA CHIPS Program [EB/OL]. [2022 - 03 - 20]. www.intrinsix.com/blog/the-darpa-chips-program
- [21] Naffziger, Samuel et al. Pioneering Chiplet Technology and Design for the AMD EPYC™ and Ryzen™ Processor Families : Industrial Product [C] // 2021 ACM/IEEE 48th Annual International Symposium on Computer Architecture (ISCA). Valencia, Spain: IEEE, 2021: 57 - 70
- [22] J. Wu et al. 3D V - Cache: the Implementation of a Hybrid - Bonded 64MB Stacked Cache for a 7nm x86 - 64 CPU [C]// 2022 IEEE International Solid - State Circuits Conference (ISSCC). NJ: IEEE, 2022: 428 - 429
- [23] AMD. AMD 3D V - Cache Technology [EB/OL]. [2022 - 03 - 20]. <https://www.amd.com/en/campaigns/3d-v-cache>
- [24] Top500 list [EB/OL]. [2022 - 05 - 31]. www.top500.org
- [25] Kirk Saban. Xilinx Stacked Silicon Interconnect Technology Delivers Breakthrough FPGA Capacity, Bandwidth, and Power Efficiency [EB/OL]. [2022 - 03 - 25]. www.xilinx.com/support/documentation/white_papers/wp380_Stacked_Silicon_Interconnect_Technology.pdf
- [26] Clive Maxfield. Xilinx ships the world ' s first heterogeneous 3D FPGA [EB/OL]. [2022 - 03 - 25]. www.eetimes.com/xilinx-ships-the-worlds-first-heterogeneous-3d-fpga
- [27] M. Hutton. Stratix 10: 14nm FPGA delivering 1GHz [C] //2015 IEEE Hot Chips 27 Symposium (HCS). NJ: IEEE, 2015: 1 - 24
- [28] A. Biswas. Sapphire Rapids [C] //2021 IEEE Hot Chips 33 Symposium (HCS). NJ: IEEE, 2021: 1 - 22
- [29] Nevine Nassif, Ashley O. Munch, Carleton L. Molnar, et al. Sapphire Rapids: The Next - Generation Intel Xeon Scalable Processor [C] //2022 IEEE International Solid - State Circuits Conference (ISSCC). NJ: IEEE, 2022: 44 - 46
- [30] Jing Xia, Chuanning Cheng, Xiping Zhou, et al. Kunpeng 920: The First 7 - nm Chiplet - Based 64 - Core ARM SoC for Cloud Services [J] IEEE Micro, 2021, 41(5): 67 - 75
- [31] John H. Lau. Heterogeneous Integrations [M]. Berlin: Springer, 2019
- [32] John H. Lau. Semiconductor Advanced Packaging [M]. 1st Edition. Berlin: Springer, 2021
- [33] B. Banijamali, S. Ramalingam, K. Nagarajan, et al. Advanced reliability study of TSV interposers and interconnects for the 28nm technology FPGA [C] //2011 IEEE 61st Electronic Components and Technology Conference (ECTC). NJ: IEEE, 2011:285 - 290
- [34] P. K. Huang et al. Wafer Level System Integration of the Fifth Generation CoWoS - S with High Performance Si Interposer at 2500mm² [C] //2021 IEEE 71st Electronic Components and Technology Conference (ECTC). NJ: IEEE, 2021: 101 - 104
- [35] R. Mahajan et al. Embedded Multidie Interconnect Bridge—A Localized, High - Density Multichip Packaging Interconnect [J]. IEEE Transactions on Components, Packaging and Manufacturing Technology, 2019, 9(10): 1952 - 1962
- [36] Gang Duan, Yosuke Kanaoka, Robin McRee, et al. Die Embedding Challenges for EMIB Advanced Packaging Technology [C] //IEEE 71st Electronic Components and Technology Conference. NJ: IEEE, 2021: 1 - 7
- [37] Douglas Yu. TSMC Packaging Technologies for Chiplets and 3D [EB/OL]. [2022 - 03 - 20]. https://www.hc33.hotchips.org/assets/program/tutorials/2021%20HotChips%20TSMC%20Packaging%20Technologies%20for%20Chiplets%20and%203D_0819%20publish_public.pdf
- [38] D. B. Ingerly et al. Foveros: 3D Integration and the use of Face - to - Face Chip Stacking for Logic Devices [C] //2019 IEEE International Electron Devices Meeting (IEDM). NJ: IEEE, 2019: 19.6.1 - 19.6.4

- [39] Y. H. Chen, C. A. Yang, C. C. Kuo, et al. Ultra High Density SoIC with Sub-micron Bond Pitch [C] //2020 IEEE 70th Electronic Components and Technology Conference (ECTC). NJ: IEEE, 2020: 576 - 581
- [40] OIF. Common Electrical I/O (CEI) - Electrical and Jitter Interoperability agreements for 6G+ bps, 11G+ bps, 25G+ bps I/O and 56G+bps [EB/OL]. [2022 - 03 - 20]. www.oiforum.com/wp-content/uploads/2019/01/OIF-CEI-04.0.pdf
- [41] David Kehlet. Accelerating Innovation Through A Standard Chiplet Interface: The Advanced Interface Bus (AIB) [EB/OL]. [2022 - 03 - 20]. www.intel.com/content/dam/www/public/us/en/documents/white-papers/accelerating-innovation-through-aib-whitepaper.pdf
- [42] Mu - Shan Lin, Tze - Chiang Huang, Chien - Chun Tsai, et al. A 7 - nm 4 - GHz Arm - Core - Based CoWoS Chiplet Design for High - Performance Computing [J]. IEEE Journal of Solid - State Circuits, 2020, 55(4): 956 - 966
- [43] WikiChip. Infinity Fabric (IF) - AMD [EB/OL]. [2022 - 03 - 27]. https://en.wikichip.org/wiki/amd/infinity_fabric
- [44] Ramin Farjadrad, Bapiraju Vinnakota. A Bunch of Wires (BoW) Interface for Inter - Chiplet Communication [C] //2019 IEEE Symposium on High - Performance Interconnects (HOTI). NJ: IEEE, 2019: 27 - 273
- [45] Shahab Ardalan, Halil Cirit, Ramin Farjad, et al. Bunch of Wires: An Open Die - to - Die Interface [C] //IEEE Symposium on High - Performance Interconnects (HOTI). NJ: IEEE, 2020: 9 - 16
- [46] Shahab Ardalan, Ramin Farjadrad, Mark Kuemerle, et al. An Open Inter - Chiplet Communication Link: Bunch of Wires (BoW) [J]. IEEE Micro, 2021, 41(1): 54 - 60
- [47] Xilinx. ODSA OpenHBI Workstream proposal [EB/OL]. [2022 - 03 - 20]. <https://146a55aca6f00848c565-a7635525d40ac1c70300198708936b4e.ssl.cf1.rackcdn.com/images/dee03aa0c4abdc0d5c470e58121855d46694fa38.pdf>
- [48] Leong Zhang. 裸片到裸片接口IP的新疆域：芯片成功的需知 [EB/OL]. [2022 - 03 - 20]. https://site.eet-china.com/webinar/pdf/Synopsys_1028_Live_Webinar_PPT.pdf
- [49] ODSA workgroup. The Open Domain - Specific Architecture: A Chiplet - Based Open Architecture [EB/OL]. [2022 - 03 - 20]. <https://146a55aca6f00848c565-a7635525d40ac1c70300198708936b4e.ssl.cf1.rackcdn.com/files/4d16ef9f4866eb3f8d71eed63aa843c85b79abe6.pdf>
- [50] Daniel S. Green. Heterogeneous Integration at DARPA: Pathfinding and Progress in Assembly Approaches [EB/OL]. [2022 - 03 - 20]. <https://ectc.net/files/68/Demmin%20Darpa.pdf>
- [51] 中国电子工业标准化技术协会. 关于《小芯片接口总线技术要求》等两项团体标准征求意见的通知[EB/OL]. [2022 - 03 - 20]. <https://cesa.cn/news.aspx?id=CxZUCjmK9A0=&t=%E9%80%9A%E7%9F%A5%E5%85%AC%E5%91%8A>
- [52] IEEE. International Roadmap for Devices and Systems, exclusive summary (2021 Update) [EB/OL]. [2022 - 03 - 20]. <https://irds.ieee.org/editions/2021>
- [53] Tao Li, Jie Hou, Jinli Yan, et al. Chiplet Heterogeneous Integration Technology — Status and Challenges [J]. Electronics. 2020, 9(4): 670
- [54] M. Hutner, R. Sethuram, B. Vinnakota, et al. Special Session: Test Challenges in a Chiplet Marketplace [C] //2020 IEEE 38th VLSI Test Symposium (VTS). NJ: IEEE, 2020: 1 - 12

基于申威异构众核处理器架构的模态并行算法

● 喻高远^{1,2} 马志强^{1,2,3} 李俊杰^{1,2} 金先龙^{1,2}

¹上海交通大学机械系统与振动国家重点实验室 上海 200240

²上海交通大学机械与动力工程学院 上海 200240

³中国航发商用航空发动机有限责任公司 上海 200240

摘要：

根据国产申威异构众核处理器架构特点，提出了一种结构有限元模态分层通信并行计算方法，对于提高国产申威异构众核分布式存储并行计算机下重大装备系统级模态分析的并行效率具有重要意义。该方法在分层通信策略和加速子空间迭代法的基础上构建了大规模模态分析并行计算体系，不仅实现了计算过程和数据通信的分层，有效提高了通信效率；而且实现了计算数据的分布式存储，显著改善了数据访存效率。将并行计算体系应用于某超深钻机制动系统主体结构 and 某跨江隧道，实现了上千万自由度、数万核的模态分析并行计算；结合算例对该算法的正确性和有效性进行了评估。研究结构结果表明：该算法能够充分利用国产申威异构众核分布式存储并行计算机的体系结构特点提高重大装备系统级模态并行计算效率。

关键词：异构众核、分布式存储、分层通信、大规模模态分析、并行计算

前言

随着交通运输业、能源勘探与开发业和航空航天业等的发展，对于大型、特大型装备的需求越来越多，如：高速动车组、3000m超深钻机、大飞机、跨江隧道、跨海大桥等。这些特殊装备系统的研制往往涉及大规模复杂动力学系统的计算，而模态分析则是其最耗费时间的计算环节，也是其余计算环节的基础，需借助大规模有限元模型进行高性能计算，故而对传统串行有限元计算方法和工具形成了挑战^[1-2]。传统串行计算是以牺牲大型、特大型装备局部关键细节进行简化建模来保证计算效率，因而造成局部关键细节预测能力和大量密集模态的丢失，计算精度较低，无法满足其系统级高精度高效率数值分析的需求。随着并行计算机的快速发展，利用并行计算机研究和开发相应的并行算法则为大型、特大型装备系统模态的求解提供了切实可行的途径，正逐步成为各国学者的研究热点。

在硬件方面，异构众核分布式存储并行计算机具备计算能力强、性能功耗比高等优点，已成为当前超级计算机的重要发展方向，典型的异构众核处理

器包括Intel的MIC、Nvidia和AMD的GPU、Godson-T以及申威众核处理器等^[3]。近年来，国内外诸多学者在异构众核分布式存储并行计算机的基础上求解各类大规模、超大规模有限元系统，来获取系统的特性，取得了很好的效果。Seid等^[4]利用并行SuperLU和PCG算法基于GPU众核架构完成了某增压空气冷却器的瞬态动力学特性分析，其求解自由度超过千万。Jesús等^[5]采用CG算法基于GPU众核架构完成了某L型悬臂梁的静态特性分析。Yang等^[6]使用直接数值模拟基于MIC众核架构完成了某发动机燃烧模拟分析。然而，国内外学者关于模态并行计算的相关研究较少，且多是以多核并行计算机和基于GPU众核架构的并行计算机为主。B.C.P.等^[7]基于多核并行计算机完成了模态叠加法并行算法设计，并将其应用于某悬臂梁的模态并行求解。Zhu等^[2]基于GPU众核架构设计了模态并行子空间迭代法，基于此完成了某风扇结构模态分析。目前国内外基于申威众核处理器架构的模态并行求解算法研究相对较少，而基于申威众核处理器架构的并行计算机-“神威太湖之光”在峰值性能、持续性能、性能功耗比3项关

基金项目：国家重点研发计划项目（2017YFB0202701）；国家自然科学基金项目（11772192）；

本文已发表于《振动与冲击》2022年，Vol 41 No.3

键指标均居于世界第一^[8]。因此,利用基于申威众核处理器架构的并行计算机进行模态并行计算研究对于提高大型、超大型装备系统模态的计算规模、计算精度和计算效率具有重要意义。考虑到“神威太湖之光”并行计算机核组内通信时间远小于核组间通信,且其访存能力较弱,故利用“神威太湖之光”并行计算机提高并行效率的关键在于处理好大规模数据的存储以及各计算核心间的通信和协作问题。模态分析的数学实质可以归结为大型稀疏矩阵的广义特征值问题,该类问题的求解大多基于子空间类投影技术,主要包括Davidson类子空间方法和Krylov类子空间方法等^[1-2]。Davidson类子空间方法主要用于求解对角占优的对称矩阵特征值问题,其问题适应性不如Krylov类子空间方法。Krylov类子空间方法可以追溯到20世纪50年代提出的Lanczos算法和Arnoldi算法^[9]。后来国内外诸多学者在Lanczos算法和Arnoldi算法的基础上进行了一系列重启改进,比较著名的是:Sorensen等^[10]提出的Arnoldi/Lanczos算法、Stewart等^[11]提出的Krylov-Schur算法、Jia等^[12-15]提出的加速子空间迭代法等。三种算法在数学上具有等价性,是目前Krylov类子空间算法中的主流算法。与前两种算法相比,加速子空间迭代法更容易收敛,且代码实现难度较低,故本文采用加速子空间迭代法进行模态并行算法设计。

综上所述,本文基于国产申威异构众核分布式存储并行计算机和加速子空间迭代法分析了各计算步骤的计算量,根据计算结果构建了大规模模态分析并行计算体系,并将其应用于某超深钻井制动系统主体机构及某跨江隧道模态并行计算,实现了上千万自由度的模态并行求解。同时,该方法不仅通过分层策略实现了计算过程和数据通信的分层,有效提高了通信效率;而且通过计算数据的分布式存储,显著改善了数据访存效率。

一、大规模特征值问题求解算法

模态分析的数学的描述为^[1,2,14]:

$$K\varphi = \lambda M\varphi \quad (1)$$

式中:K为模态系统整体刚度矩阵;M为模态系统整体质量矩阵; λ 为模态系统广义特征值; φ 为对应振型向量。K和M可以对工程结构进行有限元离散和积分得到,均为大型稀疏、对称(半)正定矩阵。模态分析的本质即求解式(1)的多个低阶特征对。采用子空间迭代法求解式(1)时,由于Krylov类算法大多数收敛于最大特征值,需采用Shift-Invert变换进行谱变换,其变换形式为:

$$(K - \sigma M)^{-1} M \varphi = \frac{1}{\lambda - \sigma} \varphi \quad (2)$$

式中: σ 为移位值;(K-M)-1可通过变换求解线性系统的解获得:

$$(K - \sigma M)x = M \quad (3)$$

式(2)可改写为:

$$A_s v = \mu_x v \quad (4)$$

式中: $A_s = (K - \sigma M)^{-1} M$; $\mu_s = 1/(\lambda - \sigma)$ 。采用加速子空间迭代法^[12-14]求解式(1)的前m个特征值即求解式(4)的前m个特征值时,考虑到 A_s 的存储数据量为自由度规模 $n \times n$,为了最大限度降低中间变量 A_s 储存的内存占用空间,变量V(V可以取算法过程变量Q或者Y)与 A_s 做矩阵运算后的结果可通过求解式(5)所示的线性系统获得,其算法具体步骤如下所示。

$$(K - \sigma M)(xV) = (MV) \quad (5)$$

步骤1-输入 矩阵K、M,求解特征值个数m,迭代初始向量Q,外层迭代控制误差 ε ,最大循环次数Maxcycle

步骤2-输出:m个外部特征值 λ_j 和w

(1)初始化:随机生成初始向量Q, $j=0$, $Y=[]$, $AA=[]$, $BB=[]$, $VV=[]$, $EE=[]$, $BBB=[]$, $LL=[]$ 。

(2)进入求解m个特征值的循环:

while $j < \text{Maxcycle}$

(a)计算:求解方程 $(K - \sigma M)(A_s * Q) = (M * Q)$ 并将结果存储于Y中;

(b)计算:求解方程 $(K - \sigma M)(A_s * Y) = (M * Y)$ 并将结果存储于Q中;

(c)计算: $AA = Y' * Q$;

(d)计算: $BB = Y' * (E * Y)$;

(e)QZ法求解子空间上广义特征值问题:

$AA^* = \lambda_j^* BB^*$,式中 λ_j 为第j次迭代求得的广义特征值;

(f)检查 λ_j 是否满足精度要求,若 $|\lambda_j - \lambda_{j-1}| / \lambda_j \leq \varepsilon$,则转到步骤(4);如果不满足精度要求则作:

(g) $BBB = ((VV' * BB * VV)' + (VV' * BB * VV)) / 2$, VV 为构成的向量空间;

(h)对BBB做Cholesky分解并将产生上三角阵LL;

(i)计算: $VV = VV / LL'$;

(k)计算: $Q = Y * VV$;

(l)令 $j=j+1$ 并返回步骤(a);

end while

(3)检查: $j < \text{Maxcycle}$,若满足,则转到步骤(4);如果不满足则输出计算有误;

(4)计算: $w = \text{sqrt}(\lambda_j / 2)$ 并输出 λ_j 和w;

二、模态加速子空间迭代法分析

采用上述算法,进行某超深钻进盘鼓式制动器转子盘模态分析,其有限元网格模型如图1所示,弹性模量为210Gpa,密度为7800Kg/m³,泊松比为0.3。采用不同的自由度规模,固定约束其内表面8个螺栓孔位置,计算结构的前20阶固有频率,并与经典模态求解算法-lanczos算法^[15-17]的求解结果进行对比,各测试规模如表1所示,各自由度规模下20阶固有频率的最大相对误差按照式(6)计算后如图3所示。

$$\varepsilon_m = \frac{\|\lambda - \lambda_{lanczos}\|_2}{\|\lambda_{lanczos}\|_2} \quad (\text{相对误差}) \quad (6)$$

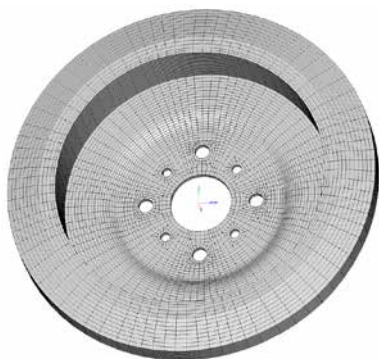


图1 盘鼓式制动器转子盘有限元网格模型

表1 模态分析各阶段计算时间所占比例

测试描述	Case1	Case2	Case3	Case4	Case5
自由度规模	56676	109425	191682	313431	436056

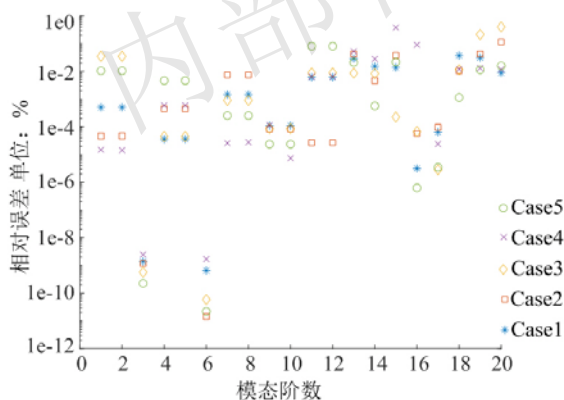


图2 不同自由度规模下20阶固有频率的最大相对误差

由图2可知,各自由度规模下各阶固有频率的误差均不超过0.11%,表明:基于加速子空间迭代法的模态分析可以保证计算精度,故可用于模态并行算法设计。

不同测试规模下各步骤的时间比例如图3所示,由图3可知,随着自由度规模的增加,数据读取和特征值计算的时间比例逐步下降,初始化及方程求解的时间逐步增加,故而大规模模态并行算法设计的

关键在于方程求解步骤的并行化,而特征值计算可采用单节点计算,以减少通信耗时。

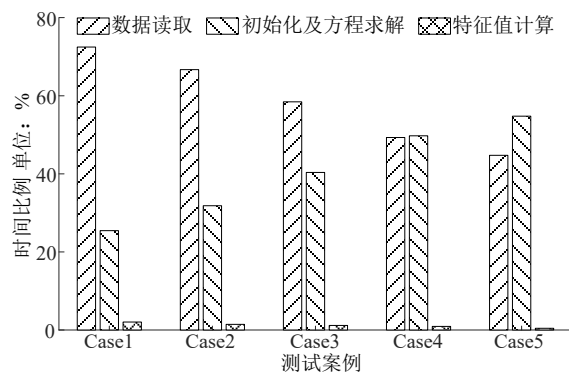


图3 转子盘不同测试规模下各步骤的时间比例

三、并行计算实现

3.1 处理器架构

采用申威众核处理器进行模态并行加速子空间迭代法设计,其架构如图4所示。

每个申威众核处理器,共计4核组,各核组可共享32GB内存。每个核组包括1个主核(运算控制核心)和64个从核(核心阵列)。核组间通信采用双向14Gbits/s通信网络带宽,主核与从核间通信采用DMA方式批量访问主存。从核局部存储空间大小为64KB,指令存储空间为16KB。

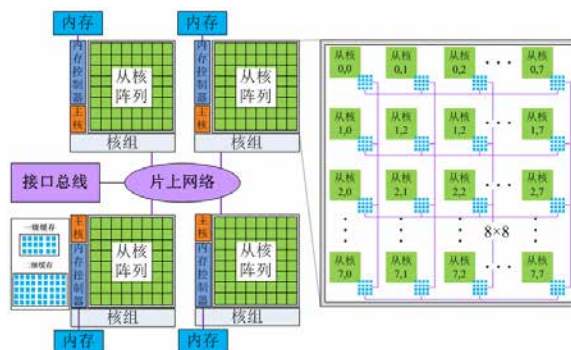


图4 申威众核处理器架构

3.2 大规模模态并行求解体系

基于申威众核处理器及接口等功能形成的模态分析求解体系如图5所示。

整个模态分析并行计算体系分为:多文件流数据读取、变量初始化及并行求解方程、并行求解模态固有频率三个部分。具体介绍如下:

(1) 多文件流数据读取。各核组同步读取对应的刚度矩阵和质量矩阵数据文件,核组间无数据通信交流。刚度矩阵和质量矩阵是由组集系统模型的各部分结构化网格数据后并行求解获得^[18]。

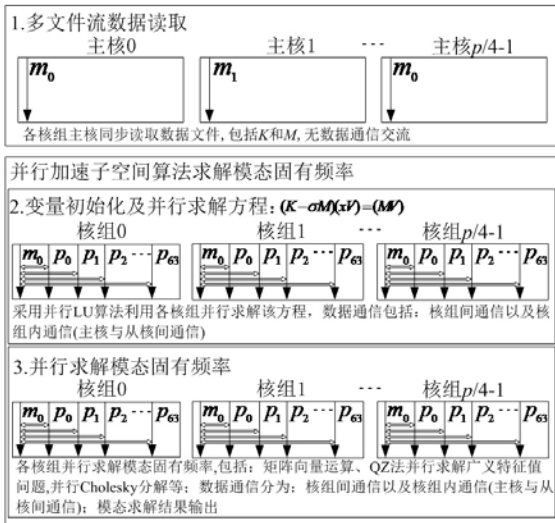


图5 模态分析并行计算体系

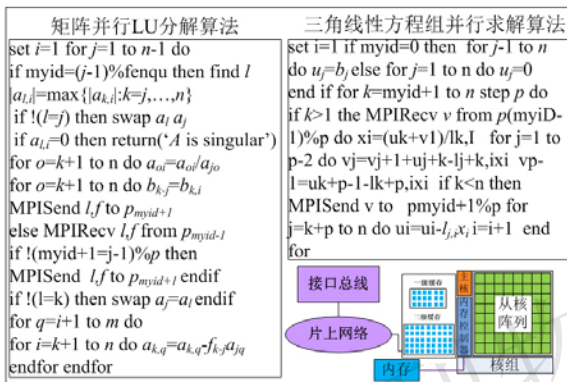


图6 并行LU求解算法

(2) 并行求解方程(5)。考虑到大规模模态并行求解时需要求解方式(5)2次,为了节约方程的求解时间,通过在申威众核处理器上集成并行LU算法来实现线性方程组的求解,在求解过程中组装的系统的单元刚度矩阵K仅需要进行一次LU分解,因而可以节约方程(5)的总体求解时间。并行LU算法的实现过程如图6所示,主要包括矩阵并行Cholesky算法和三角线性方程组并行求解算法,其核心运算步骤为矩阵向量运算和数据通信。

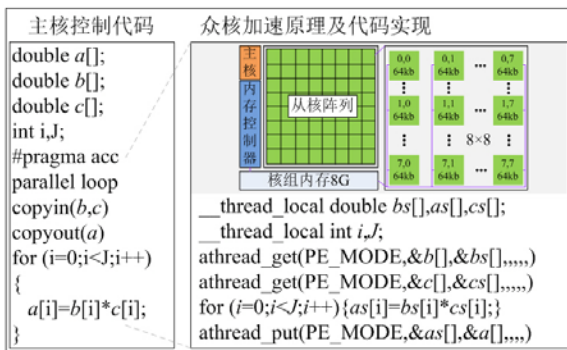


图7 基于异构众核加速的矩阵向量乘法

数据通信包括核组间通信以及核组内通信,核组间通信采用MPI库实现,核组内通信采用Athread库实现。矩阵向量运算主要包含加减乘除,现以向量乘法 $a=b*c$ 为例(a 、 b 、 c 为任意矩阵向量运算过程中的存储数组),其实现过程如图7所示。各核组上64个从核同步从核组内存空间中循环读取对应数据,该部分数据段内存需小于64kb进行计算后返回计算结果于指定位置,通信仅存在于各核组主核于从核之间。

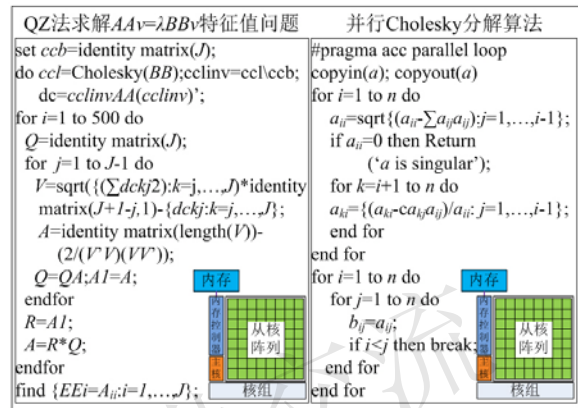


图8 QZ及Cholesky分解算法的并行化实现

(3) 并行加速子空间算法求解模态固有频率。

按照算法操作属性主要包括:矩阵向量运算、QZ法并行求解广义特征值问题以及并行Cholesky分解等。进行矩阵向量运算的步骤主要为(a)-(d)、(f)、(i),且QZ法并行求解广义特征值问题及Cholesky分解中均存在矩阵向量运算,其实现过程同图7所示。考虑到计算规模对于加速子空间各步骤时间占比的影响,(a)-(d)中的矩阵向量运算需各核组同步并行计算,存在核组间通信和核组内通信,QZ法并行求解广义特征值问题及Cholesky分解中的矩阵向量计算只在指定核组内进行运算,仅存在核组内通信。QZ法并行求解广义特征值问题的算法及并行Cholesky分解算法的实现如图8所示。

四、数值算例

基于搭建的模态并行求解体系完成某超深钻进盘鼓式制动器转子盘及某跨江隧道模态分析,求解模态阶数为前10阶。

4.1 某制动装备典型应用

对于该超深钻进盘鼓式制动器转子盘有限元模型,整体结构测试规模见表2。

为揭示复杂装备大规模模态计算的必要性及求解精度,对Case6-Case8的模态频率结果进行了比较分析,表3给出了三种规模下模态频率的对比情况。

表2 超深钻进盘鼓式制动器转子盘测试规模

测试规模描述	自由度规模	刚度矩阵非零元个数	平均带宽
Case6	2,239,836	182,076,384	252
Case7	4,311,357	354,575,335	255
Case8	6,382,215	527,611,679	271

表3 转子盘不同测试规模下的结果变化

模态阶数	Case6	Case7		Case8	
	频率 /Hz	频率 /Hz	变化率 /%	频率 /Hz	变化率 /%
1	218.8836	218.5594	0.1481	218.3790	0.0826
2	218.9036	218.5643	0.1550	218.3841	0.0824
3	417.2623	416.4328	0.1988	415.9356	0.0067
4	1113.364	1113.243	0.0109	1113.1688	0.0064
5	1114.594	1114.472	0.0110	1114.3998	0.0088
6	1449.209	1448.978	0.0160	1448.8503	0.0588
7	2208.079	2206.092	0.0900	2204.7952	0.0582
8	2208.185	2206.098	0.0946	2204.8125	0.0582
9	3083.608	3083.384	0.0073	3083.2363	0.0048
10	3083.611	3083.386	0.0073	3083.2398	0.0048

由表3可知，同类型装置的各阶模态频率随着计算规模的增加，频率会逐渐下降，这是由于工程结构的有限元分析存在刚度矩阵的“硬化效应”，导致较小自由度规模计算时得到的模态频率偏高。对比Case6-Case8与Case1-Case5的模态频率，最大变化率4.39%，而Case6-Case8的模态频率变化率相对低的多，这说明对于类似于盘鼓式制动器转子盘这样的结构，需要提高相应的计算规模以提高其计算精度。

为了校验并行计算结果的正确性，图9给出了三种规模下模态频率与经典lanczos算法对应的相对误差，由图9可知，三种规模下模态频率的计算结果与经典lanczos算法的相对误差均小于0.687%，各阶振型保持一致，这就有效验证了本文并行计算结果的正确性。

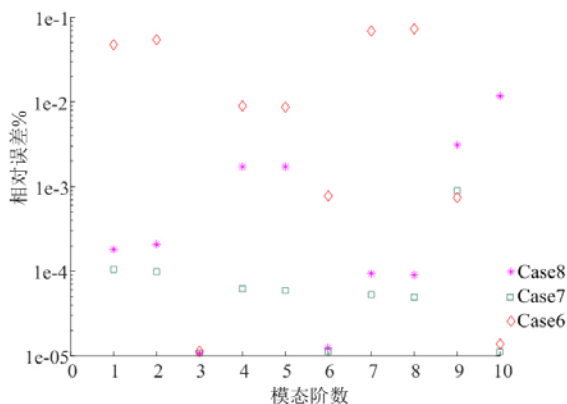


图9 不同自由度规模下模态频率的相对误差

通过启动相应数目的节点机测试本文分层并行计算方法的性能，各规模下的计算结果如表4、表5、表6所示。

表4 Case6并行计算结果

计算核数	数据读取 /s	方程求解 /s	总时间 /s	加速比	并行效率 %
4096	63.0791	3270.0	3333.1	1	100
6400	61.1681	2652.2	2713.4	1.2284	78.62
9216	57.8339	2084.7	2142.5	1.5557	69.14
12544	55.4684	1846.2	1901.7	1.7527	57.23
16384	52.6656	1679.4	1732.0	1.9244	48.11

表5 Case7并行计算结果

计算核数	数据读取 /s	方程求解 /s	总时间 /s	加速比	并行效率 %
4096	114.5335	5914.1	6028.6	1	100
6400	113.3495	4643.7	4757.0	1.2673	81.11
9216	110.0460	3713.8	4643.7	1.5766	70.07
12544	107.7548	3219.7	3327.4	1.8118	59.16
16384	105.8013	2935.9	3041.7	1.9820	49.55

表6 Case8并行计算结果

计算核数	数据读取 /s	方程求解 /s	总时间 /s	加速比	并行效率 %
4096	172.6150	14744.4	14917.0	1	100
6400	163.8555	11280.8	11444.7	1.3034	83.42
9216	311.5310	9160.8	9472.3	1.5748	69.99
12544	155.7525	7562.5	7718.2	1.9327	63.11
16384	150.0283	7094.0	7244.1	2.0592	51.48

由表4-6可知，本文基于申威众核处理器架构提出的有限元模态分层通信并行计算方法能够获得较高的加速比和并行效率。这是由于分层通信策略实现了计算过程和数据通信的分层，各核组的主核仅负责数据的读取和全局通信，而各从核负责计算且仅与对应主核之间存在局部通信，因而可获得良好的加速比和加速效率。同时，为了进一步降低全局通信的次数和时间，考虑到组集形成的单元整体质量矩阵M需进行反复调用计算，将质量矩阵数据直接存储于各个核组存储空间中，可使得实际M参与的计算过程中，仅需要中间少量数据通信，而组集形成的刚度矩阵K需要进行LU分解，将其分布式存储于各个核组上，尽管这一过程会使得数据读取的并行可扩展性较差，然而对于大规模模态并行求解，数据读取占总时间的比例相对较低，其并行求解的关键在于如何降低全局的通信量，故可提高整体的加速比和并行效率。

在表4-6中，当计算核数由4096增加到16384的过程中，系统的总体并行效率发生了显著下降，这是由于模态计算过程中随着计算分区的增加，采用并行LU求解方程(5)的过程中占用的内存和并行通讯也随之增加，导致系统的整体并行效率下降较大。

4.2 某跨江隧道典型应用

在实际的工程应用中,有时复杂工程结构会包含多种单元类型,为测试多单元混合建模千万自由度规模下复杂工程系统的并行效率,以图10所示的某跨江隧道模型为例进行分析,该模型具有2896781实体单元,186121梁单元,21685质量单元,自由度规模13167203,刚度矩阵非零元个数1012581369,平均带宽412,求解其前20阶固有模态频率。

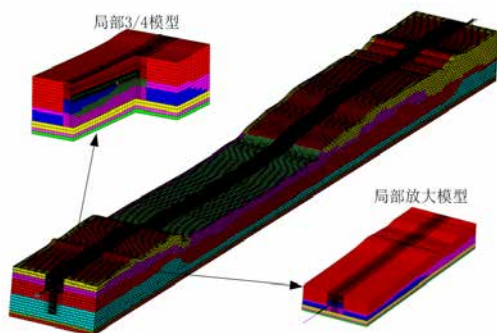


图10 某跨江隧道主体有限元模型

各计算核数下的测试结果如表7所示。由表7可知,对于包含多种类型单元千万自由度规模下的跨江隧道系统模态并行求解,本文所提出的模态并行计算方法仍然具有良好的加速比和并行效率。然而计算核数从12544核提升至16384核时,总体计算时间仅下降了715.2秒,下降幅度较小,这是由于LU分解和下(上)三角部分的并行求解不仅需要申请大量的内存,还需要大量的通信和计算。随着子区域的增加,尽管单个区域的计算时间有所降低,然而求解过程中通信开销会越来越大,致使系统总体计算时间降低较少,并行效率较低。与制动装备转子结

构相比,该跨江隧道系统模型包含了多种类型的单元,可充分构建复杂工程系统的多单元混合模型,且仍然具备良好的并行效率和加速比,因而更加符合复杂工程系统的实际需求。

表7 某跨江隧道并行计算结果

计算核数	数据读取 /s	方程求解 /s	总时间 /s	加速比	并行 效率 %
4096	363.3174	37202.4	37565.7	1	100
6400	346.5504	26721.9	27068.5	1.3878	88.82
9216	338.3802	21519.9	21858.3	1.7186	76.38
12544	328.2606	17707.9	18036.2	2.0828	68.01
16384	323.3682	16997.6	17321.0	2.1688	54.22

五、结论

(1) 为解决采用国产申威异构众核处理求解重大装备系统级模态并行求解问题,通过对模态加速子空间迭代法进行研究和集成开发,构建了一套大规模并行求解体系,该体系在模态加速子空间迭代法的基础上,利用分层通信策略不仅实现了计算过程和数据通信的分层,有效改善了通信效率,而且实现了计算过程中数据的分布式存储,显著改善了数据访存效率。

(2) 通过典型数值算例表明:对于完全实体单元建模和多单元混合建模下的系统级模型,该方法均能够获得良好的加速比和并行效率。并且具备上千万自由度规模的并行计算能力,基本可以满足重大装备和复杂工程系统利用国产处理器进行模态分析的需求。本文研究结果对于重大装备和复杂工程系统的研制和使用均具有较强的指导意义和参考价值。

参考文献:

- [1] 范宣华,肖世富,陈璞.千万自由度量级有限元模态分析并行计算研究[J].振动与冲击,2015,34(17):77-82.
- [2] 朱彬,张宜生,王梁,田晓薇.基于GPU的模态分析并行算法[J].华中科技大学学报(自然科学版),2012,40(05):33-36.
- [3] 何王全,刘勇,方燕飞,魏迪,漆锋滨.面向国产异构众核系统的Parallel C语言设计与实现[J].软件学报,2017,28(4):764-785.
- [4] Seid Koric, Qiyue Lu, Erman Guleryuz. Evaluation of massively parallel linear sparse solvers on unstructured finite element meshes[J]. Computers and Structures, 2014,141:19-25.
- [5] Jesús Martínez-Frutos, Pedro J. Martínez-Castejón, David Herrero-Pérez. Fine-Grained GPU implementation of assembly-free iterative solver for finite element problems[J]. Computers and Structures, 2015,157:9-18.
- [6] 杨梅芳,车永刚,高翔.基于OpenMP 4.0的发动机燃烧模拟软件异构并行优化[J].计算机研究与发展,2018,55(2):400-408.
- [7] B.C.P. Heng, R.I. Mackie. Parallel modal analysis with concurrent distributed objects[J]. Computers and Structures, 2010,88:1444-1458.
- [8] 刘芳芳,杨超,袁欣辉,吴长茂,敖玉龙.面向国产申威26010众核处理器的SpMV实现与优化[J].软件学报,2018,29(12):3921-3932.
- [9] Watkins D S. The matrix eigenvalue problem: GR and krylov subspace methods[M]. SIAM, Philadelphia, 2007.

- [10] Sorensen D C. Implicit application of polynomial filters in a k-step Arnoldi method[J]. SIAM J. Matrix Anal. Appl. , 1992,13:357 - 385.
- [11] Stewart G W. A Krylov - Schur algorithm for large eigenproblems[J]. SIAM J. Matrix Anal. Appl., 2001, 23(3):601 - 614.
- [12] Zhongxiao Jia*. A refined subspace iteration algorithm for large sparse eigenproblems[J]. Applied Numerical Mathematics, 2000, 32:35 - 52.
- [13] ZAIWEN WEN, YIN ZHANG. Accelerating convergence by augmented rayleigh - ritz projections for large - scale eigenpair computation[J]. Siam Journal on matrix analysis and applications, 2017, 38(2):273 - 296.
- [14] PING TAK PETER TANG, ERIC POLIZZI. Feast as a subspace iteration eigensolver accelerated by approximate spectral projection[J]. Siam Journal on matrix analysis and applications, 2014, 35(2):354 - 390.
- [15] R.G. Grimes, J.G. Lewis, and H.D.Simon. A shifted Block lanczos algorithm for solving sparse symmetric generalized eigenproblems[J]. SIAM Journal on Matrix Analysis and Applications, 1996,15(1):228 - 272.
- [16] 范宣华.基于Panda框架的大规模有限元模态分析并行计算机应用[D]. 北京：北京大学，2013.
- [17] 苗新强,金先龙,丁峻宏.结构静力有限元分层并行计算方法.力学学报,2014,46(4):611 - 618.
- [18] Hernandez V , Roman J E , Vidal V . SLEPc: A scalable and flexible toolkit for the solution of eigenvalue problems[J]. ACM Transactions on Mathematical Software, 2005, 31(3):351 - 362.

要闻集锦

RISC-V处理器将崛起？研究机构利用新架构建造超级计算机

日前，一直在研究开发RISC-V超级计算机的博洛尼亚大学和CINECA(意大利最大的超算中心)研究团队，设计的新型ISA已经证明了具备运行高性能计算的能力，这为构建超算奠定了基础。

该团队使用SiFive的Freedom U740 SoC作为基础，研究人员将他们的RISC-V集群命名为“Monte Cimone”。

我们知道，超级计算机由主板、处理器、内存和存储组成。意大利研究人员决定尝试使用与英特尔/AMD不同的解决方案来解决该问题，并使用基于RISC-V ISA的处理器。

Monte Cimone具有四台双板服务器，每台服务

器均采用1U外形尺寸。每块板都有一个SiFive的Freedom U740 SoC，其中有四个运行频率高达1.4GHz的U74内核和一个S7管理内核。总共有8个节点，总共有32个RISC-V内核。

其搭配运行速度为1866s MT/s的16GB 64位DDR4内存、运行速度为7.8GB/s的PCIe Gen 3 x8总线、一个千兆以太网端口、USB 3.2 Gen 1接口，系统由两个250瓦PSU供电，以支持未来扩展和增加加速卡。

意大利的团队使用HPL和Stream对系统进行了基准测试，以确定机器的浮点计算能力和内存带宽。虽然结果不是很令人印象深刻，但它们是RISC-V的一个开始。

(卢永捷)

燃煤电厂高温腐蚀改造大规模数值模拟与贴壁风改造研究现状

● 李德波 南方电网电力科技股份有限公司 广州 510080

摘要：

我国现役超临界及超超临界燃煤电厂完成“超低排放”改造后频发锅炉炉内水冷壁高温腐蚀现象，严重危害燃煤电厂的平稳、安全运行，高温腐蚀是燃煤电厂当下需重点解决的工程难题。本文从高温腐蚀机理及数值模拟研究出发，对燃煤电厂高温腐蚀贴壁风改造的数值模拟及工程应用进行了分析及总结，研究发现：高温腐蚀易发生在低 O_2 、高 CO 、 H_2S 等还原性气氛中；采用低 NO_x 分级燃烧及燃用、掺混劣质煤和高硫煤是目前高温腐蚀频发的重要诱因；前、后墙及左、右墙布置贴壁风均无法使 O_2 膜全面覆盖侧墙水冷壁；组合式贴壁风可以以较小的贴壁风率达到较全面的覆盖效果，但其贴壁风喷口布置方式、不同墙贴壁风率分配方式较为单一，导致组合式贴壁风布置方式下仍然有小部分区域还原性气体体积分数较高；增设贴壁风在缓解高温腐蚀的同时易引起 NO_x 排放上升，工程实际中应综合考虑高温腐蚀及污染物排放问题，以确保燃煤电厂平稳、安全运行。且本文基于高温腐蚀机理、数值模拟及贴壁风改造数值模拟与工程应用，提出了燃煤电厂贴壁风改造技术路线，为燃煤电厂相关技术改造提供理论指导与技术支持。

关键词：燃煤电厂、高温腐蚀、机理研究、数值模拟、贴壁风、对比分析、工程应用

引言

随着国家能源政策的进一步收紧，国内已投产的超临界和超超临界锅炉普遍采用低 NO_x 燃烧器耦合空气分级燃烧的低 NO_x 发电技术^[1]，并采用选择性催化脱硝的方法以实现燃煤电厂的“超低排放”。而经过改造的燃煤电厂锅炉却频发如图1所示的炉内水冷壁高温腐蚀现象，如灵武电厂 2×1060 MW超临界锅炉、新乡 2×660 MW超临界锅炉均发生了严重的侧墙水冷壁高温腐蚀现象，其侧墙水冷壁平均被腐蚀减薄2.4mm，最严重处平均值甚至达到3.6mm，对燃煤电厂锅炉的安全、平稳运行造成了严重的危害^[2]。目前，国内燃煤锅炉受热面高温腐蚀的平均速度高达1.8-2.6mm/a，部分燃用高硫分的燃煤锅炉中，该数值可上升至惊人的5mm/a^[3]。因此，锅炉水冷壁高温腐蚀现象是目前燃煤电厂亟待解决的重点和难点问题。

针对燃煤电厂锅炉水冷壁高温腐蚀现象的研究中，普遍采用现场试验或基于商业计算流体力学软

件CFD (Computational Fluid Dynamics) 的数值模拟技术，而现场试验往往要投入大量的成本、耗费大量的时间才能得到变工况的多场数据，加之经常由于测孔受损而不能得到十分完全的数据，因此目前普遍采用商业计算流体力学软件CFD对燃煤电厂锅炉高温腐蚀现象开展数值模拟研究，其可以以较低的成本、较短的时间、较高的精确度得到变工况下的锅炉冷态动力场、热态温度场及各组分体积分数分布^[5]，从而对燃煤电厂锅炉的实际运行或改造提供指导意见。



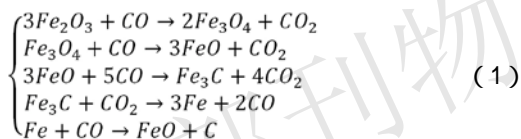
图1 燃煤电厂锅炉水冷壁高温腐蚀^[4]

因此,本文在一章叙述了燃煤电厂锅炉水冷壁发生高温腐蚀的机理;第二章综述了众学者对高温腐蚀现象的数值模拟研究并提出了展望;第三章对目前针对高温腐蚀现象应用较广的贴壁风技术进行了分析,期望能够对高温腐蚀现象及改造措施进行进一步分析研究。

一、高温腐蚀现象机理研究

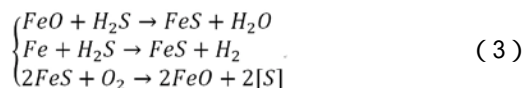
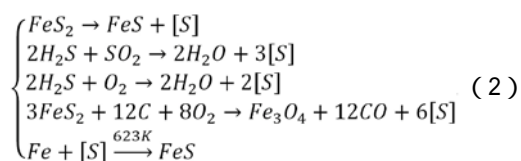
1.1 还原性气体及煤质引起的高温腐蚀

我国环境保护部及三部委与2011年及2014年发布了《火电厂大气污染物排放标准》(GB13223-2011)、《煤电节能减排升级与改造行动计划(2014-2020年)》,要求燃煤电厂实现NO_x排放浓度低于50mg/m³的超低排放,因此我国现役燃煤电厂普遍开展了“超低排放”改造。经过“超低排放”改造的锅炉普遍采用分级送风的低NO_x燃烧技术,空气分级燃烧在降低NO_x排放量的同时,也使得锅炉内煤粉长期处于欠氧燃烧的状态,炉内水冷壁近壁处氧气含量较低,且CO、H₂等还原性气体浓度较高,在一定的炉内条件下,还原性气体将氧化铁还原成氧化亚铁,从而破坏水冷壁表面氧化铁保护膜,其化学反应过程为^[9]:



还原性气体将Fe₂O₃保护膜还原为疏松多孔的FeO后,煤种含有一定量的硫元素将转变为炉内的原子态硫[S]、H₂S以及硫酸盐等形式,并渗透穿过疏松多孔的FeO层达到水冷壁金属表面,加速水冷壁的高温腐蚀现象。

根据我国的能源政策,我国的动力用煤主要以低品位的劣质煤为主^[6-8],燃煤电厂在工程实际中常常无法燃用锅炉的设计煤种,加之节约燃煤电厂运行成本,工程实际中常常掺烧价格较低的高硫分煤。燃煤电厂锅炉燃用煤种硫分过高或掺烧高硫分煤质量分数过高时,常常也会引起硫化物型的高温腐蚀。硫化物型高温腐蚀的主要成因为煤粉在缺氧燃烧时生成原子态的硫[S]及硫化物(H₂S),水冷壁金属管壁与原子态的硫[S]及H₂S反应生成铁的硫化物,从而引起水冷壁管道的高温腐蚀,原子态硫及H₂S的反应过程分别为^[9-10]:



由式(2)、(3)可知,当燃用含硫量较高的煤种时,H₂S气体在炉内一定条件下也会生成原子态的硫[S],从而进一步加速金属水冷壁的高温腐蚀。

综上,经过“超低排放”改造后的燃煤电厂锅炉,由于取较低的过量空气系数,导致炉内氧气含量较少,还原性气体体积分数普遍较高,使燃用不同煤质的燃煤电厂在改造后普遍出现了水冷壁高温腐蚀的现象,从而使高温腐蚀成为燃煤电厂亟待解决的难题。在工程实际中应尽量避免水冷壁近壁处存在大量的还原性气体,加之煤种作为燃煤电厂的发电之源,很大程度上影响着炉内的燃烧、换热情况及水冷壁近壁处的气体特性,因此燃煤电厂在燃用非设计煤种或掺烧劣质煤种之前,应对所燃用煤种开展工程试验、热重试验或数值模拟研究以确保燃煤电厂锅炉的平稳、安全运行。

1.2 运行方式及结构特点引起的高温腐蚀

我国现役机组中直流低NO_x燃烧器及旋流低NO_x燃烧器应用最普遍的为四角切圆燃烧煤粉锅炉和前、后墙对冲燃烧煤粉锅炉。如图2所示,四角切圆布置方式中,当切圆半径过大时,一方面导致煤粉气流贴墙,另一方面导致煤粉气流直接冲刷水冷壁。前者使得煤粉在水冷壁近壁处剧烈燃烧,消耗大量O₂并产生大量还原性气体,从而导致水冷壁金属表面发生如1.2节所述的高温腐蚀现象;而后者造成锅炉水冷壁表面出现因磨损的减薄,并将导致已经覆盖在水冷壁表面的腐蚀产物不断脱落,从而使高温腐蚀得以不断重复进行,进一步加快水冷壁管壁腐蚀速度,恶化水冷壁高温腐蚀现象。

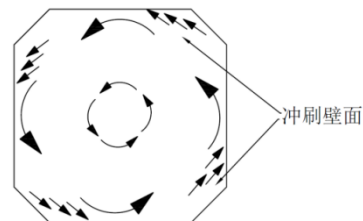


图2 切圆半径过大示意图

前、后墙对冲锅炉较四角切圆锅炉往往更易发生高温腐蚀,其原因为:

(1) 前、后墙对冲旋流燃烧煤粉锅炉普遍采用双调风旋流燃烧器,煤粉随直流一次风射入炉内,因此在一次风风速过大时,极有可能造成携带煤粉的一次风碰撞后向左、右两侧墙偏转,导致煤粉在水冷壁近壁处燃烧,消耗大量的O₂并产生大量还原性气体^[11];

(2) 如图3所示,若前后墙一次风风速不平衡还将导致风粉动量小的一侧被压迫,使得前后墙对冲后的气流向两侧墙出现偏斜,导致气流在水冷壁近壁处燃烧或造成气流直接冲刷水冷壁,进一步增加发生高温腐蚀的概率;

(3) 同层旋流燃烧器位于最外侧的两个旋流燃烧器外二次风扩口直径过大时,容易造成高温回流燃烧区靠近左、右两侧墙,从而导致侧墙水冷壁近壁处产生大量还原性气体。

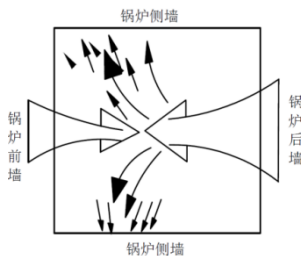


图3 对冲射流压迫示意图

因此,经过研究我们发现四角切圆布置或前、后墙对冲布置均会在一定程度上引起炉内高温腐蚀的发生,且燃煤电厂锅炉内部不当的运行方式或配风方式还将显著提升锅炉内水冷壁发生高温腐蚀的概率,在燃烧调整时应进行数值模拟研究或开展工程试验,以避免煤粉气流贴壁或刷墙。燃煤电厂锅炉发生高温腐蚀现象的机理较为复杂,其影响因素较多,防治难度较大。我们认为在工程实际运行中,应时刻注意入炉煤质的选择及分析、锅炉内燃烧时的动力场分布以及水冷壁近壁处气体特性等容易引起水冷壁高温腐蚀的因素,以保证燃煤电厂的平稳、安全运行。

二、高温腐蚀的数值模拟研究

众学者针对燃煤电厂锅炉高温腐蚀现象开展了数值模拟研究,细致研究了水冷壁受热面近壁处的 O_2 、 CO 、 H_2S 等气体分布特性及各层燃烧器的配风方式。

2.1 数值模拟模型选择

燃煤电厂锅炉炉膛内的煤粉燃烧过程由多个复杂的子过程耦合而成,在针对高温腐蚀现象的数值模拟研究中,众学者普遍所选用的子过程数值模拟模型如表1所示。

由表1可知,对燃煤电厂锅炉内高温腐蚀现象的数值模拟研究中,焦炭燃烧模型中普遍采用FLUENT自带的动力/扩散模型,其示意图如图4所示,该模型中未考虑随碳粒燃烧逐渐生成并变厚的多孔灰层对氧气扩散的抑制作用^[12],从而使得炉内数值模拟结果较工程实际测量值而言,其冷态动力场最大速度偏

高、热态温度场温度梯度偏高、炉膛出口烟气温度偏低、飞灰含碳量较低。而水冷壁近壁处的气体特性主要受近壁面处煤粉燃烧的影响,因此焦炭燃烧子模型的不准将显著影响对高温腐蚀现象数值模拟研究的精确性。

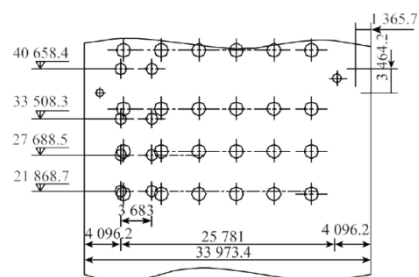
因此我们认为在今后开展的高温腐蚀数值模拟研究中,采用考虑灰层扩散阻力影响的焦炭燃烧模型以提高数值模拟的精确度是未来重要的研究方向。

表1 数值模拟子模型选择

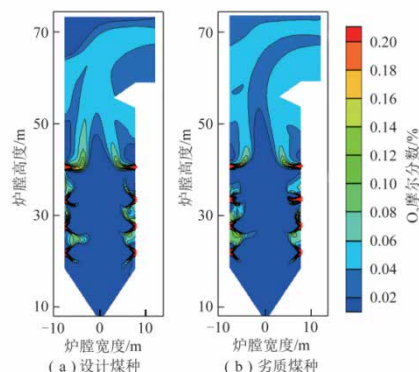
子过程	选择的模型
气相湍流流动	k- /Realizable k- 模型
气相湍流燃烧	混合分数 / 概率密度函数 (PDF) 模型
颗粒相的运动	离散相模型
焦炭燃烧	动力 / 扩散控制反应速率模型
辐射换热	P-1 模型
煤粉颗粒的轨迹	拉格朗日随机轨道模型

2.2 近壁面处 O_2 体积分数数值模拟研究

燃煤电厂锅炉内部氧气 (O_2) 体积分数表征着炉内火焰燃烧状况, O_2 体积分数与火焰燃烧剧烈程度成反比, 当水冷壁近壁处 O_2 浓度较低时, 大量煤粉无法充分燃烧而生成大量 CO , 使水冷壁近壁处处于浓郁的还原性气氛中, 水冷壁近壁处 O_2 体积分数决定着 CO 的体积分数, 因此水冷壁近壁处处于还原性气氛是指处于低 O_2 浓度下的高 CO 浓度的情况, 是炉内水冷壁高温腐蚀的重要影响因素。



(I) 燃烧区喷口布置



(II) 数值模拟结果

图5 燃烧区布置及燃烧器中心纵截面 O_2 分布^[13]

在对水冷壁近壁处 O_2 体积分数的数值模拟研究中,郝剑等^[13]对某1000MW超临界直流锅炉基于对比燃用设计煤种和劣质煤种对高温腐蚀现象进行了数值模拟研究,该锅炉采用前后墙对冲旋流燃烧布置,其燃烧区喷口布置如图5(I)所示,研究表明:如图5(II)所示,锅炉在燃用设计煤种时,前、后墙对冲布置的中、上层燃烧器回流区汇合于炉膛中心处,煤粉在该处剧烈燃烧并消耗大量 O_2 ,而下层燃烧器则形成较大旋涡使煤粉在冷灰斗区域剧烈燃烧,因此炉内从冷灰斗至上层燃烧器处氧气摩尔分数均低于0.02%。燃烧器上方通入大量燃尽风后,炉内 O_2 摩尔分数升高且在炉膛出口处趋于均匀,前、后侧墙燃尽风喷口和水冷壁之间氧气体积分数较高,可以形成稳定的空气膜,从而防止水冷壁出现高温腐蚀的现象。而燃用劣质煤种时,由于其热值较设计煤种低,导致劣质煤种在燃尽区中份额较多,导致燃尽区氧气摩尔分数下降并导致燃尽区温度过高。

李永生等^[14]同样采用数值模拟技术对某超临界前后墙旋流对冲锅炉炉内水冷壁近壁处 O_2 体积分数的研究,研究表明:前、后墙燃尽风喷口(OFA)以下水冷壁近壁区 O_2 体积分数的较高,可达0.1,而燃尽风喷口(OFA)以上区域 O_2 体积分数的相对较低,该结论与郝剑等研究结果相同。左、右墙 O_2 体积分数的分布规律则与前、后墙截然不同,左、右两侧墙燃尽风喷口(OFA)下部除靠近前后墙区域中, O_2 体积分数的低于0.005,而燃尽风喷口区域上部 O_2 体积分数的较高,其体积分数的大于0.02。可知,前后墙燃尽风喷口(OFA)以下区域 O_2 浓度含量较低,水冷壁发生高温腐蚀的概率较大,与工程实际相符。

2.3 近壁面处CO体积分数的数值模拟研究

一氧化碳(CO)是由于碳与氧气不完全燃烧生成的中间产物,具有较强的还原性,在燃煤电厂锅炉中,煤粉剧烈燃烧区域内,由于氧气含量快速下降而导致大量煤粉无法充分燃烧而生成大量CO,加之经过“超低排放”改造后的机组,炉内过量空气系数通常取0.8-1之间,因此煤粉在炉内缺氧燃烧,更易使炉内产生高体积分数的还原性气体,其反应机理如式(1)所示。

对水冷壁近壁处CO体积分数的数值模拟研究中,郝剑等^[13]对某1000MW超超临界直流锅炉基于对比燃用设计煤种和劣质煤种对高温腐蚀现象进行了数值模拟研究,研究发现:如图6所示,燃用设计煤种时,由于该锅炉采用空气分级的低 NO_x 燃烧技术,主燃区采用缺氧燃烧方式,大量煤粉射入炉内后在主燃区中缺氧燃烧,导致炉内主燃区CO摩尔分数较高、还原性较强,燃尽区由于燃尽风的补氧,使燃

尽区CO浓度迅速下降。而在燃用劣质煤种由于其热值较低、灰分较高,导致煤粉在射入炉膛后着火推迟,且不能充分燃烧,导致炉膛中心大面积处于较高的CO摩尔分数中,前、后墙水冷壁及冷灰斗近壁处CO含量也明显升高,加剧水冷壁出现高温腐蚀的概率。

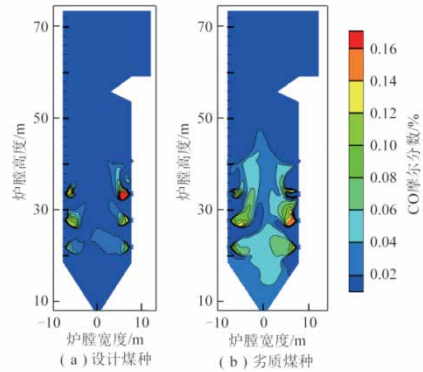
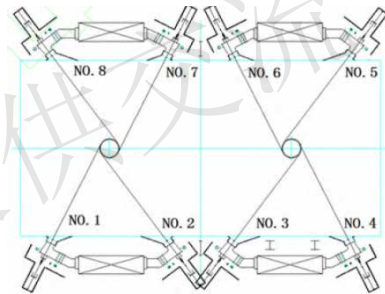
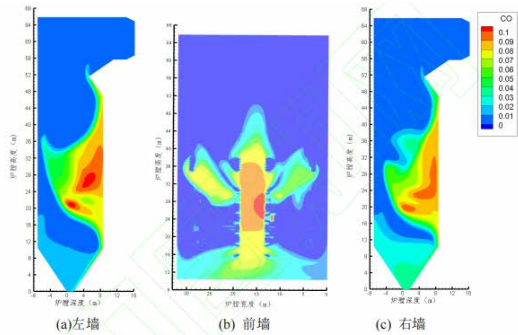


图6 燃烧器中心纵截面CO分布^[13]



(I) 燃烧器平面布置图



(II) 数值模拟结果

图7 燃烧器布置及水冷壁CO体积分数的分布^[15]

相类似的水冷壁近壁处及炉内整体CO体积分数的数值模拟研究中,周亚明等^[15]基于某1000MW超超临界双切圆燃煤锅炉开展了数值模拟研究,其燃烧器平面布置图如图7(I)所示,研究表明:如图7(II)所示,CO体积分数的由于冷角(1、4、6、7号喷口)和热角(2、3、5、8号喷口)的气流特性差异导致在炉内的分布极不均匀,但沿炉膛中心轴线基本呈对称分布。左、右侧墙及前墙燃烧器3、4号燃烧器之间区域CO体积分数的较高,局部CO体积分数的甚至超过0.1,极大地增大了左、右侧墙及热角发生高

温腐蚀的概率。整炉膛CO体积分数的数值模拟研究中,如图8所示,燃烧区缺氧现象较为明显,CO体积分数由于一次风和二次风交替布置导致其出现明显波动,炉内整体处于缺氧燃烧状态,有利于减少 NO_x 的生成,但同时也显著增加了燃烧区水冷壁发生高温腐蚀的概率。

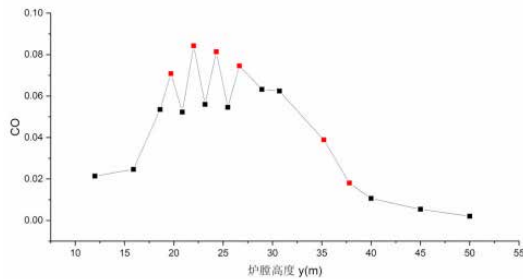


图8 炉膛沿高度方向平均CO体积分数曲线^[15]

因此,我们认为我国现役经过“超低排放”改造后的超临界及超超临界锅炉或新建锅炉普遍为实现低 NO_x 燃烧而导致炉内缺氧燃烧,导致炉内CO体积分数显著提升,当燃用或掺烧劣质煤种时,CO体积分数将进一步提升,使炉内从冷灰斗至还原区均处于浓郁的还原性气氛中,显著提升发生高温腐蚀的可能性。

2.4 近壁面处 H_2S 体积分数数值模拟研究

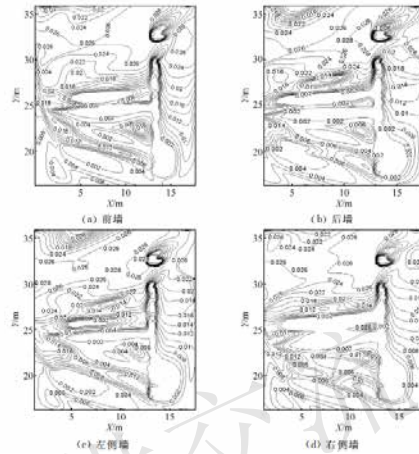
硫化氢(H_2S)气体在炉内的生成涉及到20个可逆反应及12种物质,简化后组成八步反应^[16], H_2S 的生成量主要与炉内还原性气氛及烟气中氧的含量有关^[17],因此, H_2S 的含量应与CO的体积分数成正比,且 H_2S 在一定条件下可以生成原子态的硫[S],从而加速高温腐蚀速度,其反应记录如式(2)-(3)所示。

对水冷壁近壁处 H_2S 体积分数的数值模拟研究中,秦明^[18]等基于数值模拟方法对某600MW超超临界四角切圆锅炉硫化物的分布进行了研究,研究表明: H_2S 主要富集在主燃烧器与分离燃尽风(SOFA)之间的水冷壁壁面处。 H_2S 的分布特性与入炉煤质中硫元素的含量有关,如图9所示,当入炉煤质由硫元素质量分数为0.49%的低硫煤更改为硫元素质量分数为3.27%的高硫煤时, H_2S 的质量分数没有发生大幅度的改变,但其覆盖的水冷壁区域面积却大幅提升。

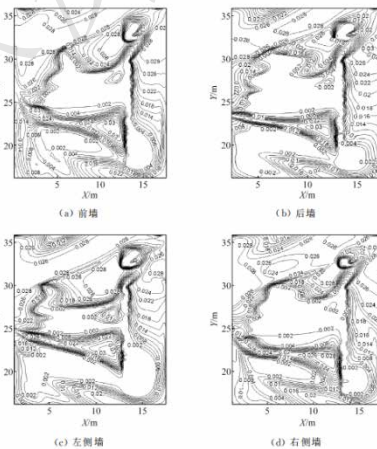
()中,燃烧器的中下部区域也出现了 H_2S 气体。因此入炉煤质的硫分主要影响炉内 H_2S 气体的分布面积。

H_2S 气体与锅炉负荷之间关系研究中,李永生等^[14]采用数值模拟与工程试验相结合的方法对某超临界前后墙旋流对冲锅炉开展了研究,研究表明: H_2S 及CO气体与锅炉负荷成正比关系,且在整炉膛的分布

趋势中, H_2S 的体积分数随炉膛高度方向逐渐升高,该结论与吕洪坤等^[19]基于某1000MW超超临界变压直流锅炉开展的高温腐蚀数值模拟研究结论一致,吕洪坤等认为 H_2S 气体沿炉膛高度方向递增现象是由于未燃尽焦炭中含硫矿物质的持续析出及还原性气氛过浓导致的。因此,高负荷下炉内水冷壁发生高温腐蚀概率较大的区域从燃烧器区域可以一直蔓延至燃尽风区段,极不利于锅炉的平稳、安全运行。



(I) 燃用0.49%低硫煤



(II) 燃用3.27%高硫煤

图9 H_2S 质量分数分布^[18]

综上所述,结合燃煤电厂锅炉水冷壁发生高温腐蚀的机理及数值模拟研究而言,我们认为高温腐蚀极易发生在近壁面处有较浓郁的诸如CO、 H_2S 气体与锅炉负荷之间关系研究中,李永生等^[14]采用数值模拟与工程试验相结合的方法对某超临界前后墙旋流对冲锅炉开展了研究,研究表明: H_2S 及CO气体与锅炉负荷成正比关系,且在整炉膛的分布趋势中, H_2S 的体积分数随炉膛高度方向逐渐升高,该结论与吕洪坤等^[19]基于某1000MW超超临界变压直流锅炉开展的高温腐蚀数值模拟研究结论一致,吕洪坤等认为 H_2S 气体沿炉膛高度方向递增现象是由于未燃尽焦炭中含硫矿物质的持续析出及还原性气氛过浓导致的。

因此,高负荷下炉内水冷壁发生高温腐蚀概率较大的区域从燃烧器区域可以一直蔓延至燃尽风区段,极不利于锅炉的平稳、安全运行。S等还原性气体及低 O_2 体积分数的环境中,而目前我国采用低 NO_x 空气分级燃烧技术的现役锅炉中,普遍采用缺氧燃烧,炉内极易营造出较浓郁的还原性气氛,加之受我国能源政策及发电成本的影响,燃煤电厂锅炉普遍燃用或掺混劣质煤、高硫煤,进一步提升了锅炉水冷壁发生高温腐蚀的可能性,因而国内现役超临界及超超临界锅炉水冷壁发生因高温腐蚀的爆管事故频发,对燃煤电厂的平稳、安全运行产生极大影响。因此,对燃煤电厂开展基于高温腐蚀的改造是当前的热点、难点和重点研究项目。

五、结论与展望

高温腐蚀是目前燃煤电厂工程实际中重点关注的研究难题,目前已有较多的研究者对发生高温腐蚀的燃煤锅炉开展了增设贴壁风的数值模拟与工程

应用研究,为燃煤电厂工程实际的改造及优化运行提供了一定的指导,但是还存在下述问题,需要进一步研究,主要如下:

(1) 高温腐蚀易发生在 O_2 含量低和 CO 、 H_2S 等还原性气体含量高的水冷壁处。受“超低排放”和燃用劣质煤的影响,我国现役燃煤锅炉频发因水冷壁高温腐蚀导致的爆管、停炉事故。因此,燃煤电厂开展高温腐蚀改造是当前、未来的热点、重点和难点研究项目。

(2) 增设贴壁风促进了炉内燃料型及热力型 NO_x 的生成,使得增设贴壁风后引起炉膛出口 NO_x 排放增加,不利于燃煤锅炉污染物排放控制。因此,炉内增设贴壁风应综合考虑高温腐蚀及污染物排放问题,使燃煤锅炉平稳、安全及环保运行。

(3) 综合燃煤电厂高温腐蚀机理、数值模拟、贴壁风改造数值模拟及工程应用,提出了燃煤电厂高温腐蚀贴壁风改造技术路线,为燃煤电厂相关改造提供理论指导及技术支撑。

参考文献:

- [1]徐启,邢嘉芯,张梦竹,等.低 NO_x 旋流燃烧器燃烧特性数值模拟[J].科学技术与工程,2020,20(20):8168-8174.
- [2]敖翔.超(超)临界锅炉螺旋式上升水冷壁的高温腐蚀研究[D].浙江大学,2017.
- [3]李德波,徐齐胜,李方勇,等.对冲旋流燃烧煤粉锅炉高温腐蚀现场试验与改造的数值模拟研究[J].广东电力,2015,28(11):6-12.
- [4]许尧.1000 MW超超临界锅炉低氮燃烧改造后水冷壁腐蚀及其防治的研究[D].东南大学,2017.
- [5]刘鹏宇,李德波,刘彦丰,等.燃煤电厂锅炉机组受热面积灰结渣研究现状与展望[J/OL].洁净煤技术:1-13[2021-09-27].<http://kns.cnki.net/kcms/detail/11.3676.TD.20210722.1819.004.html>.
- [6]李德波,刘鹏宇,刘彦丰,等.新型电力系统规划下燃煤电厂锅炉机组的发展[J/OL].广东电力:1-13[2021-09-27].<http://kns.cnki.net/kcms/detail/44.1420.TM.20210920.0232.002.html>.
- [7]李德波,沈跃良,邓剑华,等.OPCC型旋流燃烧器大面积烧损的关键原因及改造措施[J].动力工程学报,2013,33(06):430-436.
- [8]周文台,王克,何翔,等.四角切圆锅炉防高温腐蚀的燃烧优化试验研究[J].动力工程学报,2020,40(11):872-877.
- [9]高全,张军营,丘纪华,等.燃煤电站锅炉高温腐蚀特征的研究[J].热能动力工程,2007(03):292-296+346.
- [10]赵虹,魏勇.燃煤锅炉水冷壁烟侧高温腐蚀的机理及影响因素[J].动力工程,2002(02):1700-1704.
- [11]丘纪华,李敏,孙学信,等.对冲燃烧布置锅炉水冷壁高温腐蚀问题的研究[J].华中理工大学学报,1999(01):64-66+78.
- [12]刘鹏宇,李德波,刘彦丰,等.燃煤电厂煤粉燃烧焦炭燃烧模型分析与展望[J/OL].洁净煤技术:1-13[2021-09-27].<http://kns.cnki.net/kcms/detail/11.3676.TD.20210902.1606.004.html>.
- [13]郝剑,裴建军,由长福.劣质煤种对1000MW旋流对冲锅炉燃烧性能的影响[J].洁净煤技术,2019,25(05):93-100.
- [14]李永生,刘建民,陈国庆,等.对冲旋流燃烧锅炉侧墙水冷壁近壁区还原性气氛分布特性[J].动力工程学报,2017,37(07):513-519+539.
- [15]周亚明,王新宇,黄亚继,等.某1000MW超超临界双切圆燃煤锅炉炉膛燃烧数值模拟研究[J/OL].洁净煤技术:1-16[2021-09-27].<http://kns.cnki.net/kcms/detail/11.3676.TD.20210225.1615.002.html>.
- [16]陈是楠.600MW切圆锅炉燃烧器布置方式优化及其硫化氢生成特性研究[D].北京交通大学,2016.
- [17]孟繁兵,高松.四角切圆锅炉硫化氢生成特性的研究[J].黑龙江电力,2019,41(01):87-90.
- [18]秦明,姜文婷,吴少华.空气分级燃烧炉内壁面硫化物分布的数值模拟[J].动力工程学报,2016,36(02):91-98.

- [19]吕洪坤,董家麟,刘建忠,等.1000MW超超临界锅炉高温腐蚀分析及对策[J].北京工业大学学报,2017,43(03):481-488.
- [20]李琰,鲁金涛,杨珍,等.铝化物涂层改性Super304H钢在模拟锅炉煤灰/气环境中的腐蚀行为[J].机械工程材料,2017,41(05):89-94+99.
- [21]谢卫国.超临界对冲燃烧锅炉高温硫腐蚀分析及电弧喷涂防腐应用[J].华电技术,2013,35(07):16-17+39+76.
- [22]何涛.600MW墙式布置对冲燃烧锅炉贴壁风技术研究[D].哈尔滨工业大学,2019.
- [23]朱宣而,黄亚继,岳峻峰,等.旋流对冲锅炉侧墙贴壁风结构优化及布置数值模拟[J].洁净煤技术,2021,27(03):174-181.
- [24]董喜斌.贴壁风对一台600MW墙式布置锅炉炉内流场及燃烧的影响[D].哈尔滨工业大学,2018.
- [25]陈敏生,廖晓春.改造燃烧系统降低对冲锅炉侧墙还原性气氛[J].中国电力,2014,47(01):91-95.
- [26]方志星.对冲燃烧锅炉防高温腐蚀改造数值研究[J].浙江电力,2019,38(06):72-77.
- [27]陈勤根,陈国庆,朱青国,等.对冲旋流燃烧锅炉贴壁风布置方式对比研究[J].动力工程学报,2021,41(08):624-631.
- [28]杨振,王新宇,朱宣而,等.调整内外二次风与加装贴壁风方法对缓解炉内高温腐蚀的数值模拟研究[J].华电技术,2020,42(12):28-36.
- [29]陈天杰,姚露,刘建民,等.某660MW前后墙对冲燃煤锅炉贴壁风优化方案的数值模拟[J].中国电机工程学报,2015,35(20):5265-5271.
- [30]姚露,陈天杰,刘建民,等.组合式贴壁风对660MW锅炉燃烧过程的影响[J].东南大学学报(自然科学版),2015,45(01):85-90.
- [31]韩才元,徐明厚,周怀春,等.煤粉燃烧[M].北京:科学出版社,2001.
- [32]李春曦,许涛,李敏,等.对冲燃烧锅炉防高温硫腐蚀改造的数值研究[J].动力工程学报,2016,36(11):853-861.

要闻集锦

精度大幅度提升 东芝开发AI图像识别技术

家电以及半导体企业东芝公司日前宣布,开发了最新AI图像识别技术《Few-shot物体识别AI》,实现仅凭一张图片可以以世界最高精度检索到用户需求的图像。

看图识物早已经由来已久,不过精准度才是个关键,东芝研发的最新AI图像识别技术《Few-shot物体识别AI》宣称凭一张图片实现世界最高精度检索将极大的节约用户的时间以及提升准确性,提升工作效率。

根据官方的解释,《Few-shot物体识别AI》的技术考量并非传统的AI图像识别技术思路,目前的多数AI图像识别技术都是根据图像中的目标物体或者周围的参照物进行深层次再学习后进行检索,准确度是弱点。

《Few-shot物体识别AI》并没有这个AI再学习的步骤,而且精度由传统的21.2%大幅提升至46.0%,达到世界最高级别。

(陈继军)

隐私计算技术解读：可信执行环境（TEE）概要及应用

● 深圳市洞见智慧科技有限公司 北京 100020

摘要：

随着移动互联网和云计算技术的迅猛发展，越来越多的数据在云环境下进行存储、共享和计算，云环境下的数据安全与隐私保护也逐渐成为学术界以及工业界关注的热点问题。目前阶段，隐私保护技术主要基于密码算法及协议（如安全多方计算、同态加密等）完成场景落地，其优点主要在于具有较高的安全性和可靠性，然而，由于这些算法或协议的实现依赖于大量复杂计算（如乘法循环群上的乘法、指数运算，Pairing运算，格上的数学运算等），因此存在较大的性能瓶颈，难以在实际场景中大规模应用。作为基于密码学的隐私保护技术的一种替代方案，可信执行环境（Trusted execution environment, TEE）基于硬件安全的CPU实现了基于内存隔离的安全计算，可在保证计算效率的前提下完成隐私保护的计算。本文将阐释梳理TEE的概念定义及发展脉络，剖析TEE与基于密码学的隐私保护技术的对比及其在联邦学习中的应用，最后介绍TEE的现有框架和相关应用。

关键词：隐私计算、可信执行环境（TEE）

一、TEE定义与发展脉络

1.1 概念及辨析：TEE与REE

TEE是一种具有运算和储存功能，能提供安全性和完整性保护的独立处理环境。其基本思想是：在

硬件中为敏感数据单独分配一块隔离的内存，所有敏感数据的计算均在这块内存中进行，并且除了经过授权的接口外，硬件中的其他部分不能访问这块隔离的内存中的信息。以此来实现敏感数据的隐私计算。

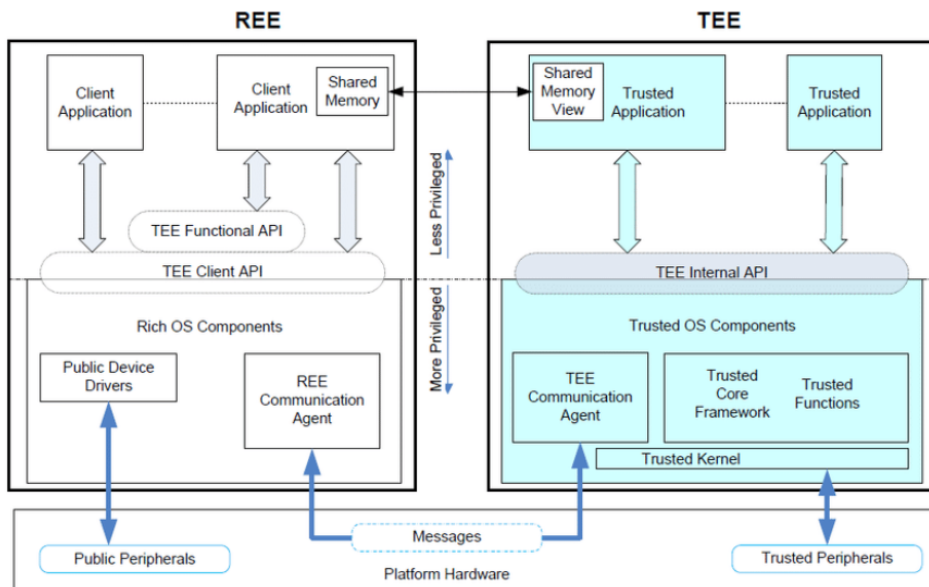


图1 TEE与REE关系

富执行环境(Rich Execution Environment, REE)指的是操作系统运行时的环境中,可以运行如Android、IOS等通用的OS (Operating System)。REE是一个容易受到攻击的开放环境,如敏感数据的窃取、移动支付盗用等等。而TEE是中央处理器上的一个安全区域,能够保证敏感数据在隔离和可信的环境内被处理,从而免受来自REE中的软件攻击。此外,与其他的安全执行环境相比,TEE可以端到端地保护TA(Trusted Application)的完整性和机密性,能够提供更强的处理能力和更大的内存空间。在图1这一典型的可信执行环境架构中,TEE内部为REE中的软件提供了接口,使得REE中的软件可以调用TEE对数据进行处理,但不会泄露敏感数据。

TEE强大的数据安全和隐私保护能力,使其成为隐私计算主要技术流派之一,比REE得到了更广泛的应用。

1.2 TEE的定义

论述完TEE的概念后,接下来进一步解析TEE的深层定义。目前对于TEE的定义有很多种形式,针对不同的安全性需求和平台,TEE的定义也不尽相同,但在所有TEE的定义中都会包含两个最关键的点:独立执行环境和安全存储。在GlobalPlatform, TEE System Architecture, 2011中,GlobalPlatform将TEE定义如下:TEE是一个与设备操作系统并行,但相互隔离的执行环境。TEE可以保护其中的数据免受一般的软件攻击,TEE可以使用多种技术实现,在不同的技术实现下TEE的安全性等级也会有所不同。

在IEEE International Conference on Trust 2015上, Mohamed Sabt等人使用分离核(separation kernel)对TEE进行了崭新的更一般化的定义。分离核最早用于模拟分布式系统,其需要满足以下安全性准则:

数据独立(data separation).储存在某个分区中的数据不能被其他的分区读取或篡改。

时间隔离(temporal separation).公共资源区域中的数据不会泄露任意分区中的数据信息。

信息流控制(Control of information flow).除非有特殊的允许,否则各个分区之间不能进行通信。

故障隔离(Fault isolation).一个分区中的安全性漏洞不能传播到其他分区。

基于分离核的安全性特质,TEE可被定义成“一个运行在分离核上的不可篡改的执行环境。”也就是说,TEE可以保证其内部代码的安全性,认证性和完整性;可以向第三方证明它的安全性;可以抵抗几乎所有的对主要系统的软件攻击和物理攻击;可以有效杜绝利用后门安全漏洞所展开的攻击。

1.3 TEE发展脉络及现状

TEE技术最早可以追溯到2006年。开放移动终端平台(Open Mobile Terminal Platform,以下简称OMTP)率先提出一个针对移动终端的双系统安全解决方案,即在同一种终端系统下同时部署两个操作系统,其中一个常规的操作系统,另一个是隔离的安全操作系统。其中,安全操作系统运行在隔离的硬件环境中,专门处理敏感信息以保障其安全性。

在OMTP方案的基础上,ARM公司提出了一种硬件虚拟化技术TrustZone及其相关的硬件实现方案,并于2008年第一次发布了Trustzone技术白皮书。目前ARM是移动端最具影响力的方案供应商,其TEE技术也在行业内处于主导地位:高通的骁龙835/845系列芯片,海思的麒麟950/960系列芯片,联发科的HelioX20、X25、X30,三星的Exynos8890、7420、5433等移动端主流处理器的芯片均基于ARM结构,并且它们采用的TEE技术也基于ARM结构。除此之外,还有一种比较主流的可信执行环境产品是Intel公司推出的SGX(Software Guard Extensions)。

2010年7月,Global Platform(以下简称GP)正式提出了TEE的概念,并从2011年开始起草制定相关的TEE规范标准,针对TEE系统设计了一系列规范,对应用接口,应用流程,安全存储,身份认证等功能进行了规范化。GP是跨行业的国际标准组织,致力于制定和发布基于硬件安全的技术标准。GP组织制定和发布的国际标准被称为GP标准。此外GP组织还设立了TEE检测认证体系,对TEE产品进行功能检测并颁发证书,国际上大多数基于TEE技术的Trust OS都遵循了GP的标准规范。

国内,银联自2012年起与产业链合作开始制定包括TEE硬件、TEE操作系统、TEE基础服务和应用等各个层面的规范标准,并且于2015年通过技术管理委员会的审核发布银联TEEI规范。2017年初,人民银行开始制定TEE各层面的需求类规范。2020年7月,中国信通院发布联合20家单位共同参与制定的标准《基于可信执行环境的数据计算平台技术要求与测试方法》。

二、TEE与其他隐私计算技术

2.1 TEE与安全多方计算、同态加密对比

安全多方计算(MPC)、同态加密是和TEE一样各有所长的隐私计算技术。

MPC与同态加密是密码学领域最主流的两种隐私计算技术,这两种技术一般在数学上的困难性假设基础均可证明安全,因此它们具有逻辑严谨、可解释性强、可证明安全等特点,但是安全性的提升

也导致了较高的计算或通信复杂度，让两种技术的可用性受到了一定限制。例如，同态加密的加解密过程中群上的大数运算带来的计算开销，同态加密的密文长度增长以及安全多方计算技术中多轮通信带来的通信开销等，虽然存在针对这些问题的大量优化方案，但是其性能瓶颈仍未从根本上解决。因此通用型MPC协议很难在大规模计算环境下广泛应用，更多是针对特定问题的MPC协议，如隐私信息检索（PIR）、隐私集合求交（PSI）等，而同态加密技术则大多仅应用于某些计算协议中关键步骤的计算。

与MPC和同态加密相比，TEE可被视为密码学与系统安全的结合，既包含底层的密码学基础，又结合硬件及系统安全上层实现，其安全性来源于隔离的硬件设备抵御攻击的能力，同时避免了额外的通信过程以及公钥密码学中大量的计算开销。其缺点也在于其安全性很大程度上依赖于硬件实现，因此很难给出安全边界的具体定义，也更容易遭受来自不同攻击面的侧信道攻击。此外，目前TEE的安全性标准主要由GlobalPlatform制定，通过GlobalPlatform安全性认证的产品也比较少，如何进一步制定明确的TEE安全性标准也是一个难题。

表1 TEE、MPC和同态加密的对比

可信解决方案	可证明安全	额外通信开销	额外计算开销
TEE	否	无	很小
同态加密	是	无	大
MPC	是	有	较小

2.2 TEE在联邦学习中的应用

TEE作为基于硬件的隐私计算技术，可通过与联邦学习相结合来保障计算效率和安全性。

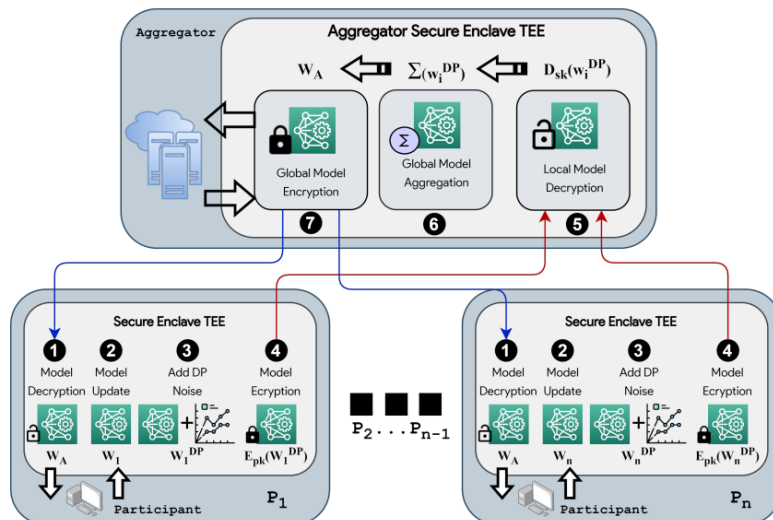
联邦学习是近年来兴起的一种崭新的机器学习技术，类似于隐私保护下的分布式学习，多个参与

方利用自己的数据联合训练一个模型，但每个参与方的数据都不会被暴露。其核心理念是：数据不动模型动，数据可用不可见。

在横向联邦学习中，需要每个参与方（party）独立地根据自己手中的数据训练模型，然后将梯度等模型参数上传到服务端（server）并由服务端进行聚合操作，接着生成新的模型分发给各个参与方。在这一过程中，虽然原始数据仍然只保存在每个参与方手中，但实际上攻击者可从梯度信息恢复出原始数据。为解决上述问题，在实际应用中大多通过加噪或同态加密的方式对梯度信息进行保护。

此外，也可由TEE来替代上述场景中的参数服务器，即在可信执行环境中进行联邦学习的参数聚合，假设TEE是可信的，则可以通过简单的数字信封的形式实现可信执行环境与计算节点之间的交互，由此省略了复杂的同态加密计算过程，使联邦学习训练的效率大幅提升。

本文以FLATEE框架为例，简要介绍TEE技术在联邦学习中的应用。如下图所示，在FLATEE中，TEE可以生成用于传输数据和代码的对称加密密钥和公钥。参与方在TEE中根据自己的数据训练模型，然后使用这些密钥对模型参数进行加密，并上传至服务端。接收到加密的模型参数后服务端在TEE中对加密的模型进行解密，接着通过聚合操作得到新的模型。如果新模型的损失函数在阈值之下，便可宣布算法完成，并把新模型通过TEE生成的密钥加密后发送给各个参与方，否则就再进行新一轮的迭代训练，直至到达迭代次数上限或模型训练成功为止。在这个模型中，TEE同时承担了加解密和隔离计算的功能，可以在不损失计算效率的前提下有效地保障联邦学习算法的安全性。



三、TEE框架和应用

随着TEE技术和标准的日趋成熟，基于TEE的开发框架和应用也不断涌现。

如下表所示，目前很多公司都开发了其相应的TEE系统。其中诺基亚和三星已经公开了各自的TEE框架。诺基亚和微软整合的TEE框架称为ObC，

TEE	Provisioning	Secure storage	Secure UI	Inter-world communication
ObC	Open provisioning, which means that the content management does not need the approval of any trusted-party.	Sealing storage using AES-EAX authenticated encryption. The root key is derived from a one-time programmable (e-Fuse) persistent on-chip key.	Defined	Proprietary interface
<t-base	Owner-centric provisioning model in which an application to be installed on TEE needs to be encrypted using a key derived from the platform secret key.	Sealing storage which is not based on file systems. Instead, the unit of storage is an object. Objects are organized into a tree-like structure. Containers are protected by the secret key of their parent.	Defined	GlobalPlatform TEE Client API
Andix OS	Not defined	Sealing storage	Not defined	GlobalPlatform TEE Client API
TLK	Not defined	Sealing storage	Not defined	Proprietary interface
TLR	Not defined	Sealing storage with mechanisms to protect against rollback attack.	Not defined	.NET Remoting
SafeG	Not defined	Unknown	Defined	Secure RPC

TABLE II
A COMPARISON STUDY OF THE SIX REPRESENTATIVE TEE SOLUTIONS

TEE可以在一个复杂且相互联系的系统提供良好的安全性，目前多数TEE应用场景均指向智能手机端。在该场景下，TEE能够提供的安全性服务包括：隐私保护的票务服务、在线交易确认、移动支付、媒体内容保护、云存储服务认证等等。此外，TEE也可在仅基于软件的情况下实现TPM（Trusted Platform Module），目前的一个研究趋势是使用TEE去保障各种嵌入式系统平台的安全，如传感器和物联网等。

基于硬件的TEE技术具有很高的实现效率，但这也导致它较为依赖底层的硬件架构，与一般的安全多方计算相比，TEE具有如下优势和劣势：

优势：

- 可信硬件部分可支持多层次、高复杂度的算法逻辑实现

- 运算效率高，相较于明文计算仅有3-4倍损耗，而MPC等技术具有上百倍的计算损耗

- 能够抵御恶意敌手

劣势：

- 方案实现依赖底层硬件架构。

- 更新升级需要同步进行软硬件升级。

- 不同厂商的TEE技术各异，需要形成统一的行业标准。

- 根据TEE技术的优势和劣势，可以总结出TEE技术适用于以下应用场景：

- 计算逻辑相对复杂的计算场景。

- 数据量大，数据传输和加解密的成本较高。

目前已经部署在诺基亚流光设备上。三星的TEE框架名为TZ-RKP,已经部署在三星的Galaxy系列设备上。此外，还有一些未公开的TEE框架，如Trustonic的<t-base框架，Solacia的SecuriTEE，Qualcomm的QSEE，Sierraware的SierraTEE等等。

- 性能要求较高，要求在较短时间内完成运算并返回结果。

- 需要可信第三方参与的隐私计算场景，且数据（部分或间接）可被可信第三方获取或反推。

- 数据的传输与使用环境与互联网直接接触，需要防范来自外部的攻击。

- 数据协作的各方不完全互信，存在参与各方恶意攻击的可能。

- 其中已落地的最常见应用场景包括：隐私身份信息的认证比对、大规模数据的跨机构联合建模分析、数据资产所有权保护、链上数据机密计算、智能合约的隐私保护等。

四、总结

作为一种新兴的系统安全与隐私保护技术，TEE技术实现了安全性与可用性之间较好的平衡，是当前传统公钥密码学性能受限情况下的一个较好的替代方案，在适当的应用场景中可以作为一些计算协议中的信任根来减少为了去信任引入的性能代价。

然而目前TEE技术还无法作为通用的安全技术进行应用，主要原因在于其安全性一定程度上依赖于对硬件厂商的信任，同时攻击面较多、安全边界定义不清晰，这都成为了限制其大规模应用的重要因素。对于用户而言，在TEE技术的应用过程中，需要清晰地了解其应用场景和局限性，以免造成不可预知的安全问题和财产损失。

参考文献：

- [1] Sabt M, Achemlal M, Bouabdallah A. Trusted Execution Environment: What It is, and What It is Not[C]// 2015 IEEE Trustcom/BigDataSE/ISPA. IEEE, 2015.
- [2] 孙楠. 可信执行环境基于密码算法的安全功能实现[D]. 山东大学.
- [3] GlobalPlatform, "TEE system architecture," 2011.[Online]. Available: <http://www.globalplatform.org/specificationsdevice.asp>
- [4] ARMLtd, "Arm security technology - building a secure system using trustzone technology," 2009.
- [5] Mondal A, More Y, Rooparaghunath R H, et al. Poster: FLATEE: Federated Learning Across Trusted Execution Environments[C]//2021 IEEE European Symposium on Security and Privacy (EuroS&P). IEEE Computer Society, 2021: 707 - 709.

要闻集锦

欧盟将推出百亿亿级超级计算机Jupiter

欧洲高性能计算联合项目 (EuroHPC JU) 宣布, 德国将带来第一个公开的欧洲百亿亿次超级计算机Jupiter (木星), 该系统将于明年在Forschungszentrum Jülich研究中心的一幢特别设计的大楼里启动, 该大楼由Jülich超级计算中心 (JSC) 运营, 旁边还有现有的Juwels和Jureca超级计算机。据介绍, Jupiter的5亿欧元 (约 5.2 亿美元, 或 4.3 亿英镑) 资金的一半来自EuroHPC JU项目, 另一半将由德国联邦教育和研究部 (BMBF) 和北莱茵河-威斯特伐利亚州 (MKW NRW) 文化和科学部提供, 也就是 Forschungszentrum Jülich的所在地。

Jupiter 将被用来帮助科学家解决重要的科学问题, 如气候变化, 如何对抗流行病, 以及可持续的能源生产等领域, 并旨在实现人工智能和大数据量分析的应用。Forschungszentrum Jülich董事会的Astrid Lambrecht教授博士说, 达到百亿亿次的水平是高性能计算领域的下一个重大进展。她说: “我们的目标是提供欧洲最强

大的基础设施, 结合神经形态计算、超级计算和量子计算, 确保来自科学和工业的各种用户群体可以一起学习和成长, 同时也能彼此受益。”

JUPITER将基于一个动态的、模块化的超级计算架构, 这种架构已经被用于“Juwels”超级计算机。这也使得后者在 2020 年迎来了升级, 以CPU为基础的集群模块与配备了GPU的加速模块相结合 (基于Atos BullSequana X硬件)。目前已知的基本配置将包括一个通用集群模块和类似的GPU加速模块, 以及一个大容量的并行存储模块、高带宽闪存以及大容量备份和存储设置。此外, Jupiter的可选单元还包括另一个GPU加速模块和一个交互式计算和可视化模块, 而未来可能还包括一个量子处理单元和一个神经形态处理模块。与LUMI的相似之处在于, 这一系列超算可能会再次使用AMD的芯片, 毕竟能效方面这是有目共睹。目前世界上最快的十台超级计算机中有五台使用AMD的硬件, 其余也是 Arm 和英伟达, 这令人印象深刻。

(卢永捷)

基于全局自适应宽度注意力改进的Transformer

● 曾庆威 张建 张鸿昌 谭雨阳 沈文枫

上海大学 上海 200000

摘要：

Transformer在自然语言处理中运用广泛，但存在文本长度过长带来的输入信息被切割、显存占用太大的问题，已有的解决方法是让模型动态决定每层注意力宽度可以在控制计算量和显存开销的前提下关联最优序列长度，但存在每层最优的注意力宽度并不能达到模型最优注意力宽度的缺点。为此，提出一种全局自适应宽度注意力模型（GAA）。让每层的注意力范围和全局关联，实现模型全局注意力范围最优，还将模型的前馈层修改为带门控单元的前馈层（FFNGLU）。通过在数据集enwiki8和text-8上验证，表明该方法仅使用25%的训练计算成本，即可达到比基线更好的性能。

关键词：transformer、全局自适应宽度注意力、FFNGLU

引言

自从“Attention Is All You Need”^[1]提出以来，Transformer已成为自然语言处理的主要模型，运用在许多任务上，例如语言建模^[2]或句子表示^[3]。但其结构需要对输入序列设置一个固定的长度^[4]（默认长度是512）。可固定长度下的不同字符所需关联的上下文长度是不同的，有的字符关联的上下文长度远远超过片段长度。简单的将输入文本切分为固定长度不能让模型看到正确的上下文，难以构建更好的表征。同时Transformer的注意力机制的计算和显存开销随着输入序列长度增加呈多次方增加，导致其难以处理长文本序列。在面对字符级的任务存在句子长度超过固定长度，无法将句子完整输入模型的问题，只能根据模型固定的输入序列长度将长文本划分为多个片段，导致分割出来的片段缺失句子的自然边界，在语义上是不完整的。每个片段分开训练带来的片段之间没有联系，使得每个字符之间最长的依赖关系取决于片段的长度。

在控制计算量和显存开销的前提下，为了解决固定输入序列长度和长句子切分带来的问题，让模型可以关联最佳的上下文，Transformer XL设计的缓存机制缓存上一个片段的隐向量，让每个片段可以通过缓存机制关联前一个片段，建立更长的上下文依赖^[5]。自适应注意力范围（adaptive-span）Transformer通过设计掩盖函数让每层的注意力决定需要关注多长的上下文，让模型下层关注较少的上下

文，模型上层能够关注更长的上下文，在减少计算量和显存开销下学习到最优的注意力关联^[6]。

但Transformer的结构是由多个注意力层排列组成^[1]，不同层之间的注意力范围是相互关联的，每层的注意力范围都是随层数的累加。修改某层的注意力范围会影响其他层的注意力范围，例如下层注意力范围的减少会让上层的注意力范围变相的减少。只是让每层获得最佳的注意力范围并不能让所有层都达到最佳的注意力范围。

为了解决上述问题，本文提出一种全局自适应宽度注意力（Global adaptive width attention，GAA）的Transformer模型，让模型的注意力层不仅可以调节当前层注意力头的注意力范围，还可以调节模型其他层注意力头的注意力范围。使得层与层之间注意力头的注意力范围保持相互联系；从而保证让每层注意力头学习到最佳的注意力范围的同时，让模型保持最佳的注意力范围。

一、相关工作

在考虑计算效率和显存开销的前提下，通过缓存机制保存前一阶段模型处理好的序列隐向量，关联到当前阶段的序列，在连续的层中重复此机制可以使字符关联更长的距离^[7]。

1.1 Transformer XL

Transformer模型的输入长度必须是固定的，对

于大于模型固定长度的序列，需要将输入序列切分一个个固定长度的片段，导致本来应该关联的片段无法关联。为了建立片段之间的依赖性，Transformer XL设计片段递归机制(segment-level recurrence)和相对位置编码机制(relative positional encoding)，通过缓存机制保存上一个段的隐藏序列，在对当片段进行处理的时候，缓存并利用上一个片段中所有层的隐向量序列，而且上一个片段的所有隐向量序列只参与前向计算，不再进行反向传播。使模型具有捕获长期依赖的能力，解决了传统Transformer固定序列带来的上下文碎片问题，大大提升了其对长序列的处理效果。

1.2 adaptive-span

在保持对显存占用量和计算时间的控制，为了让模型可以关联更长的序列，通过缓存机制保存的模型处理过的序列，再参与注意力计算，可以有效的提高计算效率^[8]。但为了模型可以学习到最优的注意力范围，设定的最大缓存长度必须满足最长的注意力范围，但缓存长度的增大同样存在计算和显存开销增大的问题。adaptive-span transformer在对每层注意力头学到的注意力范围进行分析，发现每层注意力头的注意力范围是不同的，提出了adaptive-span让每层注意力头通过掩盖函数来决定其注意力范围，以此学习到最佳的注意力范围。和传统的transformer的固定注意力范围相比，训练期间根据掩盖函数^[9]来决定每层需要关联的序列长度，而不是将保存的序列全部参加计算，可以有效的减少计算开销。

1.3 门控单元

门控单元可以控制信息在网络中流动的路径，使信息可以在模型中畅通无阻的流动。如果没有这些门控单元，信息很可能在通过多个变换后消失。例如LSTM通过由输入门，遗忘门组成的门控单元来实现长期记忆^[10]。但Transformer不需要遗忘门来解决梯度消失，Dauphin^[11]在门控卷积网络中提出只包含输入门的门控单元GLU，通过GLU网络可以决定信息是否能够通过层次结构向前传播，Nal^[12]证明了这种机制对于语言建模是有用的，它可以允许模型选择与预测下一个单词相关的单词或特征。

二、方法

2.1 注意力范围

每个Transformer层由一个多头自注意力层(multi-head self-attention layer)^[13]和前馈层(FFN)组成，transformer模型是由多个Transformer层排列组

成，每个transformer层的注意力范围是不同的，下层的注意力较小，上层的注意力范围较大，两者之间的注意力范围差距巨大。同时Transformer的注意力机制会做多头注意力(multi-head)处理，每个注意力头的注意力范围同样是不同，有的注意力头只关注附近，有的注意力头的注意力涉及全部上下文。

2.2 注意力范围的关联

在当前层注意力范围不变的情况下，下层注意力头的注意力范围的减少会导致上层注意力头的注意力范围变小，调整模型某层注意力头的注意力范围都会影响其他层的范围，如果每次注意力范围只由当前层决定，并不能让模型的每层学到最好的注意力范围。所以模型在学习每层的最优注意力范围，不单单只是调节本层的注意力范围才能达到更好的注意力范围，还可以调节其下层的注意力范围来达到。在一个12层的Transformer分别加入GAA和adaptive-span，模型学习到每层的注意力范围如图1所示，图的横坐标表示模型的层数，纵坐标表示模型每层学习到的注意力宽度，在对比模型添加GAA和adaptive-span学习到的注意力范围，添加GAA的模型所需的注意力范围比adaptive-span所需的注意力范围小。添加GAA的模型在前三层的注意力范围和adaptive-span的注意力范围近似，第3层和第9层的注意力范围略微增大，其它层的注意力范围都远小于adaptive-span的注意力范围，最大减少了4288。因为注意力机制的计算和显存开销随着输入序列长度增加成次方增加，所以增大下层注意力减少上层注意力范围可以有效的减少显存开销和训练时间。

相比adaptive-span，GAA在学习模型每层注意力范围，通过调节下层的注意力范围来满足上层的注意力范围需求，缩小了模型的层之间跨度，对整个模型来说在达到最佳注意力范围的同时减少了注意力范围。

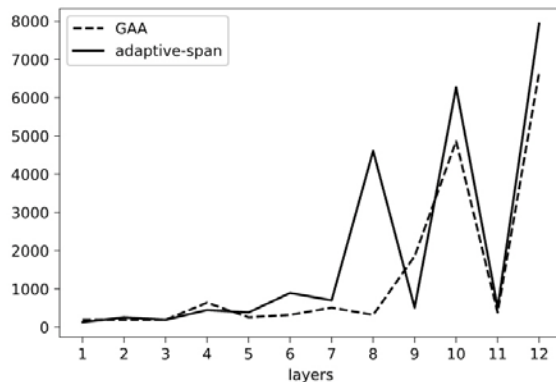


图1 模型每层注意力范围结构图

2.3 掩盖函数

adaptive-span Transformer通过添加一个掩盖函数来控制注意力的范围，让模型的每层的注意力头可以动态的控制其注意力的范围。但每层的掩盖函数是孤立，而每层的注意力范围却是关联的，模型无法整体调节掩盖函数导致每层的注意力范围只受当前层的影响，这样并不能让模型的每层学到最优注意力范围。为了让每层注意力头的注意力范围大小不单单由其当前的层来决定，通过添加参数让每层的注意力范围同时受其他层的影响。这里将adaptive-span的掩盖函数修改为

$$lm_{z_l}(x) = \min[\max[\frac{1}{R}[R + S[z(1-l) + l] - x]]] \quad (1)$$

式中：z是每层head的参数，l是所有层共享参数，R是超参数，设定为32，S是最大的注意力范围，设定为8192，注意力层处理的计算式变为

$$self-attention(x, w_q, w_k, w_v) = \text{soft max}(\frac{lm_{z_l}(x)(xw_q xw_k)}{\sqrt{d_k}})xw_v \quad (2)$$

式中：w_q、w_k和w_v是三个权值不同、尺寸相同的矩阵，输入x分别和w_q、w_k、w_v相乘得向量Q(xw_q)，向量K(xw_k)和向量V(xw_v)，向量Q、K和lm_{z_l}(x)相乘来决定注意力的范围，为了梯度的稳定除以d^[14]，再过softmax激活函数，最后结果再和向量V相乘。

2.4 前馈层

Transformer的前馈层由两个投射层(Linear)组成，前一个投射层需要过Relu激活函数，其结构如图2(a)，前馈层FFN的计算公式如下。

$$FFN = \text{Relu}(xw_1)w_2 \quad (3)$$

式中：w₁表示第一个线性变换的参数，w₂表示第二个线性变换的参数。

Transformer层是注意力层和前馈层组成，在增加模型注意力层的同时也在增加前馈层，但在Sandwich中改变注意力层和前馈层排列顺序发现模型的底部包含更多的注意力层，顶部包含更多的前馈层相比固定注意力层和前馈层组成可以提高模型的性能^[15]。所以不改变固定注意力层和前馈层组成，在FFN层加入门控线性单元(GLU)来让前馈层有选择的进行线性投射，同样可以达到改变注意力层和前馈层排列顺序的效果。

其结构如图2(b)所示，将第一个投射层替换为门控单元，让输入经过两个线性变换，其中一个激活函数设为Gelu，再将两个线性变换后的分量相乘，其他不变，其计算式为

$$FFN_{GLU}(x, w_1, w_2, w_3) = (\text{Gelu}(xw_1)w_2)w_3 \quad (4)$$

式中：w₁和w₂分别表示GLU第一个线性变换和第二个线性变换的参数。

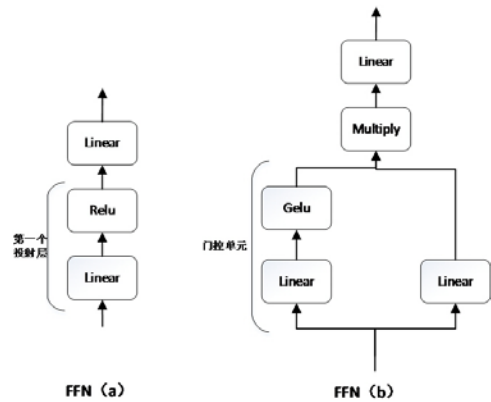


图2 FFN的结构图

三、实验与结果分析

在enwik8和text-8两个字符级数据集(character level language modeling)上验证本文模型，结果表明GAA在满足最优注意力范围的同时减少计算开销，提高了模型训练的速度。

3.1 模型结构

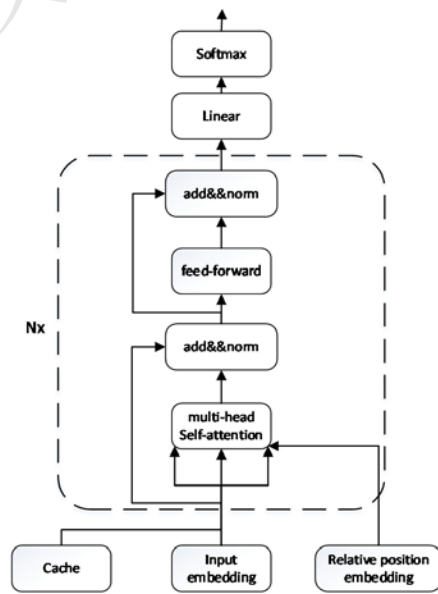


图3 模型的结构图

GAA Transformer模型基于adaptive-span Transformer，模型的结构如图3所示^[16]，在超参设定上和adaptive-span Transformer保持一致，将GAA transformer的层数设为12，hidden size设为512，每层的注意力头设为8，前馈层的hidden size设为2048，模型的注意力层和前馈层的dropout设为0.3，模型的最大上下文长度设定为8k，自注意力层的位置嵌入使用Shaw^[17]提出的相对位置信息嵌入(relative position

embeddings)。

但GAA transformer在前馈层中加入门控单元，将原先的Relu激活函数换成Gelu，虽然加入门控单元导致参数量多了50%，但在达到相同的性能，模型训练速度相比原先的训练速度提高了。在模型的掩盖函数参数设定上，对每层的每个注意力头都设定了参数 z ，还设定了其共享的参数 l (z 和 l 都初始化为0)，以此达到全局自适应宽度注意力，让模型学习模型最优注意力跨度。

3.2 实验结果分析

在保证模型的层数、训练超参数等相同的前提，将设计的GAA Transformer (GAA-T) 和Transformer、Transformer XL (T-XL)，adaptive-span Transformer (adaptive-span) 对比。

Enwik8所有的模型的对比结果如表1所示，可以发现GAA transformer优于其他基准，在测试集 (test) 取得最佳结果，达到最低的PPL 0.99 (perplexity，

PPL是用在自然语言处理领域 (NLP) 中，衡量语言模型好坏的指标)。由于前两个模型和GAA Transformer的性能差距较大，主要和adaptive-span Transformer比较。相比adaptive-span Transformer需要训练600k，GAA Transformer在test上在达到更好的性能训练的训练步数降到200k，减少了三分之一的训练步数。同时可以发现GAA的表现和24层，277M的T-XL相同，比24层，207M的adaptive-span仅差0.01，但所需的注意力范围却减少了167，减少了模型训练所需的显存。

如表2所示，GAA Transformer在text-8数据集的测试集和adaptive-span Transformer相比下降了0.01，平均所需的注意力范围减少了9，所需的训练训练步数从900k降到200k，减少了78%的训练步数。

总而言之，从模型的平均注意力跨度和训练的步数的减少，表明基于GAA相比原先的固定注意力范围和adaptive-span更加有效，下一节将结合消融实验验证模型每个修改的有效性。

表1 不同模型在Enwiki8的表现

Model	Layers	Avg Span	Params	Dev	Test
Transformer	12	512	44M	-	1.18
T-XL	12	512	41M	-	1.06
T-XL	24	-	277M	-	0.99
Adaptive-span	12	-	39M	1.04	1.02
Adaptive-span	24	-	209M	1.00	0.98
GAA-T	12	345	51M	1.02	0.99

表2 不同模型在text8的表现

Model	Layers	Avg Span	Params	Dev	Test
Transformer	12	512	44M	-	1.18
Adaptive-span	12	314	38M	1.05	1.11
GAA-T	12	303	51M	1.04	1.10

四、消融实验

对模型结构加入GAA和FFNGLU，为了更好的确定修改的两部分起的作用，本文做了消融实验进行分析，通过分别移除GAA设定和FFNGLU来确定其在模型中起的作用。如表3所示，若保留FFNGLU移除GAA，模型的训练步数没有变化，但PPL上升了，模型的性能变差了，说明添加GAA对模型的性能有提升。保留GAA移除FFNGLU模型达到相同的性能训练

表3 在Enwik8上的消融实验数据表

Model	GAA	FFN _{GLU}	Steps	PPL
GAA-T	有	有	150k	0.99
	有	无	600k	0.99
	无	有	150k	1.02
	无	无	600k	1.02

步数从150k增大到600k，模型的训练时间大幅度增加，这说明FFNGLU的门控单元可以有效的提高模型的训练速度。

五、结语

本文针对Transformer自适应宽度注意力存在的每层最优的注意力宽度并不能达到模型最优注意力宽度，引入全层的自适应宽度注意力，让模型调整每层的注意力宽度的时候同时调整全局注意力，让模型学习到最优的注意力范围。在FFN使用GLU让模型的训练步数缩小了四分之三，更快的收敛到最佳状态。与传统的Transformer相比，在增大模型的最大可见上下文长度的同时极大的节约了计算和显存开销。

致谢

这项工作得到了上海智能计算系统工程研究中心 (No.19DZ2252600) , 国家重点研究发展计划 (No.2017YFB0701600) , 上海市科学技术委员会 (STCSM) (No.19511121002) 的支持。上海市经济和信息化部组织的上海市人工智能创新与发展基金2019 - RGZN - 01080。

参考文献 :

- [1] Vaswani A , Shazeer N , Parmar N , et al. Attention Is All You Need[J]. arXiv, 2017.
- [2] Rami Al - Rfou, Dokook Choe, Noah Constant, Mandy Guo, and Llion Jones. Character - level language modeling with deeper self - attention. In Proceedings of the 33rd AAAI Conference on Artificial Intelligence, 2019.
- [3] Jacob Devlin, Ming - Wei Chang, Kenton Lee, and Kristina Toutanova. 2019. BERT: Pre - training of deep bidirectional transformers for language understanding. In NAACL.
- [4] Zihang Dai, Zhilin Yang, Yiming Yang, William W Cohen, Jaime Carbonell, Quoc V Le, and Ruslan Salakhutdinov. Transformer - xl: Attentive language models beyond a fixed - length context. arXiv preprint arXiv:1901.02860, 2019.
- [5] Zihang Dai, Zhilin Yang, Yiming Yang, Jaime Carbonell, Quoc Le, and Ruslan Salakhutdinov. 2019. Transformer - XL: Attentive language models beyond a fixed - length context. In ACL.
- [6] Sainbayar Sukhbaatar, Edouard Grave, Piotr Bojanowski, and Armand Joulin. 2019. Adaptive attention span in transformers. In ACL.
- [7] Sainbayar Sukhbaatar, Arthur Szlam, Jason Weston, and Rob Fergus. 2015. End - to - end memory networks. In Advances in Neural Information Processing Systems 28.
- [8] Edouard Grave, Armand Joulin, and Nicolas Usunier. Improving neural language models with a continuous cache. In ICLR, 2017.
- [9] Yacine Jernite, Edouard Grave, Armand Joulin, and Tomas Mikolov. 2017. Variable computation in recurrent neural networks. In 5th International Conference on Learning Representations, ICLR.
- [10] Hochreiter, Sepp and Schmidhuber, Jürgen. Long short - term memory. Neural computation, 9(8):1735 - 1780, 1997.
- [11] Yann N. Dauphin, Angela Fan, Michael Auli, and David Grangier. Language modeling with gated convolutional networks. CoRR, abs/1612.08083, 2016.
- [12] Kalchbrenner, Nal, Espeholt, Lasse, Simonyan, Karen, van den Oord, Aaron, Graves, Alex, and Kavukcuoglu, Koray. Neural Machine Translation in Linear Time. arXiv, 2016.
- [13] Rami Al - Rfou, Dokook Choe, Noah Constant, Mandy Guo, and Llion Jones. 2019. Character - level language modeling with deeper self - attention. In Proceedings of the 33rd AAAI Conference on Artificial Intelligence.
- [14] Mingxing Tan and Quoc Le. 2019. EfficientNet: Rethinking model scaling for convolutional neural networks. In ICML.
- [15] Press O , Smith N A , Levy O . Improving Transformer Models by Reordering their Sublayers[C]// Proceedings of the 58th Annual Meeting of the Association for Computational Linguistics. 2020.
- [16] Ashish Vaswani, Noam Shazeer, Niki Parmar, Jakob Uszkoreit, Llion Jones, Aidan N Gomez, Lukasz Kaiser, and Illia Polosukhin. Attention is all you need. In Advances in neural information processing systems, pages 5998 - 6008, 2017.
- [17] Peter Shaw, Jakob Uszkoreit, and Ashish Vaswani. 2018. Self - attention with relative position representations. In Proceedings of the 2018 Conference of the North American Chapter of the Association for Computational Linguistics: Human Language Technologies, NAACL - HLT.

高性能计算

发展与应用 (内部刊物)

DEVELOPMENT & APPLICATION
OF HIGH PERFORMANCE COMPUTING

编辑委员会

主任: 李根国
委员: 朱春林 魏玉琪 王涛 姜恺
徐德发 林薇 徐莹 郭培卿
寇大治 姚青 丁峻宏 王广益
张云泉 林新华 沈文枫

主编: 李根国

副主编: 王涛

常务编辑: 谢鹏

编辑: 张丹丹 戴松筠

主办: 上海超级计算中心

协办: 江南计算技术研究所

上海科学技术情报研究所

编辑部: 上海张江高科技园区郭守敬路585号

邮编: 201203

电话: 021-61872222

传真: 021-61872288

投稿: journal@ssc.net.cn

电子版: <https://www.ssc.net.cn>