

České vysoké učení technické v Praze
Fakulta Elektrotechnická



BAKALÁŘSKÁ PRÁCE

České vysoké učení technické v Praze
Fakulta elektrotechnická

Bakalářská práce



Pavel Hanuš

Návrh modulu SQM4

Katedra mikroelektroniky

Vedoucí bakalářské práce: Ing. Vít Záhlava, CSc.

Studijní program: Komunikace, multimédia a elektronika

Studijní obor: Aplikovaná elektronika

Praha 2017

I. OSOBNÍ A STUDIJNÍ ÚDAJE

Příjmení: **Hanuš** Jméno: **Pavel** Osobní číslo: **440925**
Fakulta/ústav: **Fakulta elektrotechnická**
Zadávající katedra/ústav: **Katedra mikroelektroniky**
Studijní program: **Komunikace, multimédia a elektronika**
Studijní obor: **Aplikovaná elektronika**

II. ÚDAJE K BAKALÁŘSKÉ PRÁCI

Název bakalářské práce:

Návrh modulu SQM4

Název bakalářské práce anglicky:

Design of the SQM4 module

Pokyny pro vypracování:

1. Prostudujte problematiku výpočetních modulů s 32 bitovým jádrem ARM.
2. Navrhněte obvodové elektrické schéma zapojení dvoujádrového modulu, který bude dále obsahovat paměť DDR3, QSPI nebo NAND paměť, 2x ethernet 100 Mbit, WIFI, USB, SPI, I2C, CAN.
3. Navrhněte desku plošného spoje s vyšším stupněm integrace (deska 4 cm x 4 cm, 160 pinů).
4. Proveďte ověřovací měření a vyhodnotte dosažené parametry

Seznam doporučené literatury:

1. Záhlava, V.: Návrh a konstrukce desek plošných spojů, BEN, Praha 2011
2. Hoffmann K., Planární mikrovlnné obvody, skriptum ČVUT FEL, Praha 2011
3. i.MX 6UltraLite Applications Processor Reference Manual (i.MX_6UL_Reference_Manual.pdf), Freescale, Rev. B, 04/2015
4. Další katalogové a aplikační listy příslušných elektronických součástek

Jméno a pracoviště vedoucí(ho) bakalářské práce:

Ing. Vít Záhlava CSc., katedra mikroelektroniky FEL

Jméno a pracoviště druhé(ho) vedoucí(ho) nebo konzultanta(ky) bakalářské práce:

Datum zadání bakalářské práce: **09.02.2017** Termín odevzdání bakalářské práce: **26.05.2017**

Platnost zadání bakalářské práce: **10.09.2018**

Podpis vedoucí(ho) práce

Podpis vedoucí(ho) ústavu/katedry

Podpis děkana(ky)

III. PŘEVZETÍ ZADÁNÍ

Student bere na vědomí, že je povinen vypracovat bakalářskou práci samostatně, bez cizí pomoci, s výjimkou poskytnutých konzultací.
Seznam použité literatury, jiných pramenů a jmen konzultantů je třeba uvést v bakalářské práci.

Datum převzetí zadání

Podpis studenta

Poděkování

Chtěl bych poděkovat vedoucímu bakalářské práce Ing. Vítu Záhlavovi, CSc. a Ing. Jaromíru Kubizňákovi za ochotu, cenné rady a připomínky. Dále kamarádům, kteří mě za celou dobu studia podporovali.

Prohlašuji, že jsem tuto bakalářskou práci vypracoval samostatně a výhradně s použitím citovaných pramenů, literatury a dalších odborných zdrojů.

Beru na vědomí, že se na moji práci vztahují práva a povinnosti vyplývající ze zákona č. 121/2000 Sb., autorského zákona v platném znění, zejména skutečnost, že České vysoké učení technické v Praze má právo na uzavření licenční smlouvy o užití této práce jako školního díla podle §60 odst. 1 autorského zákona.

V dne

Podpis autora

Název práce: Návrh modulu SQM4

Autor: Pavel Hanuš

Katedra: Katedra mikroelektroniky

Vedoucí bakalářské práce: Ing. Vít Záhlava, CSc., Katedra Mikroelektroniky

Abstrakt: Bakalářská práce popisuje návrh modulu SQM4, který má mnoho použití v průmyslovém odvětví. Modul obsahuje dva mikrokontroléry, DDR paměť a další komunikační rozhraní. Mimo jiné komunikuje přes dva bezdrátové standardy BT 4.2 a 802.15.4. Rozměry modulu jsou pevně dané – 42 x 42 milimetrů. Výsledný výrobek je chráněn licenční známkou. První část se zabývá používanými sběrnici, teorií impedančního přizpůsobení, paměťmi, filtry a zobrazovacími systémy. Druhá část práce se zabývá volbou součástek, návrhem schématu modulu, simulací filtru a popisem vrstev plošného spoje. Výsledkem práce jsou vygenerovaná gerber data.

Klíčová slova: modul, SQM4, UL6

Title: Design of the SQM4 module

Author: Pavel Hanuš

Department: Department of Microelectronics

Supervisor: Ing. Vít Záhlava, CSc., Department of Microelectronics

Abstract:

This bachelor's thesis describes design of a SQM4 module, which can be used in many applications within the industry. The module consists of two microcontrollers, a DDR memory and other communication interfaces. Additionally, it communicates via two BT 4.2 and 802.15.4 interfaces. The dimensions of the module strictly fixed – 42 x 42 millimeters. The resulting product is protected by a license mark. The first part deals with the buses employed, impedance matching theory, memory type, filters and imaging systems. The second part deals with component selection, module design itself, filter simulation and PCB layer description. The outcome of the work is generated gerber data.

Keywords: module, SQM4, UL6

Obsah

Úvod	3
1 Teorie	5
1.1 Použité značky a zkratky	5
1.2 Mikrokontroléry	5
1.2.1 Architektura dle uspořádání paměti	5
1.2.2 Architektura dle instrukční sady	5
1.3 Komunikace	6
1.3.1 1-Wire interface	6
1.3.2 USB (Universal serial bus)	7
1.3.3 SPI (Serial Peripheral Interface)	7
1.3.4 I^2C (TWI)	8
1.3.5 CAN	9
1.3.6 Bezdrátový přenos dat	9
1.3.7 JTAG	10
1.3.8 Ethernet a MII a RMI	10
1.4 Paměti	11
1.4.1 Paměti PROM a EPROM	11
1.4.2 Paměť FLASH	12
1.4.3 Paměti SRAM	12
1.4.4 QSPI	12
1.4.5 DDR3	13
1.5 Displeje	15
1.5.1 LED	15
1.6 Napájení	17
1.6.1 Druhy napájecích zdrojů	17
1.7 Filtry	20
1.7.1 Filtry podle prvků	20
1.7.2 Dolní propust	22
1.7.3 Horní propust	23
1.7.4 Pásmová propust (2. řádu)	24
1.7.5 Pásmová zádrž (2. řádu)	25
1.8 Typy součástek a pouzdra	26
1.8.1 QFP (Quad Flat Package)	26
1.8.2 DIP (Dual in-line package)	27
1.8.3 BGA (Ball Grid Array)	27
1.9 Impedance, kapacita, přizpůsobení rychlost šíření signálu	28
1.9.1 Reálný kapacitor	28
1.9.2 Reálná indukčnost	28
1.9.3 Reálný rezistor	29
1.10 Vedení, kapacita, impedance, efektivní permitivita	29
1.10.1 Efektivní permitivita	30
1.10.2 Kapacita	30
1.10.3 Mikropáskové vedení	31

2 Praktická část	33
2.1 Blokové schéma	33
2.2 Mikrokontroléry	33
2.2.1 i.MX UltraLite6	33
2.2.2 MKW41Z	35
2.3 Zdroj	36
2.4 Schéma modulu	37
2.4.1 RIM	37
2.4.2 PF3000	38
2.4.3 UL6	39
2.4.4 Ethernet	50
2.4.5 KMW41Z	51
2.5 Impedanční přizpůsobení	56
2.6 Rozlitá plocha	56
3 Závěr	57
Literatura	59
A Schema	63

Úvod

Dnešní doba spěje k používání výpočetních modulů pro ovládání průmyslových zařízení. Ať už na internetových fórech nebo na facebookových skupinách je o moduly stále větší zájem. Programátoři mikrokontrolérů, kteří často nerozumějí hardwaru, raději sáhnou po nějakém modulu. Nemusí pak řešit hardware, ale soustředí se jen na svůj obor práce – software. Další skupinou jsou začínající „bastlíři“. Mnohdy mají potřebu si něco vyrobit, ale nemají na to požadované znalosti, tak si objednají modul a na internetových fórech si najdou určitou aplikaci, kterou potřebují, i s podrobným návodem.

Je velice užitečné používat univerzální modul díky jehož variabilitě se najde mnoho aplikací na jeho instalaci. Ať už díky jeho výpočetnímu výkonu, nebo paměti pro práci s daty, nebo pro bezdrátový přenos dat přes Wi-Fi, či ovládání vysokonapěťových obvodů. Firma Elnico takovéto moduly používá. Všechny tyto moduly mají stejný rozměr 42 x 42 mm a 160 vývodových pinů. Elnico tyto moduly poté nasazuje do průmyslu. Jako příklady můžeme uvést ovládání světel u aut přes bezdrátové rozhraní pomocí počítače pro firmu Škoda Auto, nebo snímání vnitřku ptačí budky kamerou a následné odesílání na server pro ČZU.

Z toho vyplynulo zadání této bakalářské práce. Cílem je vytvořit modul, který bude levnější než předchozí, ale bude mít zhruba stejné možnosti a periférie. Dnes je bezdrátové komunikace pro takovéto moduly nezbytná. Zákazník si sice může koupit moduly typu Arduino, ZigBee, Raspberry Pi a podobné, ale přijde o výhody, které mu moduly SQM4 nabízí. Vzhledem ke svému výpočetnímu výkonu a vlastnostem jsou moduly SQM4 oproti konkurenci výrazně menší. Nabízejí také větší počet vstupně/výstupních pinů a možnost uspořádání podle potřeby zákazníka. To je oproti pevně daným modulům od konkurence značná výhoda.

Modul, oproti jeho předchůdcům, bude určen pro méně náročné aplikace. Bude se skládat ze dvou mikrokontrolérů, z nichž jeden bude hlavní ovládací člen a druhý bude poskytovat bezdrátový přenos dat. Mikrokontroléry mezi sebou budou komunikovat přes sběrnici SPI. Pro rychlé operace s daty bude modul obsahovat DDR3 paměť. Jelikož mnohé systémy komunikují přes ethernetovou sběrnici, modul bude mít také zabudované dva ethernety. Často je potřeba nasazení v automobilovém průmyslu, tudíž CAN sběrnice je zde též potřebná.

Tato práce se bude zabírat teoretickými vlastnostmi jednotlivých součástí modulu, poté sestavením schématu a realizací plošného spoje v programu PADS. Výsledkem této práce budou vygenerovaná gerber data zadaná do výroby.

1. Teorie

1.1 Použité značky a zkratky

DPS, PCB - desky plošných spojů
GND - vztažená reference obvodu
RTC - hodiny, které udržují aktuální hodinový čas soustavy
DDR - typ paměti
UART - asynchronní seriová komunikace
ADC - analogově-číslicový převodník
ESR - ekvivalentní seriový odpor
G - Gate - pin tranzistoru
MOS - polovodič s vrstvou kysličníku křemíku
LED - světlo emitující dioda
SMD - technologie povrchové montáže
THT - technologie ostazování drátovými vývody skrz DPS
C - kapacita (F)
L - indukčnost (H)
R - odpor (Ω)
U - napětí (V)
Z - impedance (Ω)

1.2 Mikrokontroléry

Využívají se v hojném množství. Mikrokontrolér je to „srdce“ celého schématu. Pomocí nahraného firmwaru ovládá ostatní části DPS. Mikrokontrolér obsahuje napájecí piny, zemnicí piny, vstupně/vystupní piny, které využívají booleovskou logiku. Dále mikrokontrolér obsahuje referenční zdroj kmitočtu – oscilátor, krystal.

1.2.1 Architektura dle uspořádání paměti

- **Harvardská** – Harvardská architektura má hardwarově oddělenou paměť programu od datové paměti. Oproti Von Neumannově umožňuje až dvojnásobnou adresovatelnou paměť při stejné šířce sběrnice.
- **Von Neumannova** – Von Neumannova architektura obsahuje společnou paměť pro program i data.
- **Modifikovaná Harvardská architektura** – Paměť pro data a program je hardwarově oddělena, nicméně adresová sběrnice je stejná.

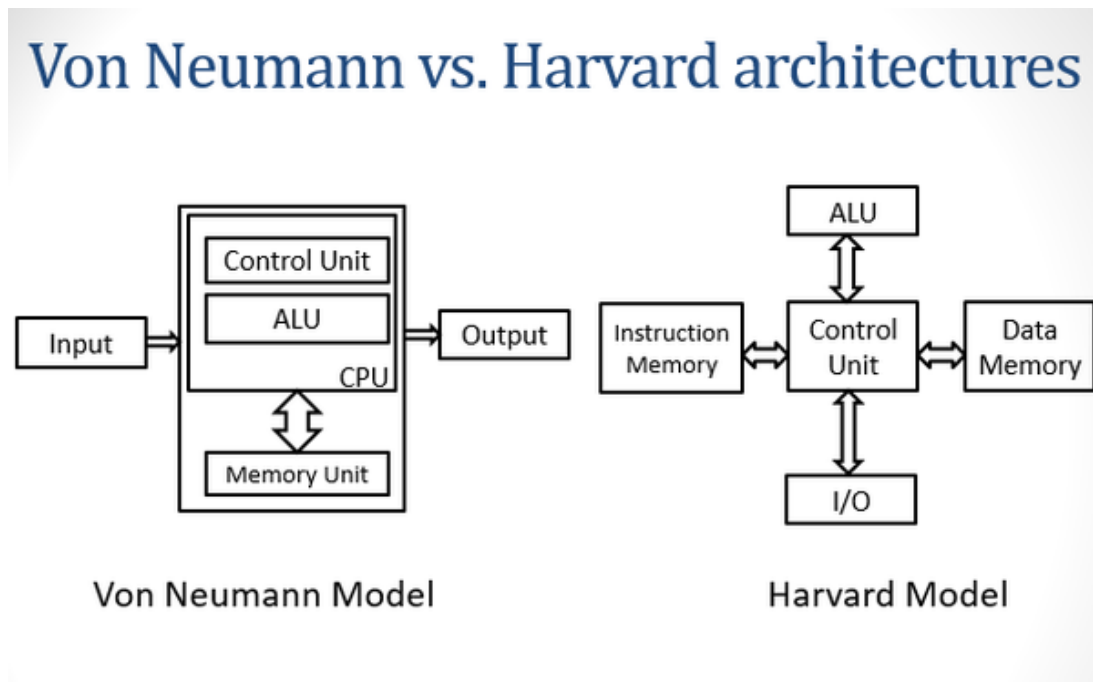
Na obr. 1.1 je vidět rozdíl uspořádání pamětí.

1.2.2 Architektura dle instrukční sady

- **RISC (Reduced Instruction Set Computation)** – Procesory tohoto typu se vyznačují redukovanou instrukční sadou, která je založena na hardwarovém uspořádání.

Díky tomu jsou procesory výrazně rychlejší než architektura CISC, nicméně jsou omezeni velikostí paměti. Během jednoho taktu je vykonána pouze jedna instrukce. Řídící obvody této architektury zabírají pouze jednotky procent místa na čipu. Instrukce mají stejnou délku a stejný formát. Uplatňuje se zde také tzv. Pipelining – řetězení instrukcí při chodu programu.

- **CISC (Complete Instruction Set Computation)** – CISC architektura obsahuje úplnou instrukční sadu. Instrukce je realizována formou mikroprogramu, který postupně vyvolává běh programu.



Obrázek 1.1: Harwardská vs. von Neumannova architektura [12]

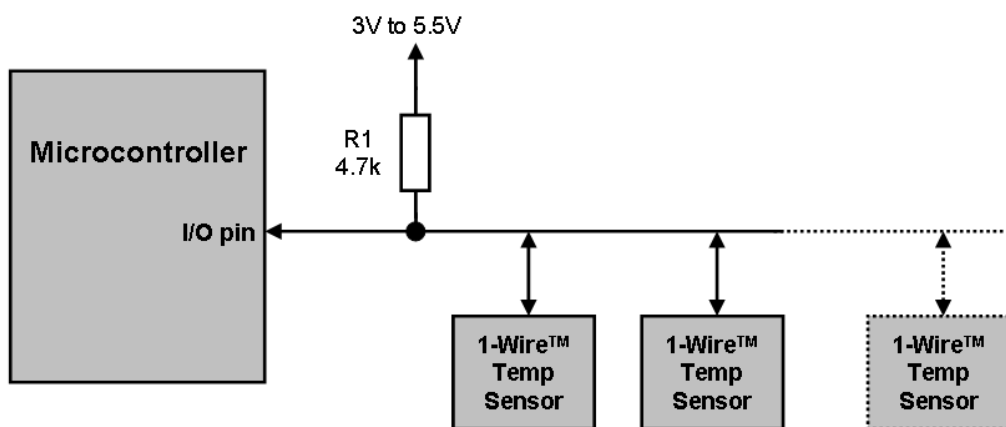
1.3 Komunikace

Základní rozdělení komunikace podle přenosu dat můžeme dělit na seriovou a paralelní. Seriová komunikace potřebuje pro svůj provoz méně vodičů než paralelní, ale na druhou stranu je pomalejší. Vždy je zapotřebí hodinový signál, který udává rychlost přenosu dat. Sériová komunikace posílá data paralelně po více vodičích najednou.

1.3.1 1-Wire interface

Sběrnice obsahuje pouze dva vývody data/napájení a GND. Je typu SINGLE MASTER, tedy obsahuje jeden řídicí obvod a více podřazených obvodů. Výhodou je právě možnost napájení a posílání dat přes jeden vodič. Některá zařízení totiž mají integrovaný kondenzátor o velké kapacitě, který napájí integrovaný obvod. Každé zařízení má své unikátní 64 bit ID dané z výroby. Komunikace probíhá ve třech krocích. Nejdříve je poslána tzv. RESET SEQUENCE. Poté ROM CMD sequence, kde je 8 bitů pro příkaz a ROM ID. Tímto se určí zařízení, které má přijmout data a poté následuje FUNCTION SEQUENCE. Ta odešle 8 bit FORWARD rámeček plus Read/Write data.

Po ukončení přenosu dat opět následuje RESET SEQUENCE. Tento typ přenosu dat má pevně danou rychlost přenosu (15,4 kb/s nebo 125 kb/s). Používá se například pro připojení teplotního senzoru [32] (obr. 1.2).



Obrázek 1.2: 1-wire [13]

1.3.2 USB (Universal serial bus)

USB sběrnice je nejpoužívanější sběrnice ve slaboproudé elektronice. Obsahuje čtyři nebo pět pinů. Napájecí pin VCC, zemnicí pin GND, dva piny DATA+ a DATA- tvořící diferenciální pár a ID pin. Sběrnice USB podporuje tři typy rychlostí: high-speed (480 Mb/s), full-speed (12 Mb/s) a low-speed (1,5 Mb/s) [33]. USB v2.0 umožňuje přenos všech tří rychlostí mezi kontrolérem a hubem, ale v opačném směru umožňuje jen full-speed a low-speed komunikaci. Hodinový signál je kódován a přenášen spolu s diferenciálním párem. Pin OTG ID se většinou připojuje k pinu GND. Piny VBUS a GND se používají pro napájení zařízení. Napětí VBUS bývá zpravidla +5 voltů.

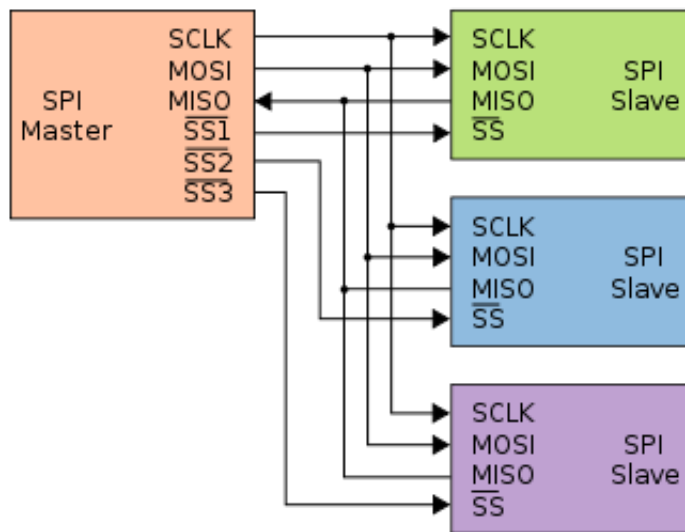
1.3.3 SPI (Serial Peripheral Interface)

Jedná se o Single Master sběrnici – je zde pouze jeden řídicí obvod, ostatní jsou v režimu Slave. SPI umožňuje přijímat i posílat data ve stejném časovém horizontu. Nejčastější příklad použití (jeden MASTER a více SLAVE zařízení) je znázorněn na obr. 1.3.

Sběrnice SPI se skládá ze čtyř vodičů:

- **SCK** – reprezentující hodinový signál o frekvenci 40 MHz, který je připojen na všechny SCK Slave zařízení.
- **CS – chip select** – (někdy též označovaný SS – slave select). Jedná se o pin, který aktivuje komunikaci Slave zařízení. Každý Slave prvek má svůj SS, který je připojen k Master zařízení tímto pinem. Pokud je daný Slave neaktivní, je tento pin neaktivní a výstup MISO je ve vysokoimpedančním stavu.
- **MISO** – je připojen na všechny výstupy Slave obvodů.

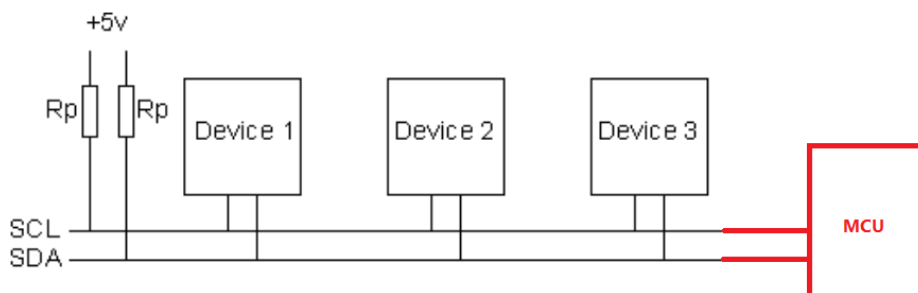
- **MOSI** – je připojen na všechny vstupy Slave obvodů.



Obrázek 1.3: SPI [14]

1.3.4 I^2C (TWI)

Jde o multi-master sběrnici. I^2C je sběrnice obsahující pouze dva spoje SDA a SCL. SCL je hodinový signál v frekvenčním rozsahu 100 kHz - 400 kHz. Dále byly vytvořeny varianty: High-speed varianta o frekvenci 3,4 MHz, Fast Mode plus o frekvenci 1 MHz a Ultra Fast-mode o frekvenci 5 MHz, která ale podporuje pouze jednosměrný přenos dat [34]. SDA pin provozuje obousměrný datový signál. Každá stanice připojená k I^2C má svoji specifickou adresu. Umožňuje připojení až 128 různých zařízení. Princip zapojení je znázorněn na obrázku 1.4



Obrázek 1.4: I^2C [15]

1.3.5 CAN

CAN je sběrnice používaná převážně v automobilovém průmyslu. Obsahuje dva spoje CANH a CANL. Pokud je sběrnice nečinná nachází se ve stavu, kterému říkáme recesivní [35]. Teoretická přenosová rychlost je 1,5 Mb/s, jsou však dva standardy rychlosti 1Mb/s a 125kb/s. Signály v klidovém recesivním stavu jsou stejné 2,5 V pro vyšší rychlost. Dominantní stav vyšší rychlosti (ISO 11898): na vodiči CANH je napětí 3,5V a na CANL 1,5 V. Tím vznikne diferenciální pár s rozdílem 2 V. Pro nižší rychlost platí (ISO 11519): CANH je 1,75V v recesivním stavu a 4 V v dominantním stavu. CANL je 3,25 V v recesivním stavu a 1 V v dominantním stavu. Pomalejší standard nevyžaduje zakončovací rezistory, jelikož při této rychlosti nevznikají žádné odrazy. Teoreticky lze ke sběrnici připojit 2032 zařízení. CAN rozdělujeme na dva standardy. Standard CAN (v 2.0A) používající 11 bitovou identifikaci a Extended CAN (v 2.0B) používající 29 bitovou identifikaci.

1.3.6 Bezdrátový přenos dat

IEEE 802.11 (Wi-Fi)

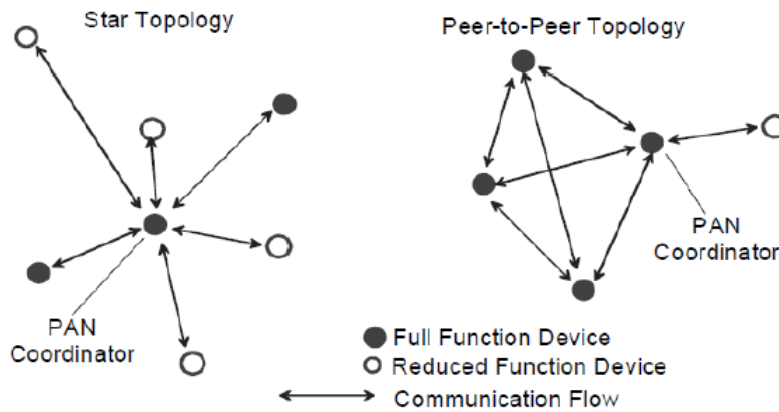
Patří do kategorie bezdrátových komunikačních rozhraní. Běží na frekvenci 2,4 GHz nebo 5 GHz.

802.15.4 (LR-WPAN)

Tento standard slouží k bezdrátovému přenosu dat na relativně krátké vzdálenosti. Propojení přes WPAN vytváří velmi malou nebo žádnou síťovou infrastrukturu. Zařízení tohoto typu jsou malá a levná. Mohou se použít na širokou škálu aplikací. Standard zajišťuje jednoduchou konstrukci, nízkou cenu a nízkou přenosovou rychlost mezi zařízeními. Rychlost přenosu je až 250 kb/s, ale dá se snížit, např. pro potřebu nižšího odběru energie. Zařízení pracují v těchto frekvenčních pásmech [36]:

- **868-868,6 MHz**
- **902-928 MHz**
- **2400-2483,5 MHz**
- **314-316 MHz, 430-434 MHz a 779-787 MHz** – v Číně
- **950-956 MHz** – v Japonsku

Je možné použít Star nebo Peer-to-peer topologii. Zařízení mají 64-bitovou rozšířenou adresu nebo alokovanou 16-bitovou adresu. Obsahují CSMA-CA kolizní systém a GTS mechanismus. V souladu s touto normou se systém skládá alespoň ze dvou zařízení, z nichž alespoň jedno je FFD (full-function device). FFD působí jako PAN koordinátor. Systém podporuje FSK/GFSK a O-QPSK modulace.



Obrázek 1.5: 802.15.4 topologie [30]

Bluetooth Low Energy (BLE)

Bluetooth Low Energy (BT 4.2) komunikuje na frekvenčním pásmu 2402 – 2480 MHz. Definuje 40 RF kanálů s roztečí pásma 2 MHz. Tři kanály slouží k vyhledávání, připojení a vysílání. Datové kanály slouží k obousměrné komunikaci. Všechny kanály používají modulaci GFSK (Gaussian Frequency Shift Keying). Ve verzi 4.0, 4.1 a 4.2 je maximální přenosová rychlost 1 Mb/s. Požadavky dané normou jsou [31]:

- **Minimální Tx výkon** – 0.01 mW (-20 dBm)
- **Maximální Tx výkon** – 100 mW (20 dBm)
- **Minimální citlivost Rx** – 70 mW (BER 0,1 %)

Typické hodnoty nízkovýkonových zařízení:

- **0 dBm** – citlivost Rx: -90 dBm, dosah 30 metrů
- **10 dBm** – citlivost Rx: -90 dBm, dosah 100 metrů a více

1.3.7 JTAG

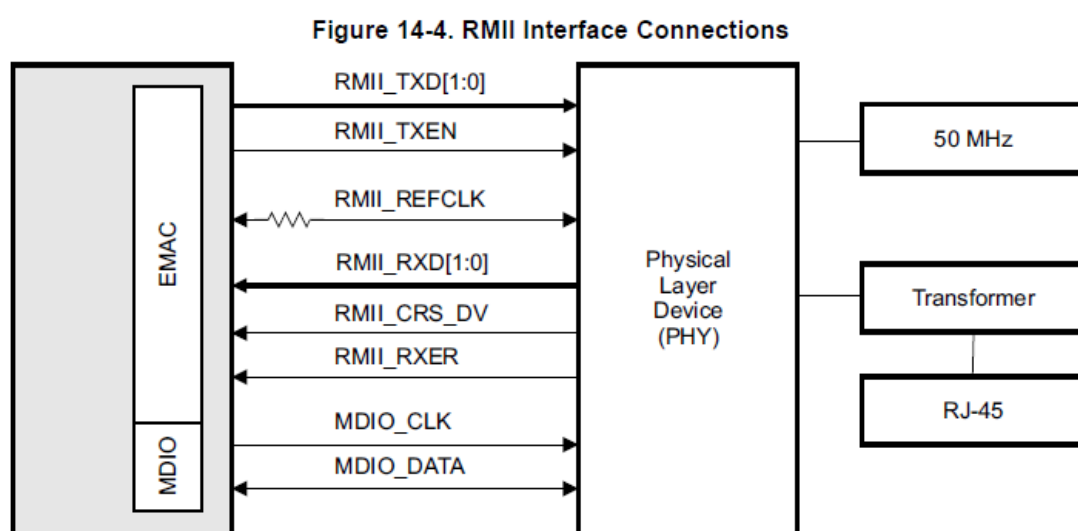
Norma IEEE 1149.1 slouží k testování integrovaných obvodů. JTAG se skládá z několika instrukčních módů. Většinou se ale volí USERCODE instruction [37], která slouží k nahrání kódu do integrovaného obvodu. JTAG obsahuje piny TCK, TMS, TDI a TDO. Komunikace probíhá piny TDI a TDO. Ještě se můžeme setkat s normou 1149.7, která obsahuje pouze dva piny – TCKC (Test Clock) hodinový signál a TMSC (Test Serial Data) datovou linku.

1.3.8 Ethernet a MII a RMII

Ethernet slouží ke komunikaci zařízení přes kabelové vedení. Lze ji rozdělit do tří částí:

- **Vysílané signály** – (TX_CLK - Transmit clock, TXD[0..3] – Transmit data bit, TX_EN – Transmit enable, TX_ER – Transmit error)
- **Přijmané signály** – (RX_CLK, RXD[0:3] - Receive data bits, RX_DV - Receive data valid, RX_ER - Receive error, CRS - Carrier sense, COL – Collision detect)
- **Řídící signály** – (MDIO – Management data, MDC – Management data clock)

Jelikož potřebujeme co nejmenší počet vodičů byla vytvořena varianta RMII. Ta redukuje počet pinů zhruba na polovinu. Hodinové signály RX a TX se stávají jedním signálem REF_CLK o dvojnásobném kmitočtu (50 MHz) [38]. RX_DV a CRS jsou multiplexovány v jeden signal. COL signal (collision detect) je odstraněn. Pokud máme víceportové zařízení nebo více zařízení, signály MDC, MDIO a REF_CLK jsou zařízeními sdíleny. Blokové schéma je uvedeno na obr. 1.6



Obrázek 1.6: RMII [16]

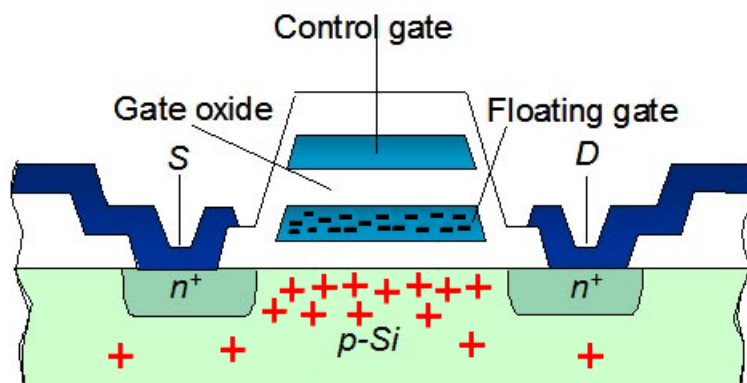
1.4 Paměti

Paměti slouží k uložení dat. Základní dělení paměti je na ROM (Read Only Memory) a RWM (Read Write Memory) paměti. Do paměti ROM se při výrobě uloží data, která se po vypnutí napájení zachovávají. Do paměti nelze zapisovat. Paměť RWM umožňuje čtení i zápis a po vypnutí napájení se informace v buňce nezachová.

1.4.1 Paměti PROM a EPROM

Princip funkce je založen na MOS technologii, která má kromě hradla gate ještě plovoucí hradlo (obr. 1.7). Naprogramování se provede tím způsobem, že na hradlo G se připojí vyšší napětí. Mezi draine a source tranzistoru protéká velký proud a elektrony projdou izolační bariéru do plovoucího hradla, kde zůstanou. Při čtení se tranzistorová buňka připojí na klasické napětí. Pokud v ní je uložená logická jednička (plovoucí hradlo obsahuje elektrony), teče mezi draine a source menší proud, což vyústí v logickou úroveň H. Při logické nule teče menší proud, tudíž výstupní úroveň bude L. Paměť

EPROM (Erasable ROM) je umístěna do keramického pouzdra, které propouští ultrafialové záření, jenž paměť vymaže. [3]



Obrázek 1.7: Floating gate [29]

1.4.2 Paměť FLASH

Funguje na podobném principu jako paměti PROM a EPROM. Vymazání paměti probíhá připojením source na zvýšené napájecí napětí a drain na GND.

1.4.3 Paměti SRAM

Paměť SRAM obsahuje část adres na výběr řádku a část adres na výběr sloupce paměťové matice. Paměť se aktivuje pinem CS (Chip Select) a dekodérem se vybere příslušný řádek. Data z vybraného řádku se převedou na bitové vodiče. Podle toho se dalším dekodérem adres vybere příslušný sloupec. Příslušná buňka se přivede na vstup rozdílového zesilovače, ze kterého je signál vyveden na třístavový budič, jenž je ovládán pomocí pinu OE (Output Enable). Data se zapisují při náběžné hraně signálu WE.

1.4.4 QSPI

QSPI neboli Quad SPI je typ flash paměti ovládaný přes SPI sběrnici. Výhodou této paměti je malý počet signálů pro přenos dat.

Skládá se z několika signálů [39]:

- **C (Clock)** – Jedná se o hodinový signál celé sběrnice. Příkazy, adresování a vstupní data jsou řízeny náběžnou hranou hodinového signálu. Výstupní data jsou řízena sestupnou hranou hodinového signálu.
- **S# (Chip select)** – Je-li S# ve stavu HIGH, je zařízení deselektováno a pin DQ1 je ve vysokoimpedančním stavu. Ve stavu LOW je zařízení v aktivním módu.
- **DQ[0..3]** – Signál DQ0 slouží k seriovému přenosu dat do paměti, signál DQ1 slouží k seriovému přenosu dat z paměti. Vyjímkou jsou PROGRAM a ERASE

cykly, kdy se piny přepnou do extended SPI módu, do doby než se napájení VPP dostane do stavu LOW. DQ2 a DQ3 v QSPI módu slouží jako vstupně/výstupní port pro přenos dat. HOLD# i RESET# jsou zakázány, pokud je zařízení vybráno.

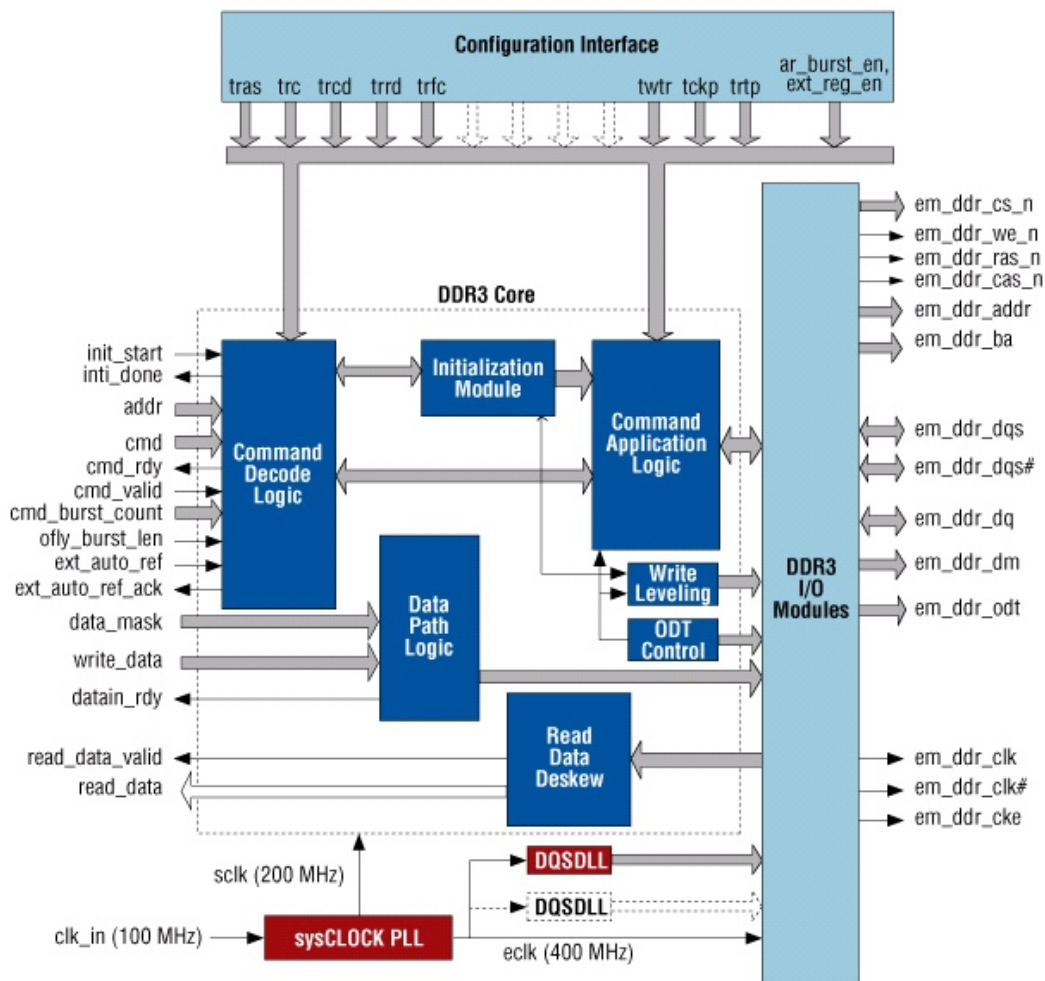
- **RESET#** – Slouží k hardwarovému resetu. Pokud je tento signál v HIGH, paměť pracuje v normálním módu. Pokud je LOW, paměť přejde do módu resetu a pin se chová jako vysokoimpedanční. Pokud je reset použit během nějaké operace paměti, může dojít ke ztrátě dat.
- **HOLD#** – Pozastaví veškerou seriovou komunikaci bez nutnosti deselektování zařízení. K pozastavení musí být ještě S# přepnut do LOW. V QSPI módu se pin chová stejně jako DQ3 a funkce hold je zakázána, pokud je zařízení vybráno. Tuto funkci můžeme vypnout nastavením příslušných registrů.
- **W# (Write protect)** – V extended SPI módu je tento pin použit k zablokování naprogramování nebo smazání paměti. V QSPI módu se chová stejně jako DQ3.
- **VPP (Supply voltage)** – Pokud je ve vymezeném napětí, chová se jako další napájecí pin. Pokud je QSPI v módu PROGRAM/ERASE, je možné jej použít jako pomocný signálový pin, čímž dojde ke zrychlení operace s délkou zhruba 200 ms času. Pokud po tuto doby nedojde k použití pinu jako napájení, je operace provedena normální rychlostí. Poté se opět přepne do napájecího módu.
- **VCC (Core supply)** – Slouží k napájení zařízení.
- **VSS (Ground)** – Je to reference pro VCC.

1.4.5 DDR3

DDR patří mezi dynamické a velmi rychlé paměti. Signály můžeme rozdělit do několika částí: datové signály, adresy a řízení, hodinové signály [41]. Blokové schéma DDR3 paměti můžeme vidět na obr. 1.8.

- **Hodinový signál DDR** – Skládá se z diferenciálního páru běžícího na velmi vysoké frekvenci. Kontrolní, adresové a příkazové signály jsou registrovány s každou nástupnou hranou hodinového signálu. Příchozí data jsou registrována s každou nástupnou hranou signálu DQS po zápisové preambuly a odchozí data s nástupnou hranou signálu DQS pro čtecí preambuly.
- **Address (A)** – Poskytuje adresu řádku pro ACTIVATE příkaz a adresu sloupce a „auto precharge bit“ (A10) pro READ/WRITE příkazy k vybrání umístění paměťového pole v příslušné bance. Adresa A10, vzorkována během příkazu PRECHARGE určuje vzda se PRECHARGE vztahuje jen k jedné vybrané bance (A10=L) nebo ke všem bankám (A10=H). Adresové vstupy také poskytují OP-CODE během příkazu LOAD MODE. Adresové vstupy mají referenci vzhledem k VREFCA.
- **Bank Address (BA)** – Bank Address definuje banku, na kterou se vztahují příkazy ACTIVE, READ, WRITE nebo PRECHARGE. Také definuje, který režimový registr (MR[0..3]) je načten během příkazu LOAD MODE. Bank address mají referenci vzhledem k VREFCA.

- **CKE (Clock Enable)** – CKE povoluje (CKE=H) a zakazuje (CKE=L) interní obvody a hodiny na DDR. Má referenci vzhledem k VREFCA.
- **CS# (Chip Select)** – Povoluje (CS=L) a zakazuje (CS=H) příkazový dekodér. Využívá se v systémech s více paměťmi, kdy maskuje jednotlivé paměti v HIGH. Má referenci vzhledem k VREFCA.
- **DM (Data Mask)** – Dále ji lze rozdělit na LDM (lower – spodních 8 bitů) a UDM (upper – horních 8 bitů). Jedná se o signál vstupní masky pro zápis dat. Data jsou maskována pokud DM=H se vstupními daty během přístupu k zápisu. Jsou vztaženy k VREFCA.
- **ODT (On-die Termination)** – ODT povoluje (ODT = H) a zakazuje (ODT = L) terminační zakončovací vnitřní odpor DDR paměti. V normálním režimu se aplikuje na DQS, DQ, DM. Vstup ODT je ignorován, pokud je deaktivován příkazem LOAD MODE. Má referenci vzhledem k VREFCA.
- **RAS# (Row Access Strobe), CAS# (Column Access Strobe), WE# (Write Enable)** – Definují zadaný příkaz a odkazují se vzhledem k VREFCA. RAS# udává zpoždění dat na výstupu po jejich výběru, nebo zpoždění pro jejich zápis. Jelikož výběr řádku a sloupce zabere nějaký čas, RAS a CAS udávají kolik hodinových cyklů trvají tyto operace. Obvykle se nastavuje CAS a RAS-to-CAS jako celá čísla v hodinových cyklech paměti [40]. Tyto čísla se většinou pohybují od 2 do 5. WE slouží k výběru čtení (WE=H) a zápisu (WE=L) do paměti DDR [43].
- **RESET#** – Jedná se o aktivní vstup LOW CMOS mající referenci vzhledem k VSS. Vstup CMOS je definován jako vstup s tzv. "rail-to-rail" signálem s DC HIGH $\geq 0,8 \cdot VDD$ a DC LOW $\leq 0,2 \cdot VDD$. RESET je vzhledem k DDR asynchronní.
- **Data (DQ)** – Reprezentují obousměrnou datovou sběrnici. Mají referenci vzhledem k VREFDQ.
- **Data strobe (DQS)** – Funguje ve dvou módech. Výstup s čtením dat (krajové zarovnání průběhu se čtenými daty). Vstup se zápisem dat (středové zarovnání průběhu se zapisovanými daty).
- **VDD** – Napájení DDR. Pro DDR3L je to 1,5 voltu.
- **VDDQ** – Slouží jako napájení DQ. Je odděleno od VDD kvůli lepší odolnosti vůči šumu. Pro DDR3L je to 1,5 voltu.
- **VREFCA** – Slouží jako referenční napětí pro řídicí, příkazové a adresové signály. Musí být dobře obnovováno a udržováno pro správný chod a funkčnost paměti.
- **VREFDQ** – Má stejnou funkčnosti jako VREFCA s tím rozdílem, že slouží pro DQ.
- **VSS** – Jedná se o zemnicí signal.
- **VSSQ** – Zemnicí signál pro DQ. Je izolován od normální země kvůli zlepšení odolnosti vůči šumu.
- **ZQ** – ZQ je připojen k externímu velmi přesnému rezistoru (240 Ω), který má referenci vzhledem k VSSQ. Slouží k přizpůsobení impedance výstupního ovladače. Systém se průběžně kalibruje a dochází tím k lepšímu impedančnímu přizpůsobení mezi výstupním ovladačem DDR a trasou na plošném spoji [42].



Obrázek 1.8: DDR3 [17]

1.5 Displeje

1.5.1 LED

Displeje LED obsahují světloemitující diody. Pro velkou škálu aplikací je výrobci vyrábějí v různých tvarech a velikostech. Jejich výhodou je například vysoká svítivost oproti ostatním displejům. Nevýhodou je vysoký proudový odběr.

7-segment

Nejtypičtějším zástupcem je sedmsegmentová LE dioda, která slouží k zobrazení čísel. Typicky se skládá ze sedmi segmentů uspořádaných do tvaru digitálního čísla osm a navíc ještě obsahuje osmý segment – desetinou tečku. Můžeme se setkat i s vícesegmentovými LE displeji, kde je pak použito zapojení se společnou anodou, či katodou, což minimalizuje počet potřebných vodičů.

Maticové LED displeje

Skládají se z kruhových LED uspořádaných do matice. Uspořádání vzhledem k minimalizaci pinů je následující: každý sloupec diod má společnou katodu nebo anodu a každý řádek má společnou katodu nebo anodu, ale v opačném případě než sloupec. To vede k tomu, že námi požadovanou LED na souřadnicích $[X,Y]$ rozsvítíme tak, že zapneme řádek X a sloupec Y.

Existuje i mnoho jiných případů provedení LE displejů, které mají různé uskupení a různé tvary diod. Mezi nejnámější patří například bargraf.

LCD displeje (Liquid Crystal Display)

Skládá se z několika typů pinů [44]. Příklad realizace displeje můžeme vidět na obr. 1.9

- **D[0..7]** – Osmibitová datová sběrnice
- **R/W** – Pin, který slouží k výběru čtení/zápis (čtení = log. 0)
- **E – Enable pin** – Slouží k provedení čtení, zápisu. Většinou je ve stavu LOW. Pokud chceme poslat instrukce/data, přepneme jej na chvíli do stavu HIGH.
- **RS (Register Select)** – Slouží k výběru, zda chceme poslat data či instrukce. Pro výběr instrukcí $RS = 0$.
- **VO** – Nastavuje kontrast displeje
- **LED+ a LED-** – Slouží k zobrazení (zpravidla černé) barvy na displeji. LED+ připojíme k +5 V a LED- ke GND.
- **VDD a VSS** – Jedná se o napájecí piny, které zapnou displej a řídí jeho logiku. VDD připojíme k +5 V a VSS ke GND.



Obrázek 1.9: LCD [18]

1.6 Napájení

Elektronické obvody můžeme napájet několika způsoby. Buď ze zdroje napětí, kterým může být například baterie. Dále například z pomocného obvodu, který převádí jiný druh energie na elektřinu. Mezi tento příklad můžeme zařadit například solární napájení. A nebo pomocí převodu ze síťového napětí.

1.6.1 Druhy napájecích zdrojů

Lineární stabilizátory napětí

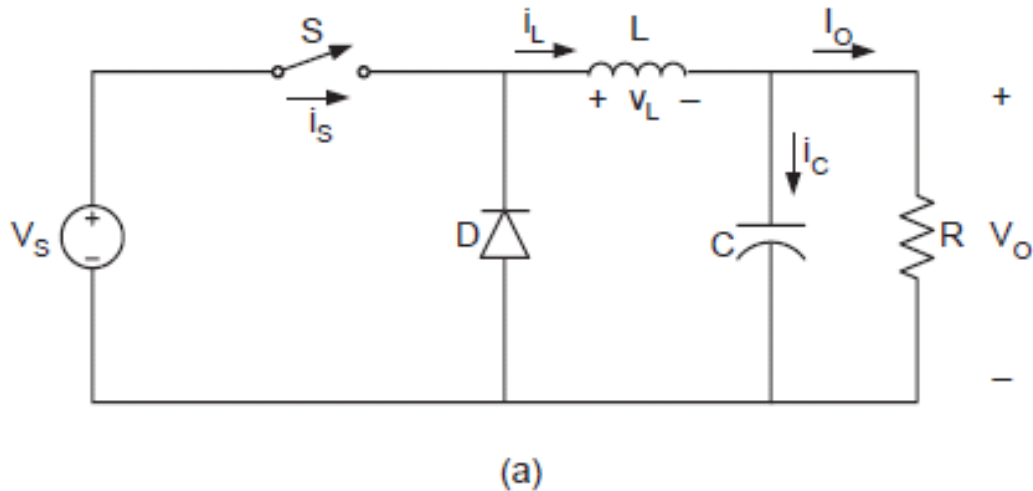
Vyznačují se vysokou stabilizací výstupního napětí a velkým rozsahem napájení vstupního. Nemají vysokou účinnost jako např. spínané zdroje, ale jsou levné a nenáročné na realizaci.

Spínané zdroje

Spínané zdroje mají ze všech zdrojů napájení nejvyšší účinnost. Při správné konfiguraci můžeme dosáhnout účinnosti i 95 %.

Step-down (BUCK)

Chování obvodu rozdělíme na dvě části: obvod z klidového stavu sepne spínačem S1. Proud cívku narůstá podle rovnice (1.1). [5] Výstupní kondenzátor C je nabíjen proudem i_c . Schéma je zobrazeno na obr. 1.10.



Obrázek 1.10: Snižující zdroj [19]

$$V_L = L \cdot \frac{dI}{dt} \implies (V_S - V_O) \cdot \frac{t_1}{L} = dI \quad (1.1)$$

Po odepnutí spínače S1 se cívka snaží udržet velikost a směr proudu. Z počátku jsou proudy stejné. Proud z kondenzátoru tedy teče diodou D.

$$dI_{Lsep} = dI_{Lroz} \quad (1.2)$$

Poté začne proud cívku klesat.

$$-V_O \cdot t_2/L = -dI_{Lroz} \quad (1.3)$$

Po dosazení rovnice (1.2) a (1.3) do rovnice (1.1) dostaneme:

$$V_O \cdot t_2 = (V_S - V_O) \cdot t_1 = V_S \left[\frac{t_1}{t_1 + t_2} \right] = V_S \left[\frac{t_1}{T} \right] \quad (1.4)$$

Výstupní proud je dán vztahem:

$$I_0 = I_S \cdot V_S/V_O \quad (1.5)$$

Step-up (BOOST)

Pokud je sepnut spínač S, výstupní kondenzátor se vybíjí do zátěže. Proud teče přes indukčnost L a spínač S. Schéma je zobrazeno na obr. 1.11. Energie zůstává v magnetickém poli o velikosti $E = \frac{1}{2}LI^2$. Proud cívku roste až do doby, než je spínač rozepnut. [5] Cívka se snaží udržet velikost a směr proudu a je na ní napětí:

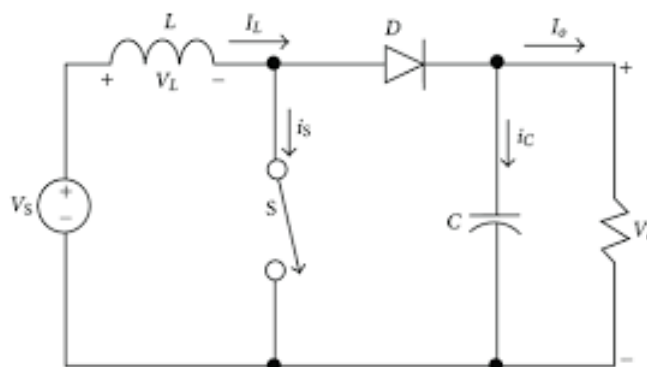
$$V_L = -L \cdot \frac{dI_1}{dt} \quad (1.6)$$

Toto napětí se sečte se vstupním napětím V_S a jejich proud $I_O + I_C$ je hnán do kapacitoru a zátěže. Rovnice pro sepnutý stav:

$$V_S \cdot \frac{t_1}{L} = dI_S \quad (1.7)$$

Rovnice pro rozepnutý stav:

$$(V_S - V_O) \cdot \frac{t_2}{L} = d(I_C + I_O) \quad (1.8)$$



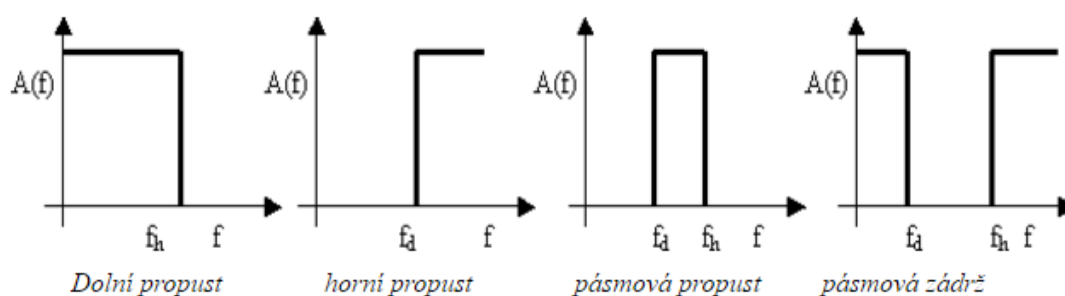
Obrázek 1.11: Zvyšující zdroj [20]

1.7 Filtry

Filtr je část obvodu, která omezuje kmitočtové pásmo signálu. Základní dělení filtrů je na aktivní a pasivní. Máme několik typů filtrů:

- **HP** — horní propust
- **DP** — dolní propust
- **PP** — pásmová propust
- **PZ** – pásmová zadrž

Jejich amplitudové průběhy můžeme vidět na 1.12.



Obrázek 1.12: Typy filtrů [21]

Horní propust (HP) a dolní propust (DP) jdou realizovat pomocí filtru prvního řádu. Sklon filtru prvního řádu je -20 dB/dek. Pokud chceme filtr typu pásmová propust (PP) či pásmová zadrž (PZ) musí být nejméně druhého řádu. Tento filtr má sklon -40 dB/dek [6].

1.7.1 Filtry podle prvků

- **RC filtry** – Jako stavební prvek používají rezistory a kondenzátory. Jsou levné. Používají se pro filtry nižších řádů.
- **RLC filtry** – Lze z nich sestavit prakticky jakýkoliv filtr. Největší slabina z pohledu součástek jsou cívky, které jsou velké a drahé.
- **Mikrovlnné filtry** – Používají se pro vysoké frekvence, místo klasických stavebních prvků (R, L, C) jsou zde používány ekvivalentní vedení jako jsou vlnovody, mikropásková vedení, koaxiální vedení a jiné.
- **Filtry ARC** – Principiálně jsou stejné jako filtry typu RLC. Místo cívek jsou zde použity rezistory, kondenzátory a aktivní prvky (operační zesilovače).

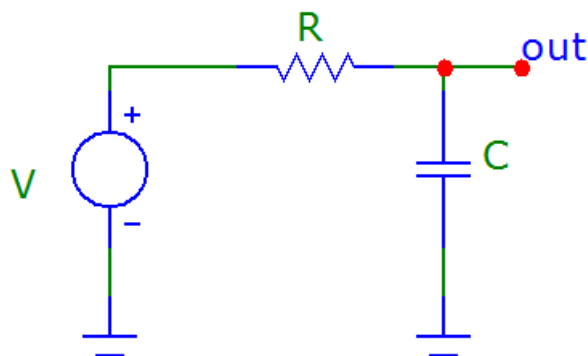
- **Filtry ASC** – Jsou obdobné filtrům ARC, ale místo rezistorů jsou zde použity spínané kapacitory.
- **Elektromechanické filtry** – Převádí elektrický signál na mechanický, kde využívají rezonanci a pak jej opět převedou na elektrický signál.
- **Filtry PAV** – Jde o filtry s povrchovou akustickou vlnou.
- **Filtry CCD** – Princip těchto filtrů spočívá ve fázově závislém sčítání nábojových vzorků.
- **Číslicové filtry** – Využívají číslicového zpracování signálu, kde se pomocí softwaru a matematických formulí nastaví požadované vlastnosti.

1.7.2 Dolní propust

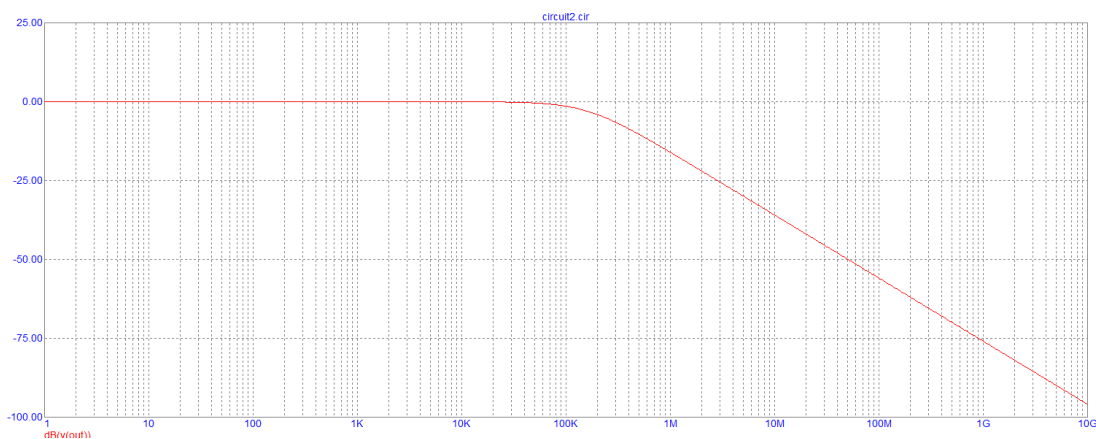
Přenos filtru \mathbf{K} je dán vztahem (1.9):

$$\mathbf{K}(j\omega) = \frac{1/(j\omega C)}{R + 1/(j\omega C)} = \frac{1/(RC)}{j\omega + 1/(RC)} \quad (1.9)$$

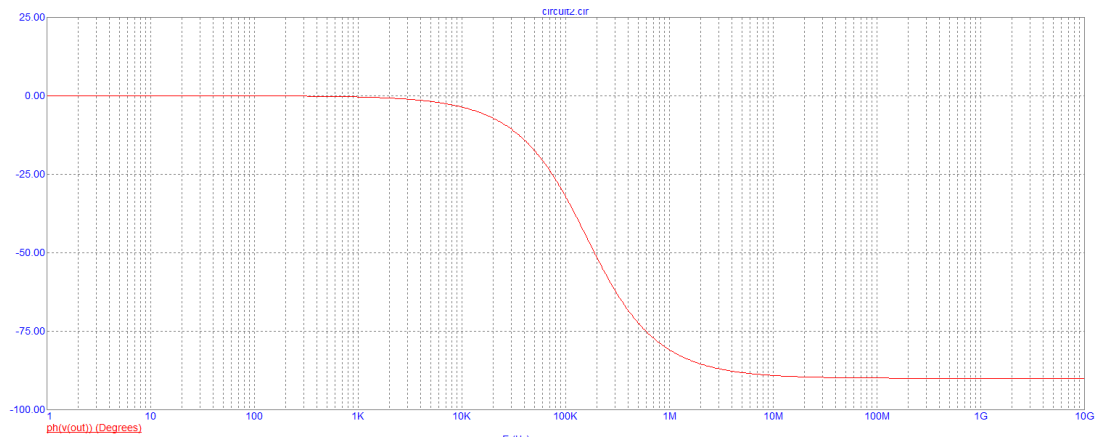
Schéma filtru je na obr. 1.13. Charakteristiky filtru můžeme vidět na obr. 1.14 a 1.14, kde svislé osy znázorňují amplitudu a fázi a vodorovná osa znázorňuje kmitočet.



Obrázek 1.13: Dolní propust 1. řádu - zapojení



Obrázek 1.14: Dolní propust amplitudová charakteristika



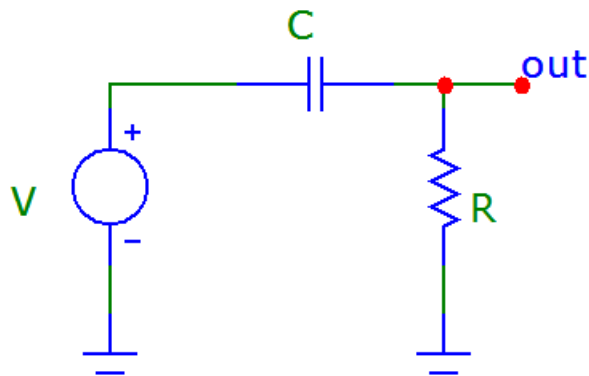
Obrázek 1.15: Dolní propust fázová charakteristika

1.7.3 Horní propust

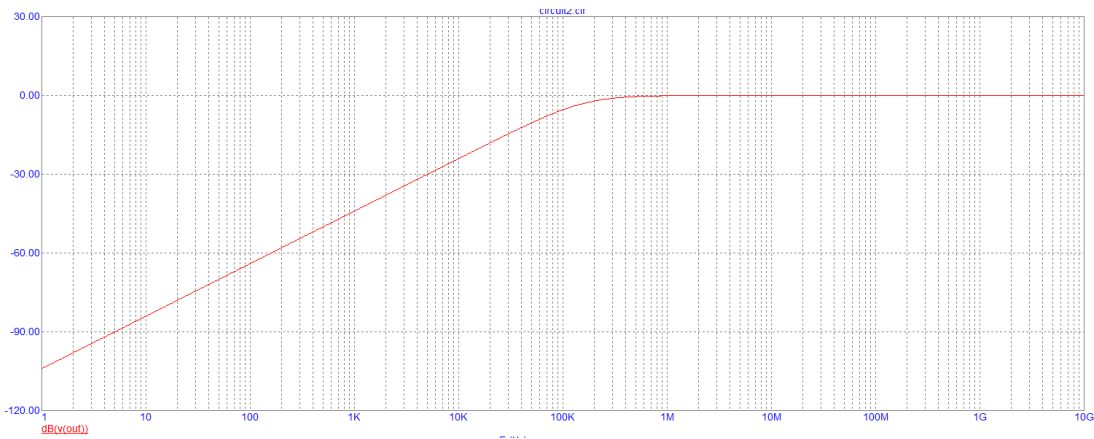
Přenos filtru \mathbf{K} je dán vztahem (1.10):

$$\mathbf{K}(j\omega) = \frac{R}{R + 1/(j\omega C)} = \frac{j\omega}{j\omega + 1/(RC)} \quad (1.10)$$

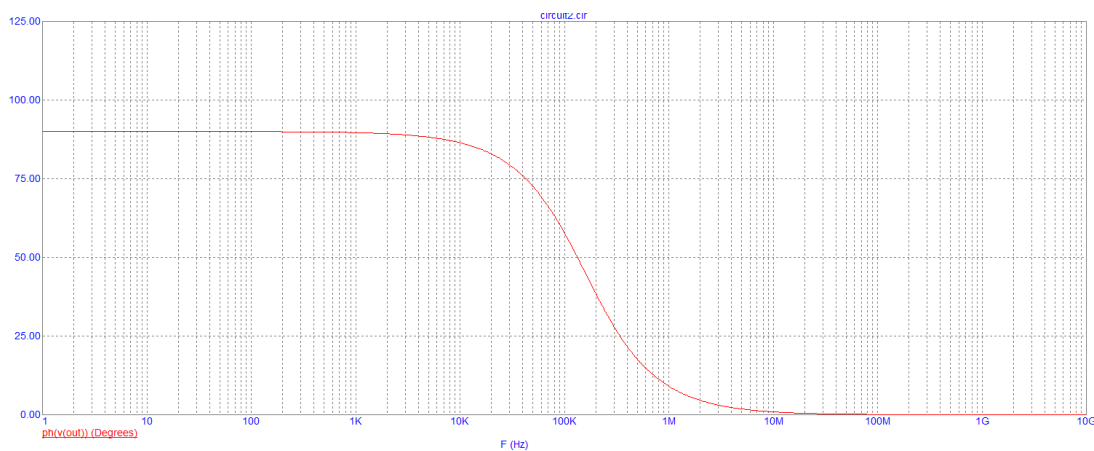
Schéma filtru je na obr. 1.16. Charakteristiky filtru můžeme vidět na obr. 1.17 a 1.18, kde svislé osy znázorňují amplitudu a fázi a vodorovná osa znázorňuje kmitočet.



Obrázek 1.16: Horní propust 1. řádu - zapojení



Obrázek 1.17: Horní propust amplitudová charakteristika



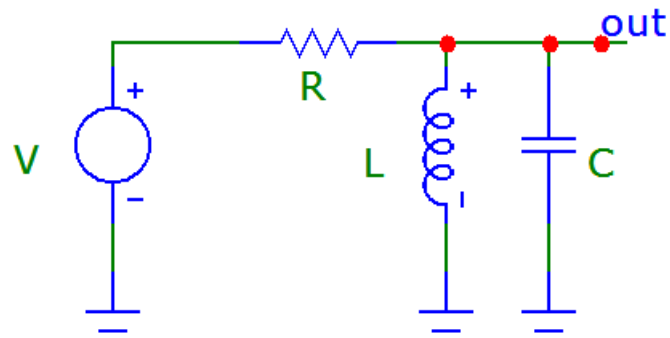
Obrázek 1.18: Horní propust fázová charakteristika

1.7.4 Pásmová propust (2. řádu)

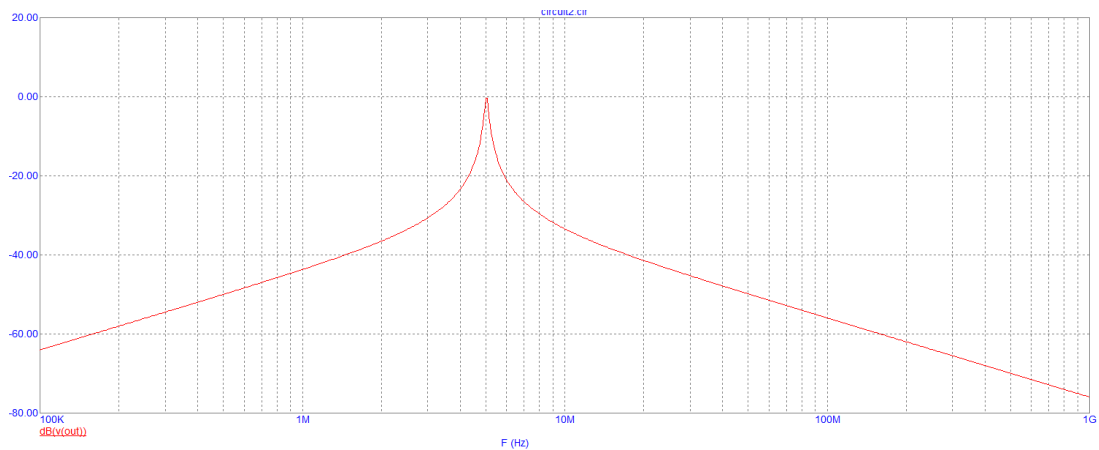
Přenos filtru \mathbf{K} je dán vztahem (1.11):

$$\mathbf{K}(j\omega) = \frac{j\omega/(RC)}{(j\omega)^2 + j\omega/(RC) + 1/(LC)} \quad (1.11)$$

Schéma filtru je na obr. 1.19. Charakteristiky filtru můžeme vidět na obr. 1.20 a 1.21, kde svislé osy znázorňují amplitudu a fázi a vodorovná osa znázorňuje kmitočet.



Obrázek 1.19: Pásmová propust 2. řádu - zapojení



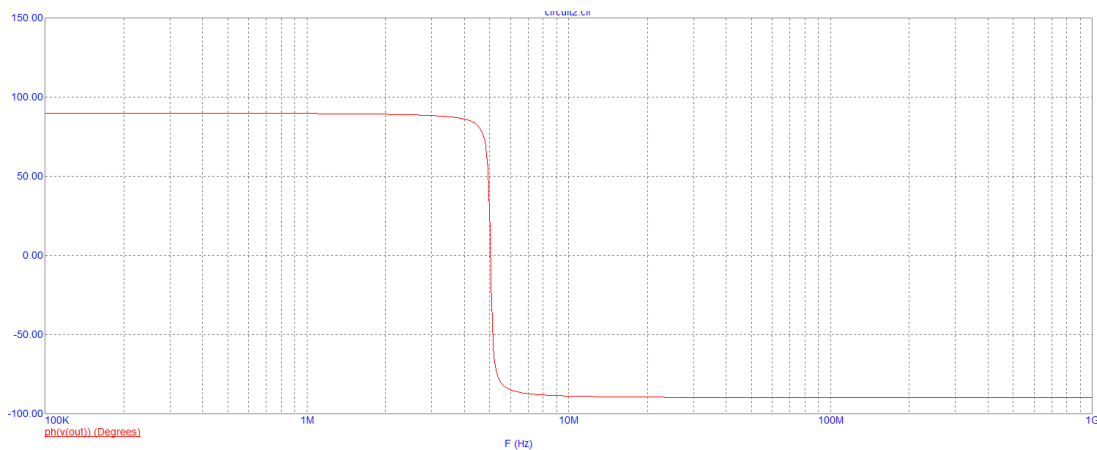
Obrázek 1.20: Pásmová propust amplitudová charakteristika

1.7.5 Pásmová zádrž (2. řádu)

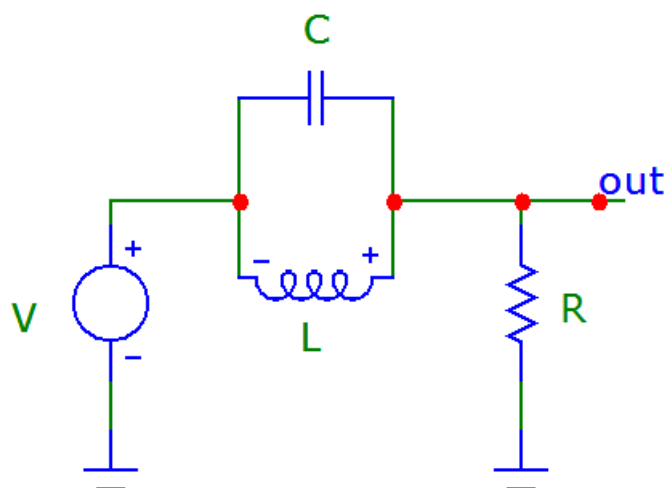
Přenos filtru \mathbf{K} je dán vztahem (1.11):

$$\mathbf{K}(j\omega) = \frac{(j\omega)^2 + 1/(LC)}{(j\omega)^2 + j\omega/(RC) + 1/(LC)} \quad (1.12)$$

Schéma filtru je na obr. 1.22. Charakteristiky filtru můžeme vidět na obr. 1.23 a 1.24, kde svislé osy znázorňují amplitudu a fázi a vodorovná osa znázorňuje kmitočet.



Obrázek 1.21: Pásmová propust fázová charakteristika



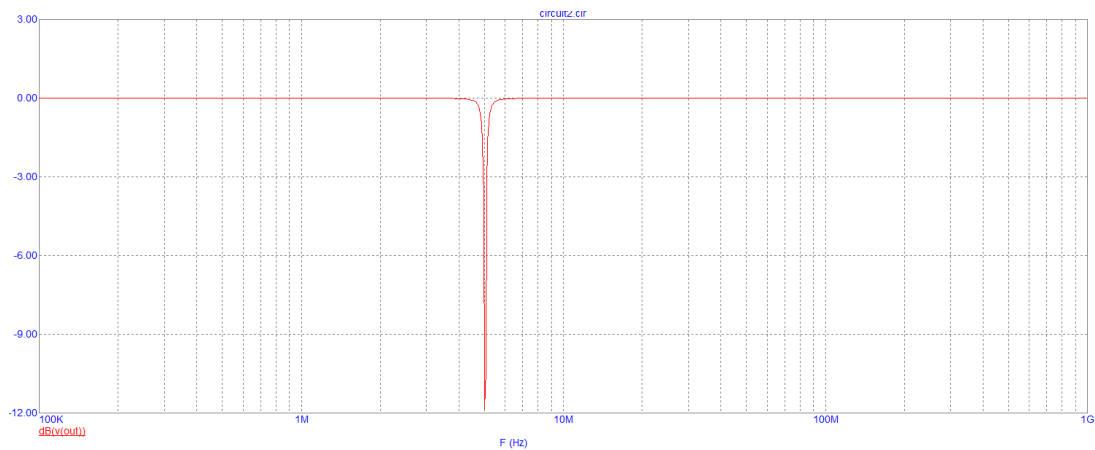
Obrázek 1.22: Pásmová propust 2. řádu - zapojení

1.8 Typy součástek a pouzdra

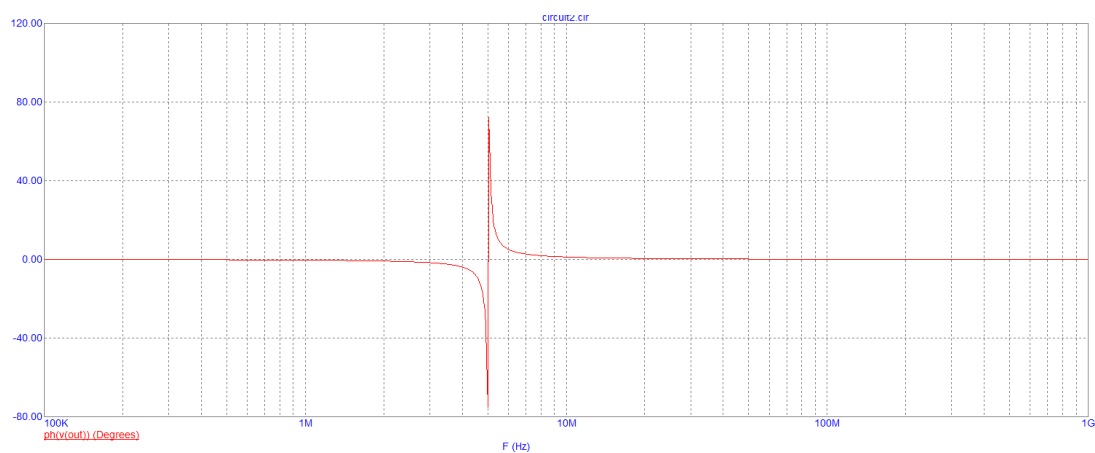
Moderní DPS se snaží používat SMT součástky (pokud nejde o výkonové části) vzhledem k lepším vlastnostem a nepotřebě vrtání DPS. SMT součástky jsou také menší a zabírají méně místa na DPS.

1.8.1 QFP (Quad Flat Package)

Piny jsou uspořádány po stranách součástky. Počet pinů bývá od 32 do 304. Package je používán pro středně výkonné procesory jako jsou například STM32 nebo ATMEGA32. Součástku je možné zapájet v domácích podmínkách. Mezi nejznámější patří TQFP, QFN a PLCC.



Obrázek 1.23: Pásmová zádrž amplitudová charakteristika



Obrázek 1.24: Pásmová zádrž fázová charakteristika

1.8.2 DIP (Dual in-line package)

Piny jsou uspořádány do dvou řad na okraji součástky. Jsou vhodné pro jednoduché mikrokontroléry, operační zesilovače apod. Rozteč jednotlivých pinů často bývá 50 mils (1.27 mm). Mezi nejznámější patří SOIC, SOT a TSOP.

1.8.3 BGA (Ball Grid Array)

Používá se jako package pro výkonnější procesory s velkým počtem pinů uspořádaných do matice na spodní straně součástky. Výhodou BGA je, že zařízení leží přímo na DPS (neobsahuje nožičky) a díky tomu má také výrazně nižší tepelný odpor a nedochází k přehřátí součástky. BGA má také nižší indukčnost spojů, čehož se využívá pro připojení rychlých obvodů, jako jsou například DDR paměti. Nevýhodou package je nutnost strojového osazení a obtížné použití v domácích podmínkách [1].

1.9 Impedance, kapacita, přizpůsobení rychlost šíření signálu

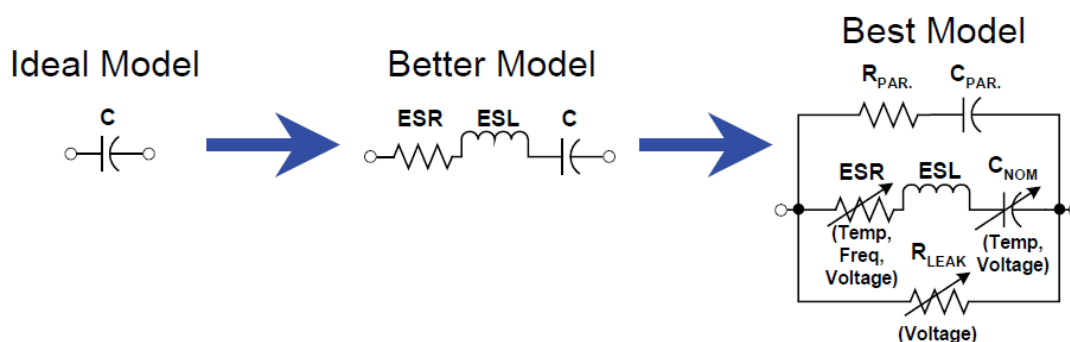
Každý spoj na desce má nějakou indukčnost, kapacitu, impedanci a rychlost šíření. U rychlejších digitálních spojů nebo u analogových spojů se snažíme tyto parazitní jevy minimalizovat.

Rychlost šíření signálu

Obecně platí, že rychlost šíření signálu ve vnějších vrstvách je vyšší oproti vnitřním. Každá součástka má nějaké parazitní vlastnosti. Tyto vlastnosti se bohužel s vyšší frekvencí zhoršují. Proto s nimi při návrhu plošného spoje musíme počítat.

1.9.1 Reálný kapacitor

Nejvýraznějšími vlastnostmi kapacitoru je jeho kapacita ekvivalentní sériový odpor (ESR) a ekvivalentní sériová indukčnost (ESL). Právě ESL způsobuje růst impedance na vyšších frekvencích, obzvláště, používáme-li THT součástky. Pokud dáme více kapacitorů paralelně, může se projevit rezonance, která velkým vlivem zvýší impedanci součástky. Někdy stačí k jednomu kondenzátoru přidat do série rezistor, díky němuž se potlačí rezonanční efekt. Někdy také postačí odstranění některého z paralelních kondenzátorů. Materiál má velký vliv na vlastnosti součástky. Nejčastěji se pro vysoké frekvence používají keramické kondenzátory. Označují se COG, X7R, Z5U a Y5V. Zpravidla je každá třída omezena kapacitou rozsahu. COG mají nejlepší vlastnosti a mívají kapacitu menší než 1000 pF. Y5V se prodávají s kapacitami až 1 uF. Dissipation factor je podíl ESR a kapacitní reaktance a uvádí se v procentech. Fyzikální význam této veličiny je míra ztrát v součástce, kterou prochází AC signál. Hodnota kapacity Y5V se může měnit mezi +22% až -82%. Například u 1 uF to může znamenat změnu v rozmezí 0,122 uF až 0,018 uF. Frekvence má také velký vliv na kapacitory. COG mají nejlepší vlastnosti (0.1% při 10 MHz). Kondenzátory X7R a Z5U se mohou měnit v rozmezí +5% až -15% při frekvenci od 100 Hz do 10 MHz. Kondenzátory také mění své vlastnosti v závislosti na napětí. COG se obecně považuje za nezávislý, ale například se může měnit v rozmezí +20% až -30% se střídavými signály a 0% až -60% se stejnosměrnými signály. Jeho schéma můžeme vidět na obr. 1.25.

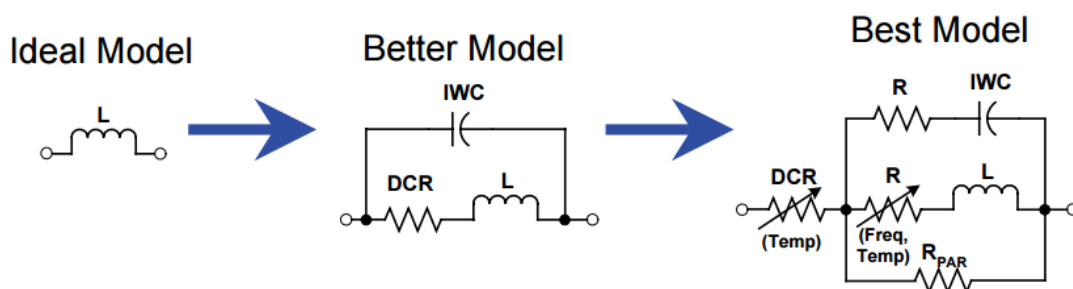


Obrázek 1.25: Model kapacitoru [22]

1.9.2 Reálná indukčnost

Indukčnost má kromě své vlastní indukčnosti ještě další parazitní vlastnosti. Střídavý odpor (DCR) a propojovací kapacita (IWC). Na vysokých frekvencích se induktor

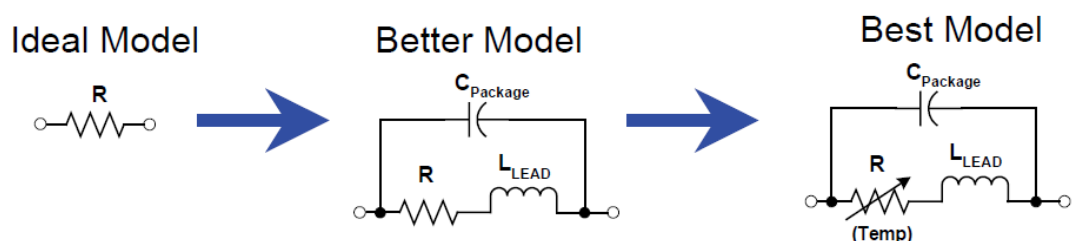
také přestává chovat jako induktor a začínají se více projevovat parazitní jevy. V přechodovém místě bude mít impedance rezonanci, což způsobí výsledný nárůst impedance induktoru. Jeho schéma můžeme vidět na obr. 1.26.



Obrázek 1.26: Model indukčnosti [23]

1.9.3 Reálný rezistor

Parazitní kapacita je způsobena rezistorovým obalem a pájecími ploškami na plošném spoji. Parazitní indukčnost je způsobena délkou nožiček rezistoru a délkou trasy plošného spoje. Obecně lze tyto jevy ignorovat, pokud je hodnota odporu nízká (1 k Ω). Obecně platí, že SMD rezistory mají podstatně lepší vysokofrekvenční vlastnosti než THT rezistory. Jeho schéma můžeme vidět na obr. 1.27.



Obrázek 1.27: Model rezistoru [24]

1.10 Vedení, kapacita, impedance, efektivní permitivita

Parametry vedení jsou:

R – měrný odpor [Ω/m]

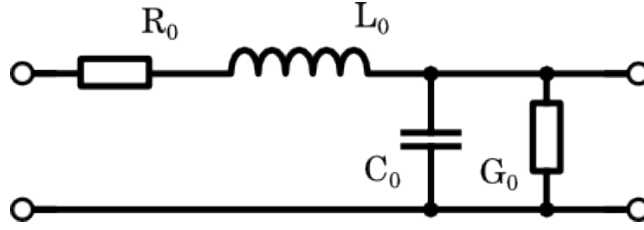
L – měrná indukčnost [H/m]

G – měrná příčná vodivost [S/m]

C – měrná kapacita [F/m]

$$du = \frac{\partial u(z, t)}{\partial z} \cdot dz \quad (1.13)$$

$$di = \frac{\partial i(z, t)}{\partial z} \cdot dz \quad (1.14)$$



Obrázek 1.28: Parametry vedení [25]

Z rovnic (1.13) a (1.14) se pomocí úprav můžeme dostat k charakteristické impedanci vedení Z_v . Podrobný postup je v [2].

$$Z_v = \frac{Z_m}{\gamma} = \frac{Z_m}{\sqrt{Z_m \cdot Y_m}} = \sqrt{\frac{Z_m}{Y_m}} = \sqrt{\frac{R + j \cdot \omega \cdot L}{G + j \cdot \omega \cdot C}} \quad (1.15)$$

kde γ je konstanta šíření, Z_m podélná měrná impedance, Y_m podélná měrná admittance, ω úhlová rychlost a ostatní neznámé jsou parametry vedení uvedené na začátku kapitoly. Pokud uvažujeme bezztrátové vedení ($R=0$, $G=0$), můžeme se dostat ke vztahu:

$$Z_v = \sqrt{\frac{L}{C}} \quad (1.16)$$

$$Z_v = \frac{\sqrt{\varepsilon_{ef}}}{c \cdot C} = \frac{1}{c \cdot \sqrt{C \cdot C(\varepsilon_r = 1)}} = \frac{\sqrt{\varepsilon_{ef}} \cdot \sqrt{\varepsilon_0 \cdot \mu_0}}{C} = \frac{\sqrt{\varepsilon_{ef}} \cdot \varepsilon_0 \cdot 120 \cdot \pi}{C} \quad (1.17)$$

kde ε_{ef} je efektivní permitivita, c rychlost světla ve vakuu, ε_0 permitivita vakua, μ_0 permeabilita vakua, C kapacita.

Za určitých podmínek je v místě vedení z vytvořena impedance od Z_k

$$Z = Z_v \cdot \frac{1 + \rho_k \cdot e^{+2 \cdot \gamma \cdot (-l)}}{1 - \rho_k \cdot e^{+2 \cdot \gamma \cdot (-l)}} = \frac{Z_k + Z_v \cdot \operatorname{tgh}(\gamma \cdot l)}{1 + \frac{Z_k}{Z_v} \cdot \operatorname{tgh}(\gamma \cdot l)} \quad (1.18)$$

1.10.1 Efektivní permitivita

Udává podíl kapacity vedení na jednotku délky ku kapacitě vedení na jednotku délky s $\varepsilon_r=1$.

$$\varepsilon_{ef} = \frac{C}{C(\varepsilon_r = 1)} \quad (1.19)$$

1.10.2 Kapacita

Jelikož z normálního mikropáskového vedení není možné určit kapacitu (resp. hodně obtížné), je nutné použít konformní zobrazení, které zachová kapacitu a je možné ji

numericky spočítat. Spočívá to v tom, že šířku spoje uvažujeme stejně širokou jako šířku vztaženého potenciálu. [2] Můžeme vidět paralelu výpočtu deskového kondenzátoru

$$C = \varepsilon_{ef} \cdot \varepsilon_0 \cdot \frac{w_f}{h} \cdot 1 \quad (1.20)$$

kde je w_f je šířka spoje, h tloušťka spoje.

1.10.3 Mikropáskové vedení

Vlnový odpor je dán vztahy

$$Z_v = \frac{120\pi}{\sqrt{\varepsilon_{ef}}} \cdot \frac{h}{w_f} \quad (1.21)$$

$$w_f = \frac{2 \cdot \pi \cdot h}{\ln\left(\frac{8 \cdot h}{w} + \frac{w}{4 \cdot h}\right)} \quad \text{pro } \frac{w}{h} \leq 1 \quad (1.22)$$

$$w_f = w + 2.42 \cdot h - 0.44 \cdot \frac{h^2}{w} + h \cdot \left(1 - \frac{h}{w}\right)^6 \quad \text{pro } \frac{w}{h} \geq 1 \quad (1.23)$$

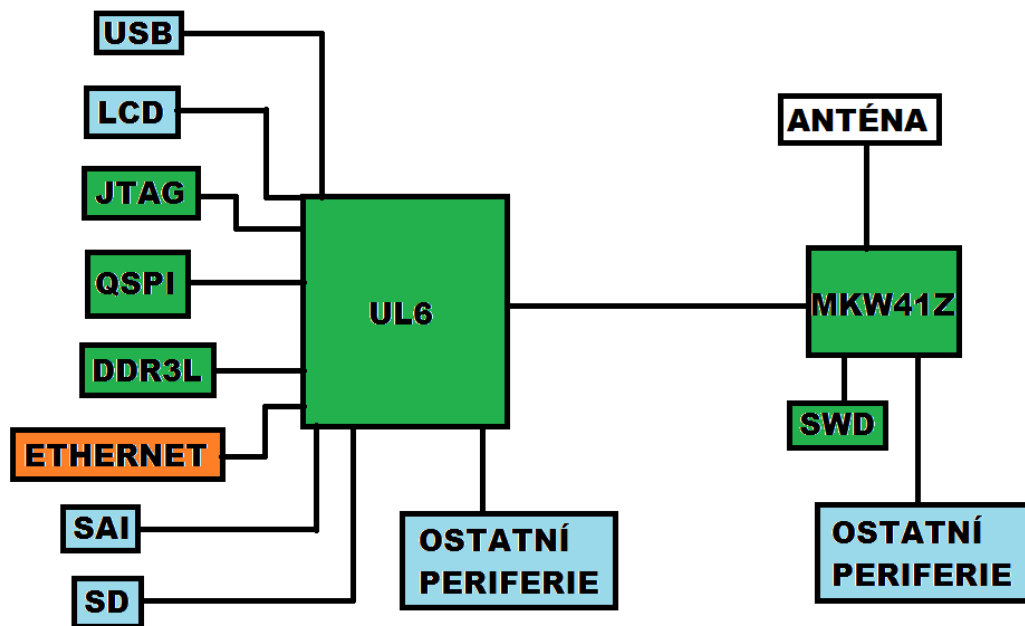
$$\varepsilon_{ef} = \frac{er + 1}{2} + \frac{er - 1}{2} \cdot \left[\frac{1}{\sqrt{1 + 12 \cdot \frac{h}{w}}} + 0.04 \cdot \left(1 - \frac{w}{h}\right)^2 \right] - \frac{er - 1}{4.6} \cdot \frac{\frac{t}{h}}{\sqrt{\frac{w}{h}}} \quad \text{pro } \frac{w}{h} \leq 1 \quad (1.24)$$

$$\varepsilon_{ef} = \frac{er + 1}{2} + \frac{er - 1}{2} \cdot \frac{1}{\sqrt{1 + 12 \cdot \frac{h}{w}}} - \frac{er - 1}{4.6} \cdot \frac{\frac{t}{h}}{\sqrt{\frac{w}{h}}} \quad \text{pro } \frac{w}{h} \geq 1 \quad (1.25)$$

2. Praktická část

2.1 Blokové schéma

Modul se skládá ze dvou mikrokontroléru (UL6 a MKW41Z). Na modulu jsou k UL6 připojeny JTAG, QSPI a DDR3L. U ethernetů je možnost osazení nulových odporů na modul (jejich zapojení vně modulu), nebo osazení fyzických ethernetů na modul. Periferie jako I2S (SAI), SD, USB, LCD a další vedou na výstup RIMu. K UL6 je také připojen MKW41Z přes SPI, kde MASTER je UL6 a MKW41Z demonstruje SLAVE. MKW41Z je na modulu kvůli bezdrátovému přenosu dat. Zákazník si bude moci zvolit, má-li být osazen. Jelikož v dnešní době má většina výrobců nastavitelný pinout, uživatel si jej může nastavit. Nevýhodou je, že se většinou alternativy překrývají a tím pádem se nedá potenciál mikrokontroléru naplno využít. Já jsem zkoušením různých kombinací splnil požadované vlastnosti modulu, výjimkou je neosazení NAND paměti jako alternativy QSPI, jelikož by na tuto realizaci bylo potřeba více signálových vrstev DPS. Nicméně to nevadí - je to alternativa. Na obr. 2.1 je blokové schéma modulu.



Obrázek 2.1: Blokové schéma modulu

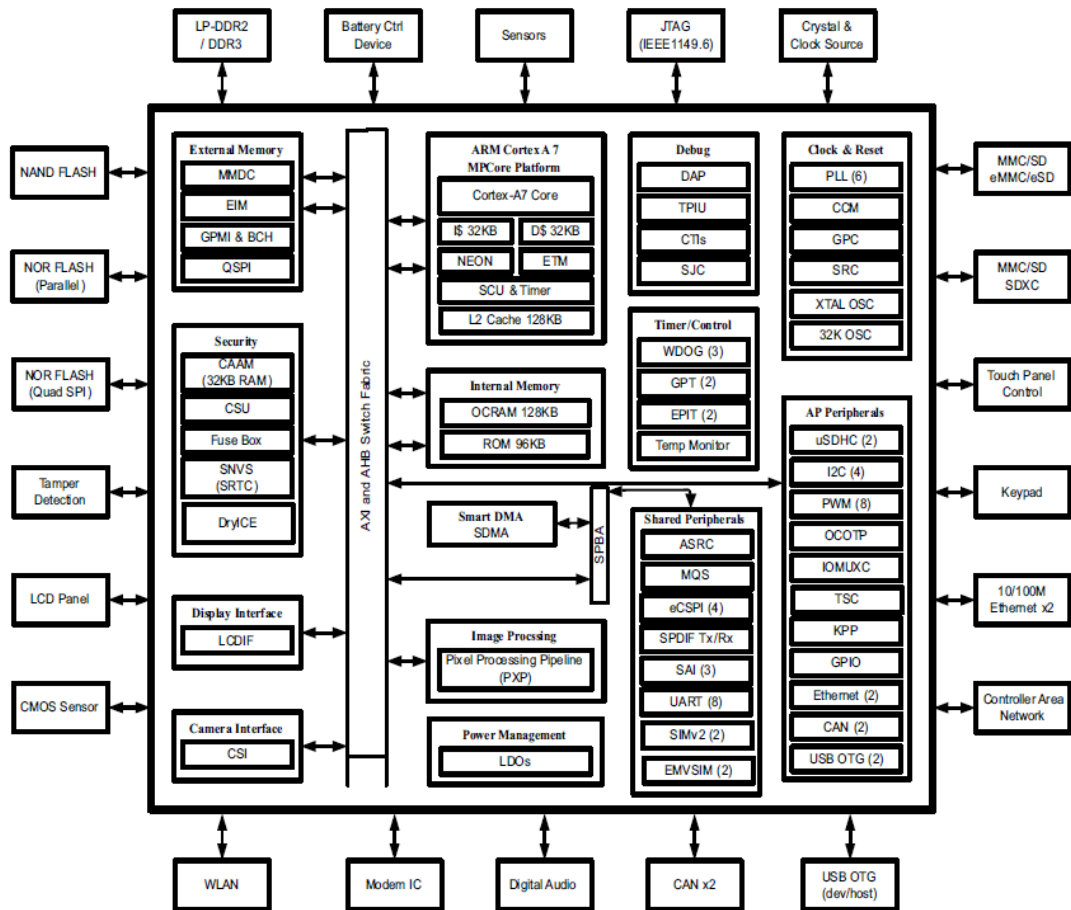
2.2 Mikrokontroléry

2.2.1 i.MX UltraLite6

Vybral jsem tento mikrokontrolér, jelikož firma Elnico používá pro své moduly mikrokontroléry této rodiny. Na obr. 2.2 je blokové schéma mikrokontroléru. Veškeré informace o mikrokontroléru jsou k nalezení v [11]

Vlastnosti:

- **Frekvence jádra:** 538 MHz
- **Jádro** – 32-bit ARM Cortex-A7 32 KB L1 instrukční cache, 32 KB L1 datová cache
- **General Interrupt Controller** – (GIC) s podporou 128 přerušení
- **DDR paměť** – 16-bit LP-DDR2-800, 16-bit DDR3-800 a LV-DDR3-800
- **Flash paměť** – 8-bit NAND-Flash, 16/8-bit NOR Flash
- **Displej** – Podpora 24-bit, 18-bit, 16-bit, a 8-bit paralelního displeje o hodinové frekvenci 85 MHz a rozlišením WXGA (1366 x 768)
- **Kamerový senzor** – podpora 24-bit, 16-bit, 10-bit, a 8-bit vstupu o frekvenci 238 MHz, podpora rozhraní BT.656
- **USB:** 2x high speed (HS) USB 2.0 OTG
- **Další rozhraní** – SAI, 8x UART, 4x eCSPI, 4x IIC, 2x Ethernet, 8x PWM, JTAG, 1x QSPI, 2x FlexCAN, 3x WDOG, 2x 12 bit ADC

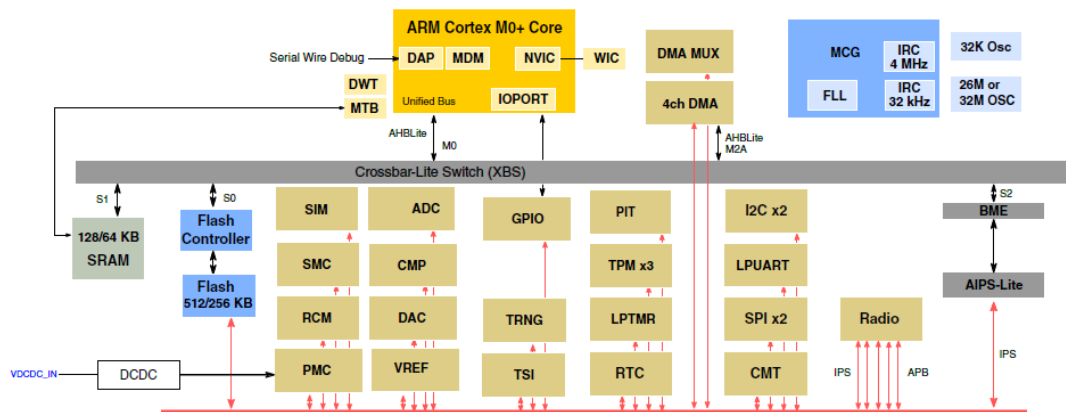


Obrázek 2.2: Blokový diagram UL6 [26]

2.2.2 MKW41Z

Vybral jsem tento mikrokontrolér, jelikož se rozměrově vejde do modulu a má možnosti bezdrátového přenosu přes Bluetooth 4.2 nebo 802.15.4 [8]. Tento mikrokontrolér má také spoustu sběrnic, které využiji pro zaplnění RIMu modulu. Na obr. 2.3 je blokové schéma mikrokontroléru.

- Frekvence jádra – 48 MHz
- Jádru – 32-bit Cortex M0+
Podpora 32 interrupt
- Serial Wire Debug (SWD)
- Tři konfigurace napájení – Boost, Buck a Bypass Mode
- Paměti – 512 kB Flash, 128 kB SRAM
- Další rozhraní – 1x 4-CH DMA, 1x 16-bit ADC, 1x 12-bit DAC, 2x SPI, 2x IIC, RTC a další...
- Komunikace BT 4.2, 802.15.4



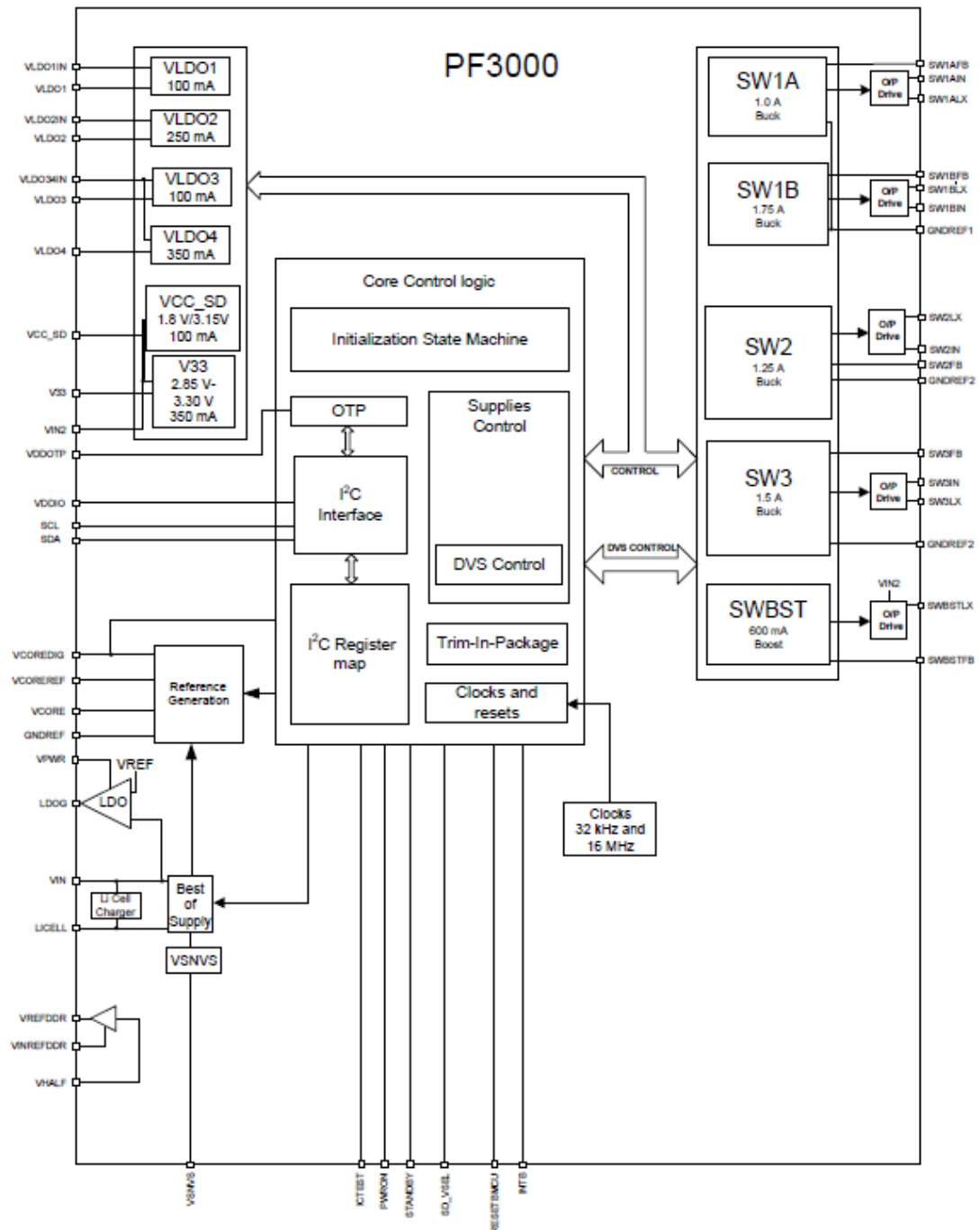
Obrázek 2.3: Blokový diagram MKW41Z [27]

2.3 Zdroj

PF3000

Tento zdroj jsem vybral, jelikož je nejideálnější sestavou zdrojů pro mikrokontrolér UL6. Je přímo od výrobce UL6 a obsahuje všechna potřebná napětí pro chod modulu. Na obr. 2.4 je blokové schéma zdroje.

- **Step-down (Buck)** – SW1A (1.0 A, 0.7 - 1.425 V, 1.8 V, 3.3 V), SW1B (1.75 A, 0.7 - 1.475 V), SW2 (1.25 A, 1.50 - 1.85 V or 2.50 V to 3.30 V) a SW3 (1.5 A, 0.90 - 1.65 V)
- **Step Up (Boost)** – SWBST (5.0 - 5.15 V, 0.6 A)
- **Low-dropout regulator** – VCC_SD (1.8 V - 1.85 V nebo 2.85 - 3.30 V, 100 mA), V33 (2.85 - 3.30 V, 350 mA), VLDO1 (1.8 V to 3.3 V, 100 mA), VLDO2 (0.80 - 1.55 V, 250 mA), VLDO3 (1.8 - 3.3 V, 100 mA), VLDO4 (1.8 - 3.3 V, 350 mA)
- **Další zdroje** – RTC Regulator/Switch VSNVS (3.0 V, 1.0 mA), VREFDDR (0.5 - 0.9 V, 10 mA)



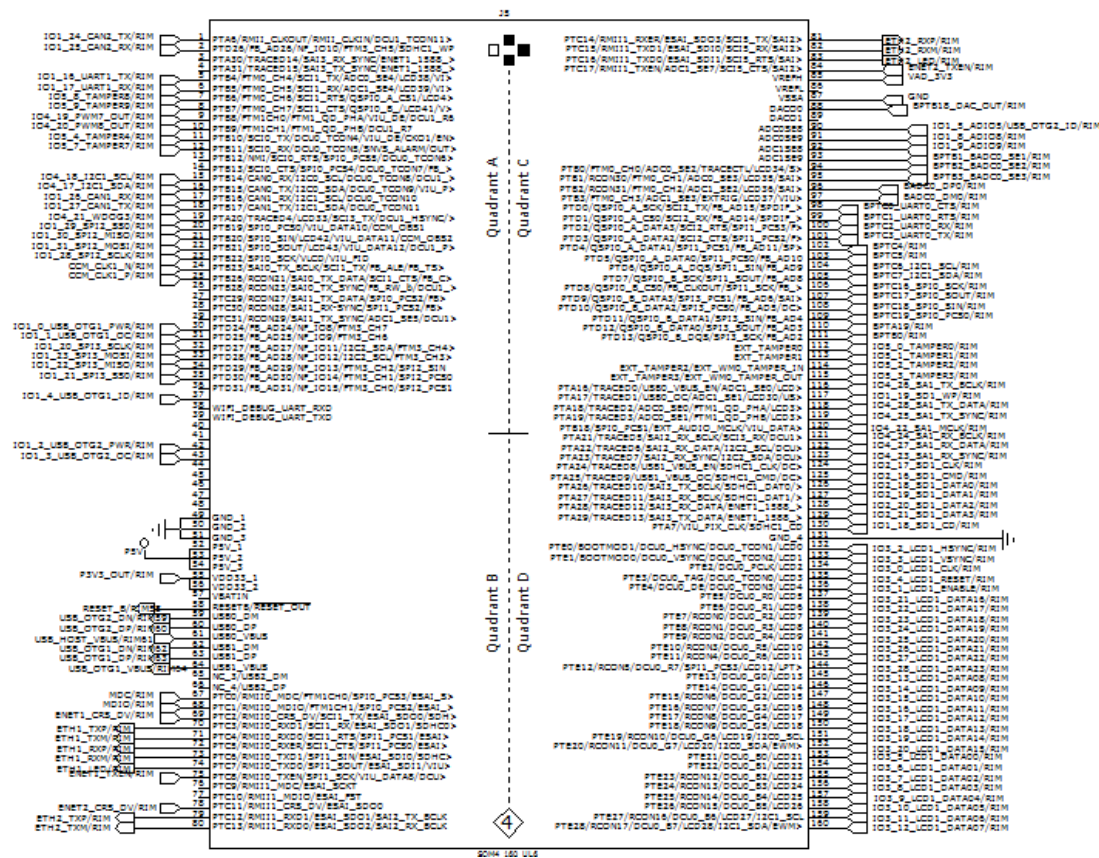
Obrázek 2.4: Blokový diagram PF3000 [28]

2.4 Schéma modulu

2.4.1 RIM

RIM je registrovaná značka firmy Elnico. Jedná se o 160 vývodů uspořádaných do čtverce o rozměrech 42x42 mm. Jelikož pro testování a pro popularizaci modulů firma Elnico používá EasyBoard, byl jsem pinoutem v mnoha ohledech omezován. Tento modul je tedy v některých částech kompatibilní s ostatními moduly, což přináší výhody

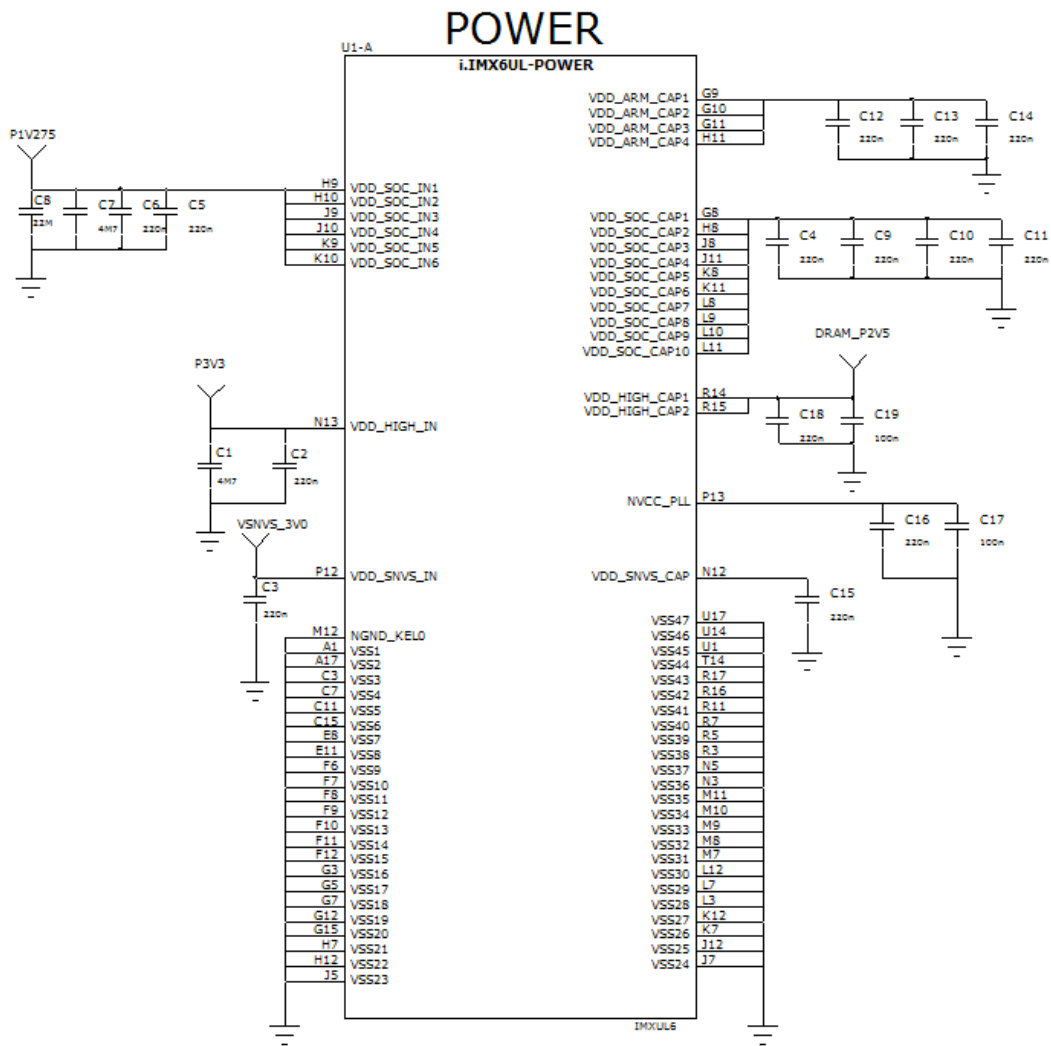
pro softwaráře a zákazníky, ale značně to stížilo návrh modulu. Díky tomuto např. nešla zařadit NAND paměť. Na obr. 2.5 je zapojení RIMu.



Obrázek 2.5: Pinout RIM

2.4.2 PF3000

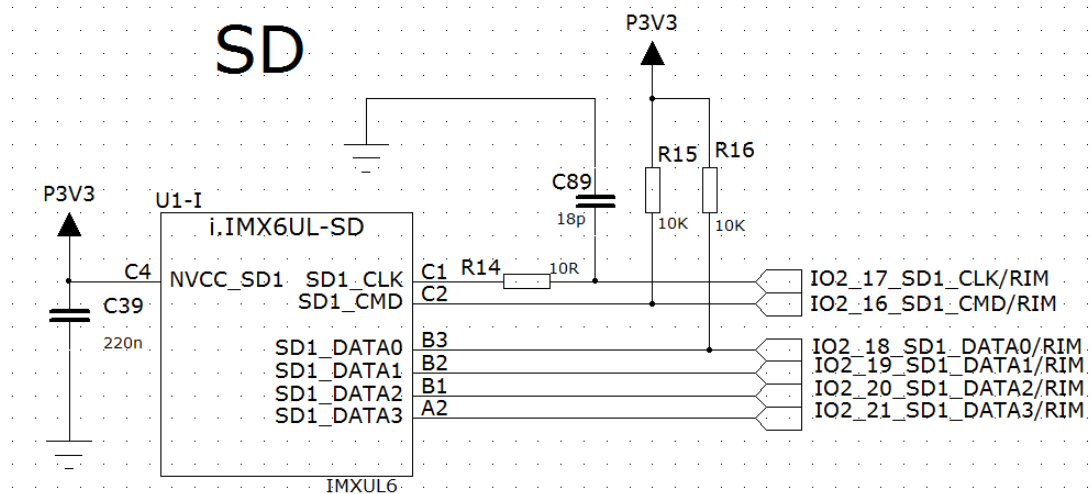
Na obrázku 2.6 můžeme vidět schéma zapojení napájecího zdroje. Zdroj je napájen z 5 voltové reference, u které je tranzistor Q2, který snižuje napětí na 4,5 - 5,5 V (obrázky). U bezbateriových aplikací, pokud napájení překročí 4,5 V, je regulátor aktivován, a dojde k připojení VPWR k hlavnímu zdroji VIN. Pokud VIN dosáhne prahové hodnoty UVDET (náběžná hrana 3.1 V, sestupná hrana 2.5 V), je reference přepnuta na sledovač, který udržuje požadovanou přesnost. Pro aplikace nižší napájení než je 4,5 V se VPWR a VIN se použije jako hlavní napájecí pin (to v našem případě neplatí). Programově lze nastavit režim nízké spotřeby pomocí registrů. Maximální pracovní napětí je 4,55 V, minimální 2,8 V. Pin LICELL je připojen k externí baterii, supercapu, který udrží zařízení v chodu v případě poklesu napájecího napětí. Pro napájení DDR paměti byl zvolen SW3, který má výstupní napětí 1,35 V, které je použito jako vstup do pinů VINREFDDR a VHALF pro vytvoření potřebného polovičního napětí DRAM_VREF paměti. Pravá část schématu je tvořena spínanými zdroji vytvořená pro potřebná napětí modulu. V levé části jsou lineární zdroje použité pro zbytek napájení (např. SD). Pin VSNVS slouží k napájení RTC a SNVS. Zapojení bylo inspirováno zapojením typických aplikací v datasheetu. Je doporučeno modul napájet z 5 V zdroje. [7]



Obrázek 2.7: UL - napájecí část

UL6 SD

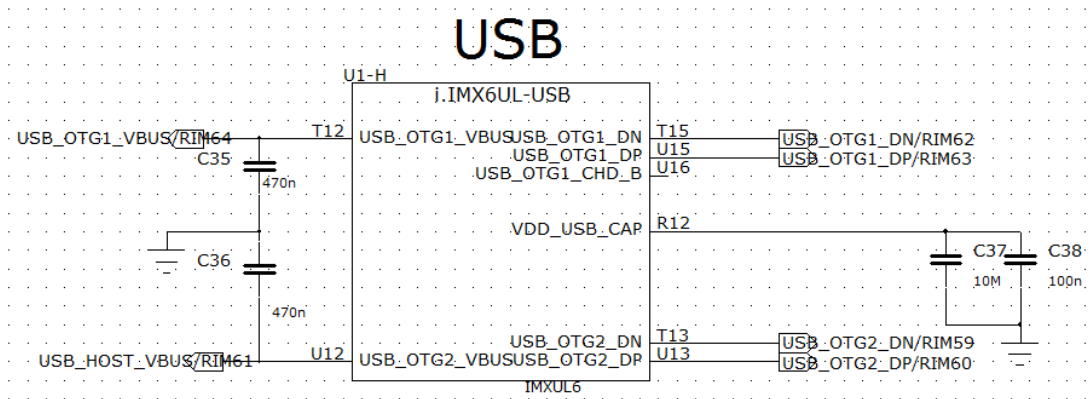
Zapojení SD karty je na obrázku 2.8.



Obrázek 2.8: UL - SD

UL6 USB

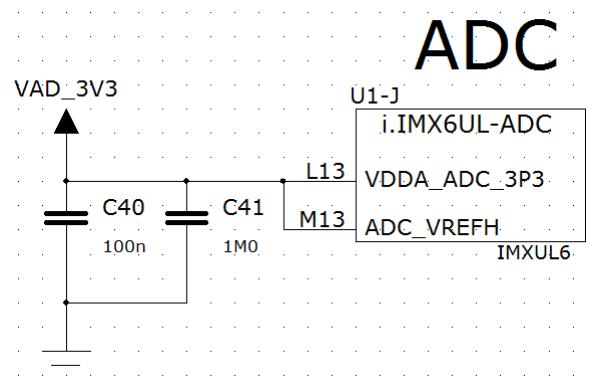
Zapojení USB je na obrázku 2.9.



Obrázek 2.9: UL - USB

UL6 ADC

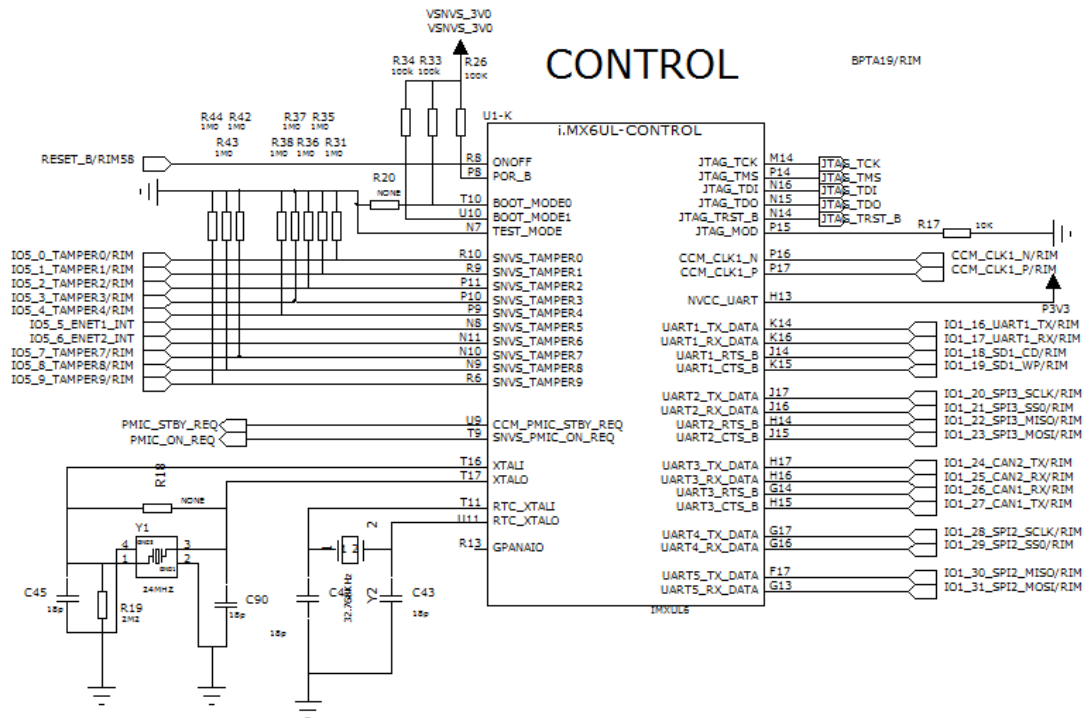
Zapojení napájení AD převodníku je na obrázku 2.10.



Obrázek 2.10: UL - ADC

UL6 CONTROL

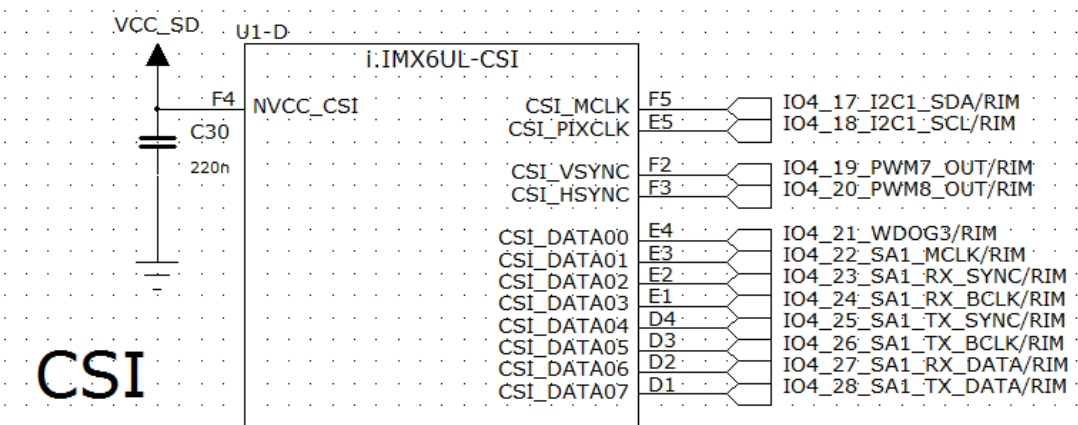
Zde můžeme vidět zapojení oscilátoru 24 MHz a krystalu 32 kHz, dále připojení na JTAG, SNVS TAMPERy, které můžeme buď uzemnit a snížit tím spotřebu zařízení anebo připojit na RIM a získat tím další IO porty. Dále je zde nastavení výběru BOOT konfigurace (BOOT_MODE0 a BOOT_MODE1). Na pravé straně jsou UART, SPI a CAN. Zapojení je na obr. 2.11.



Obrázek 2.11: UL - CONTROL

UL6 CSI

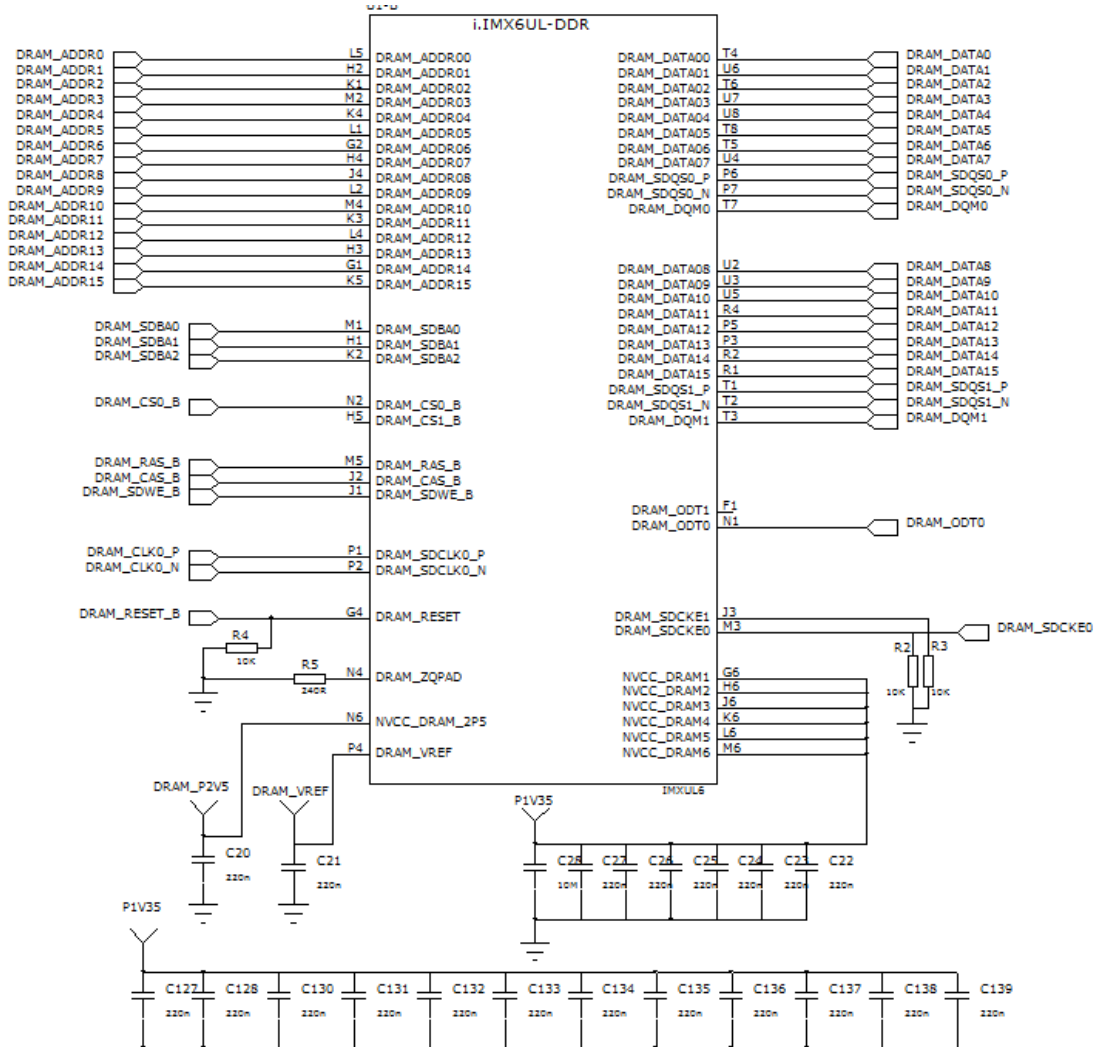
CSI zde nebylo použito, využili se alternativy I2C, WDOG, PWM a SAI (I2S). Zapojení je na obr. 2.12.



Obrázek 2.12: UL - CSI

UL6 DDR

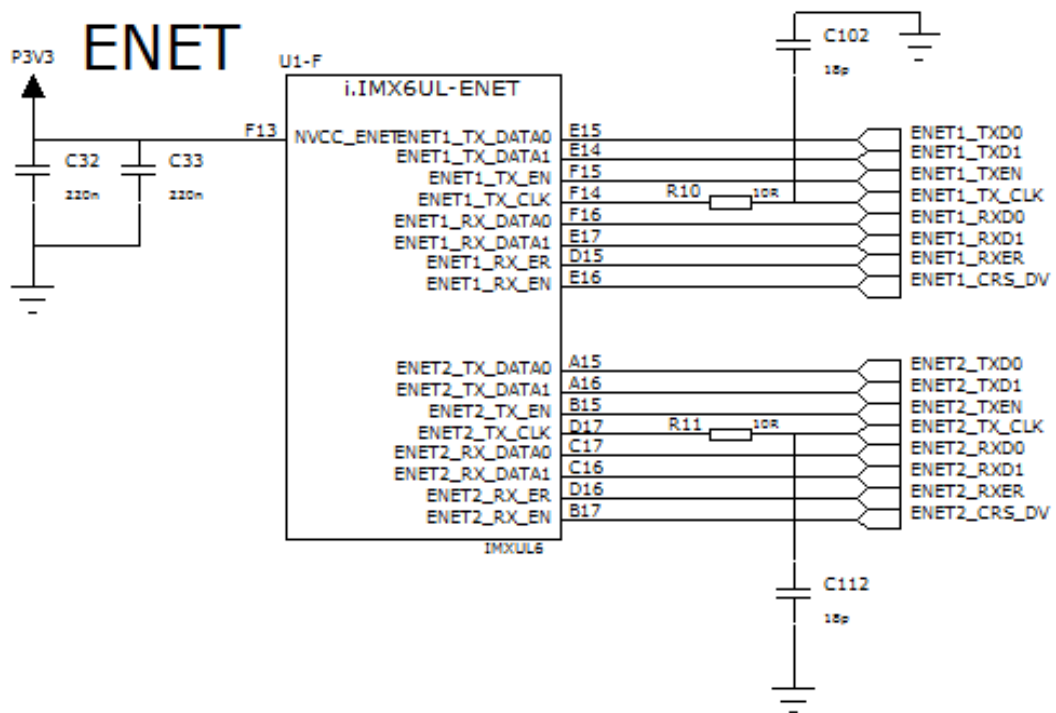
Zapojení DDR z hlediska schématu není nijak zvlášť obtížné. Vidíme zde 10k rezistor u RESETu na GND, 240R na ZQPAD pro zlepšení impedance a dva 10k rezistory SDCKE na GND [10]. Zbytek jsou kondenzátory, které jsou dány výrobcem. Ostatní piny jdou na DDR paměť. Zapojení je na obr. 2.13.



Obrázek 2.13: UL - DDR

UL6 ENET

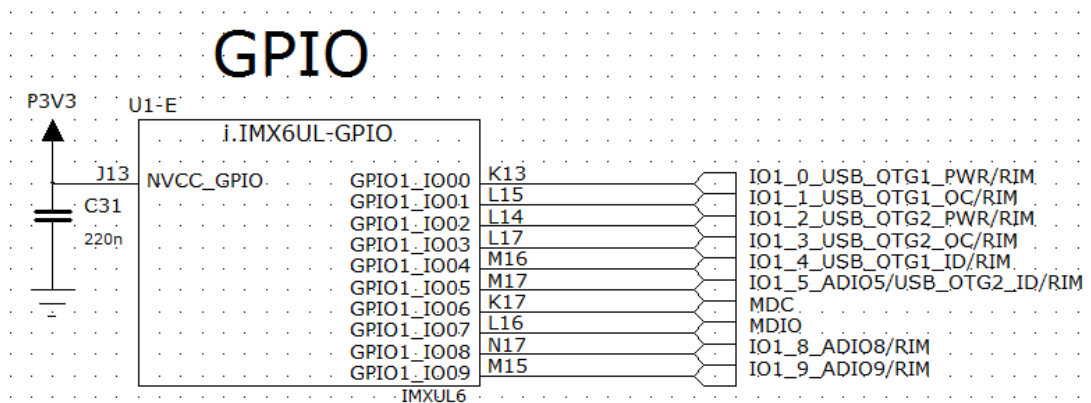
Ethernet obsahuje RC člunek na hodinových signálech, který slouží ke zlepšení vlastností signálu. Jde o dolní propust s fázovým posunem -3 stupně a poklesem amplitudy na -14 dBm. Zapojení je na obr. 2.14.



Obrázek 2.14: UL - ENET

UL6 GPIO

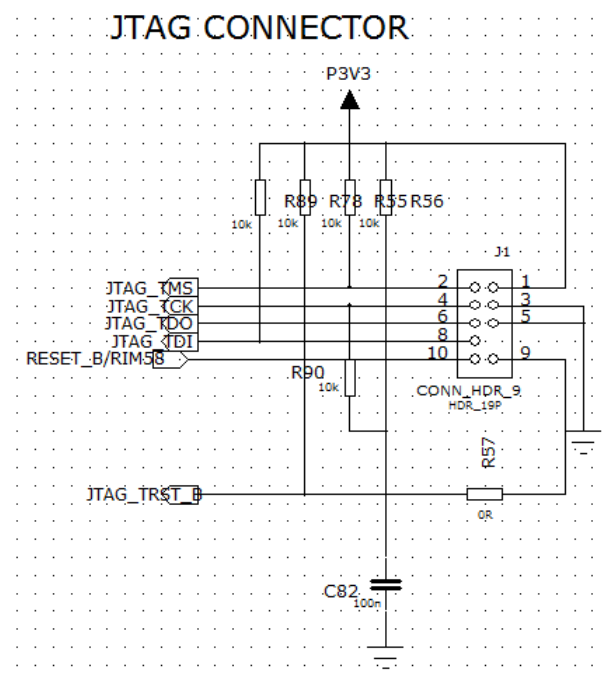
GPIO blok jsem využil pro USB, AD převodníky a v neposlední řadě pro řízení ethernetu (MDIO, MDC). Zapojení je na obr. 2.15.



Obrázek 2.15: UL - GPIO

UL6 JTAG

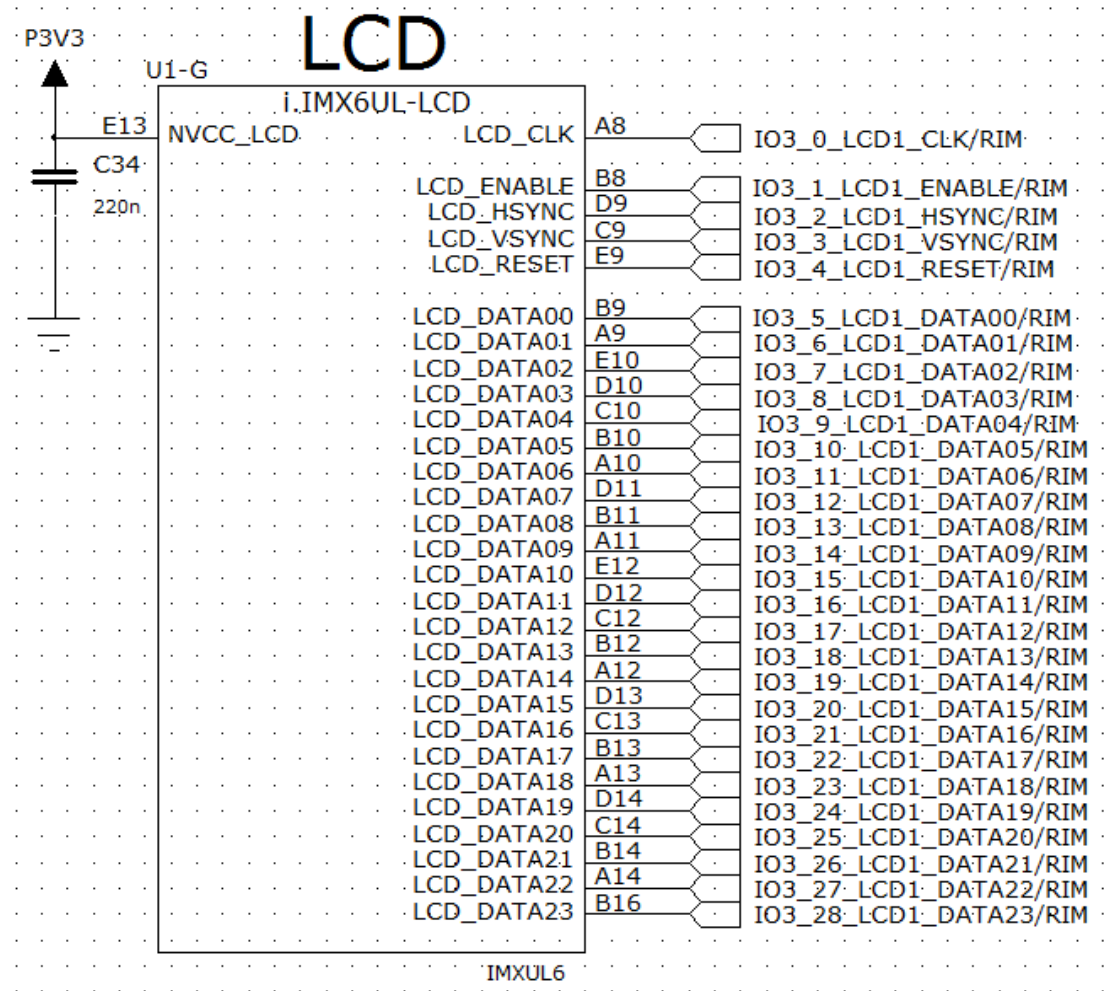
Použil jsem klasické zapojení JTAGu. Zapojení je na obr. 2.16.



Obrázek 2.16: UL - JTAG

UL6 LCD

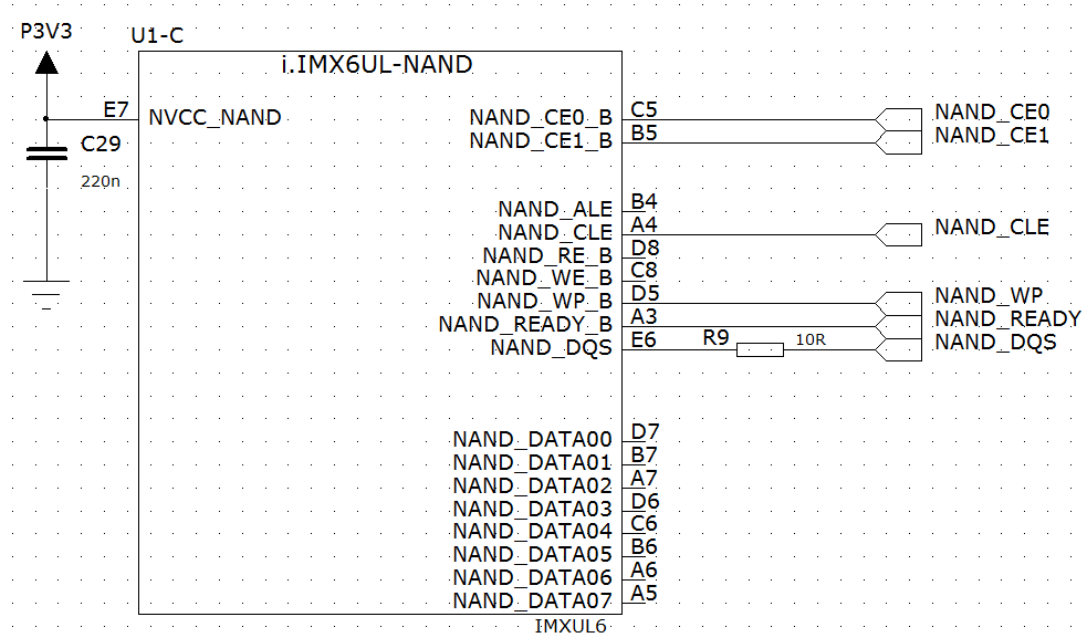
UL6 umožňuje připojit 8bit RGB LCD displej. Piny jsem vyvedl na RIM. Bohužel z pohledu DPS nebylo zcela vhodné zapojení pinoutu a díky tomu nemohla být osazena NAND paměť. Zapojení je na obr. 2.17.



Obrázek 2.17: UL - LCD

UL6 QSPI

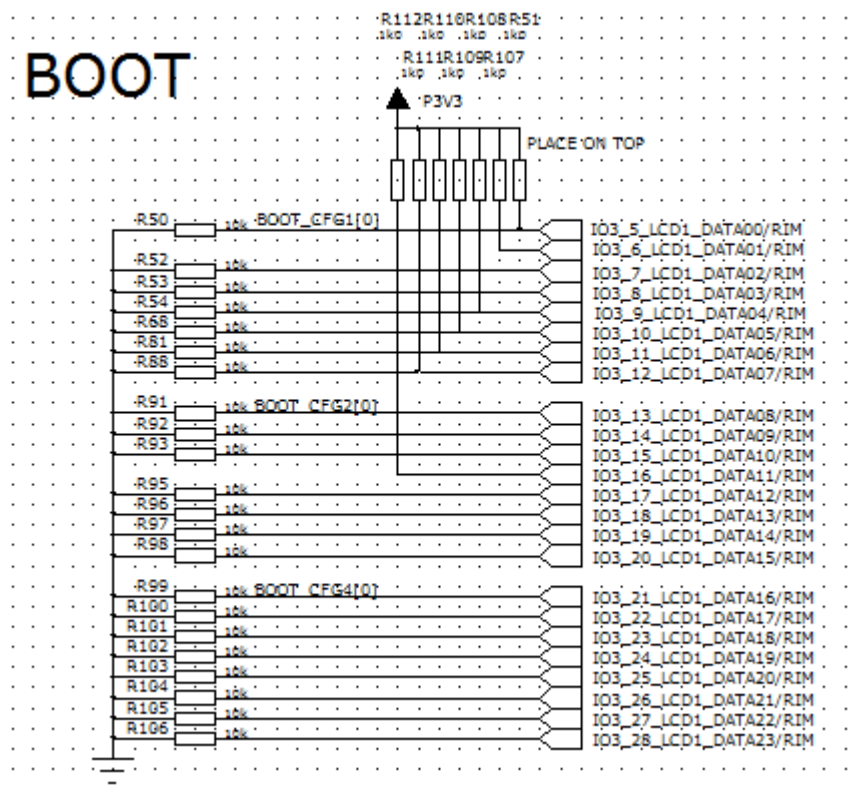
UL6 podporuje připojení paměti NAND nebo QSPI. Původně jsem chtěl připojit obě paměti, s tím, že by se osadila pouze jedna, ale kvůli počtu vrstev DPS, je připojena jen QSPI. Zapojení je na obr. 2.18.



Obrázek 2.18: UL - NAND

UL6 BOOT

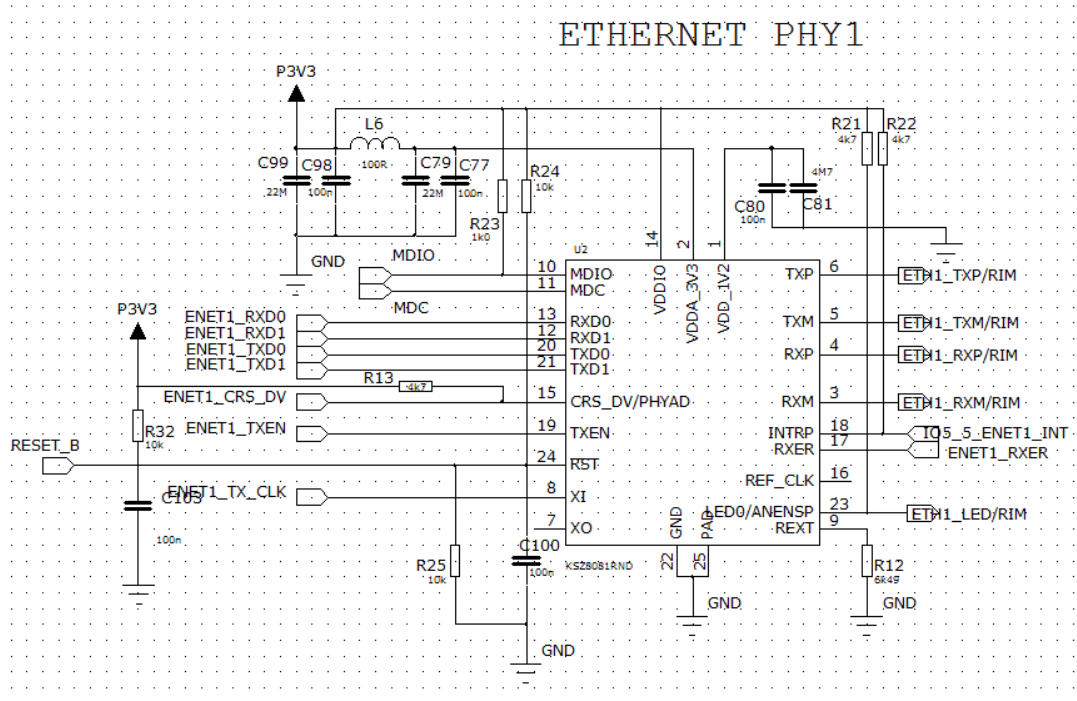
BOOT nastavení je připojeno na piny LCD. Nechal jsem možnost plné konfigurace, ikdyž ne všechny součástky budou osazeny. Je to kvůli možné upravě pro následující verze modulu. Zapojení je na obr. 2.19.



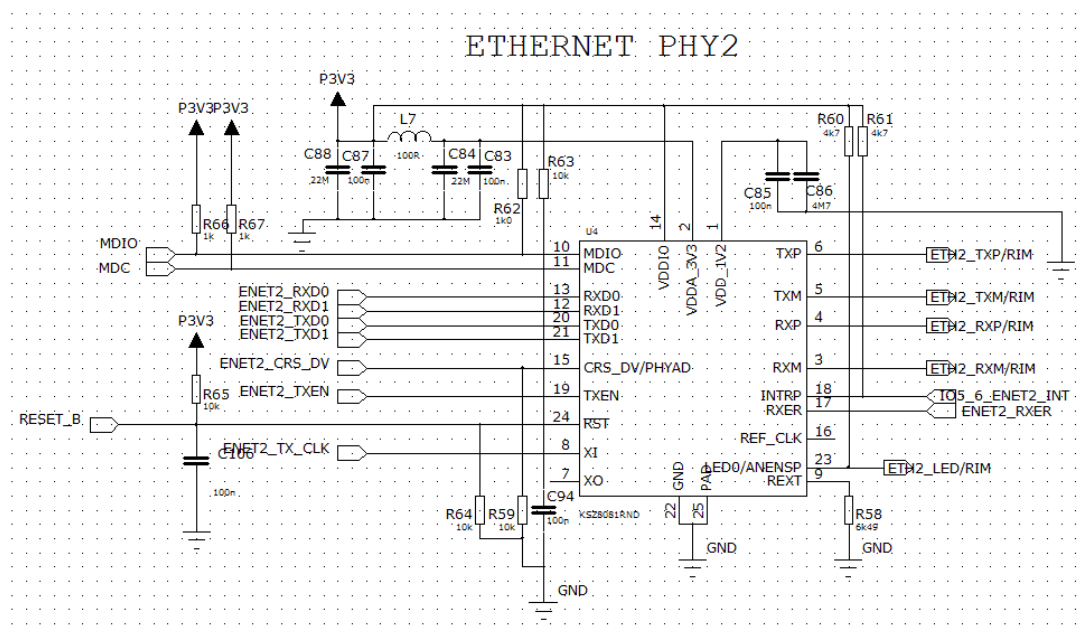
Obrázek 2.19: UL - BOOT

2.4.4 Ethernet

Je zde několik variant. Ethernet1 a Ethernet2, mezi kterými je rozdíl pinu PHYADR, kde Ethernet1 je pull-up a Ethernet2 je pull-down. Tím se docílilo toho, že každý z nich má jinou fyzickou adresu. Je tu ještě možnost, že zákazník nebude chtít osadit ethernet přímo na modul. Pak se tam dají nulové odpory. Zapojení jsou na obr. 2.20 a 2.21. Částečné schéma zapojení bylo převzato z [9].



Obrázek 2.20: ENET1

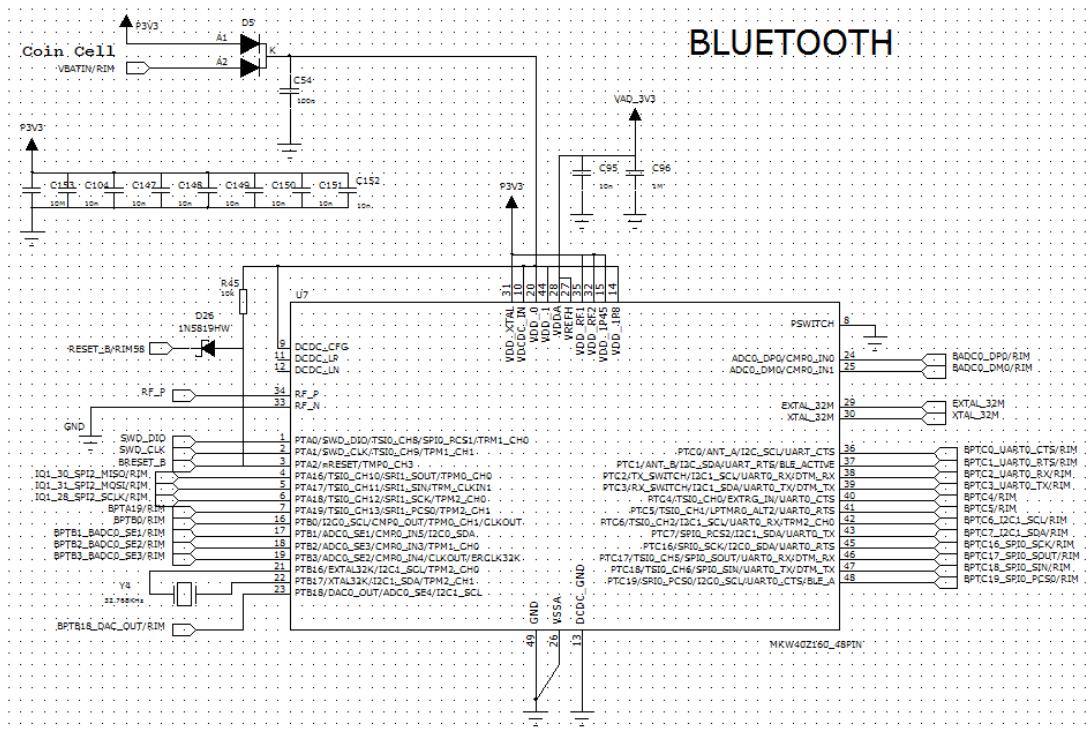


Obrázek 2.21: ENET2

2.4.5 KMW41Z

uC

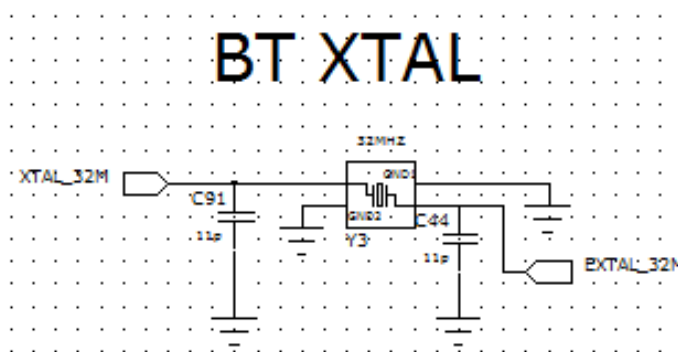
Napájení - mimo napájení z 3,3 V zdroje jsem přidal možnost přímého napájení z baterie. Je zde také ještě napájení AD převodníku. Použité kondenzátory jsou zvoleny z doporučení výrobce. Je zde analogová zem VSSA vztažená v jednom bodě na DPS k GND, proto takovéhle zapojení. Zapojení je na obr. 2.22.



Obrázek 2.22: uC

XTAL

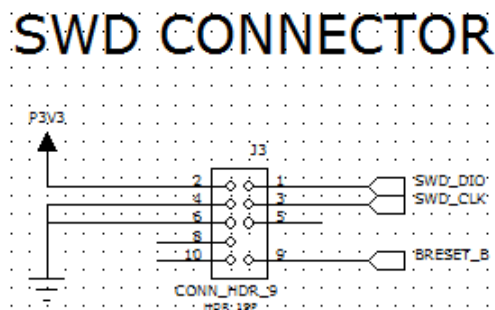
Zapojení 32 MHz krystalu k mikrokontroléru. Zapojení je na obr. 2.23.



Obrázek 2.23: BT XTAL

SWD

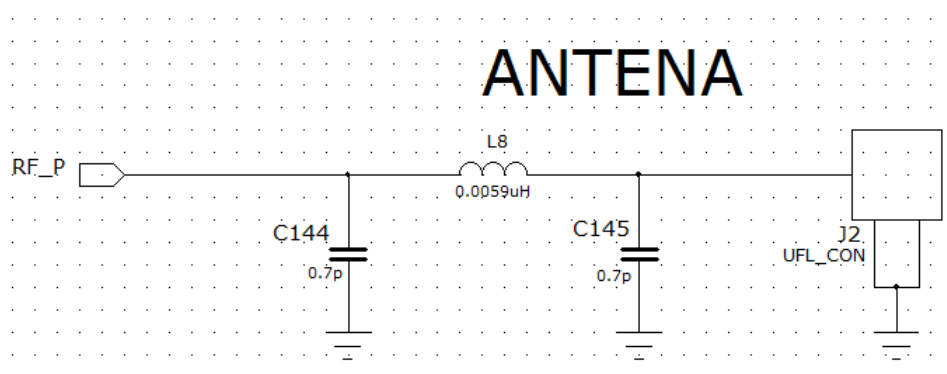
Schéma redukovaného JTAGu, kde jsou jen piny DIO pro přenos dat a CLK pro hodinový signál. Zapojení je na obr. 2.24.



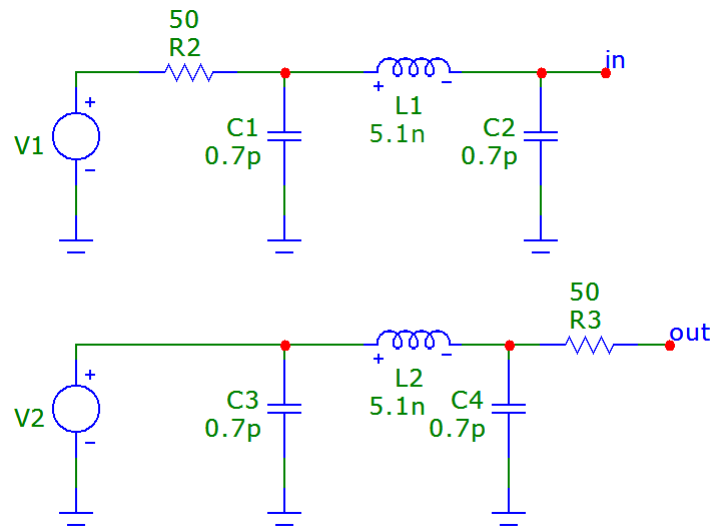
Obrázek 2.24: BT SWD

Anténa

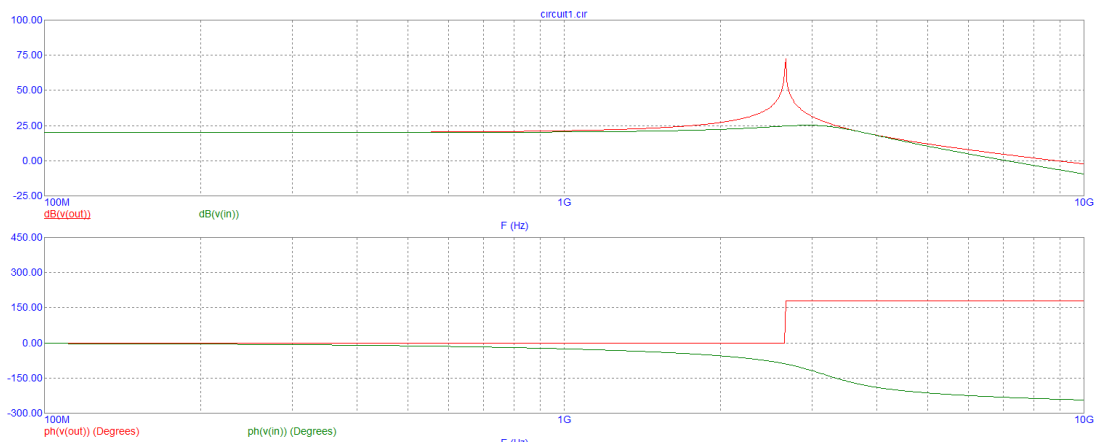
Zde můžeme vidět zapojení filtru na 2.4 GHz frekvenci k SMA konektoru. Je typu RLC s II článkem. Filtr jsem nasimuloval v programu Microcap a je pro tento případ dostačující (obr. 2.27 a 2.26). Zapojení ve schématu je na obr. 2.25.



Obrázek 2.25: Anténa



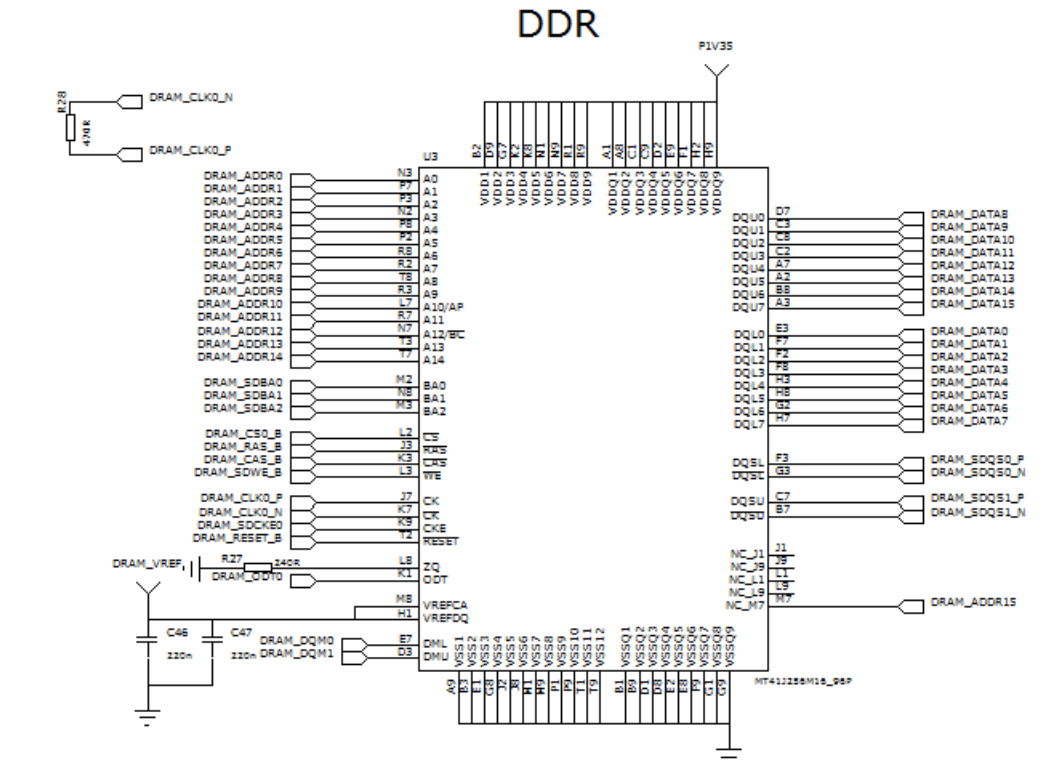
Obrázek 2.26: Schéma simulace filtru



Obrázek 2.27: Amplitudová a fázová charakteristika filtru

DDR

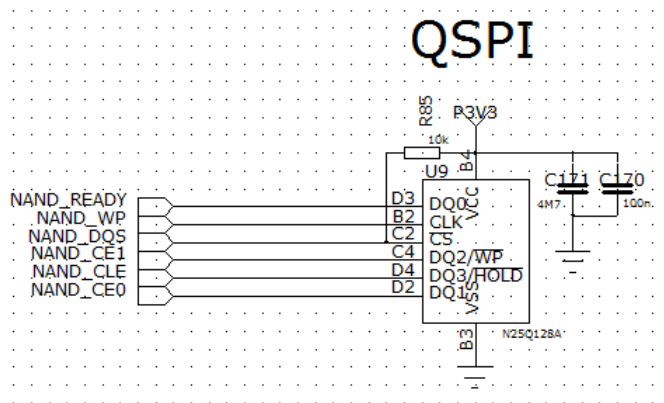
Je zde zakončovací odpor na hodinovém signálu. Umístil jsem jej blízko vývodů hodin paměti. Odpor na pinu ZQ slouží k optimalizaci impedance paměti. Podrobněji je popsán v kapitole (1.4.5) . Zapojení ve schématu je na obr. 2.28.



Obrázek 2.28: Zapojení DDR

QSPI

Zapojení QSPI paměti je na obr. 2.29.



Obrázek 2.29: Zapojení QSPI

2.5 Impedanční přizpůsobení

Na DPS bylo nutné přizpůsobit všechny diferenciální spoje a některé single-ended spoje (anténa, DDR3). Single-ended spoje mají mít impedanci 50Ω a diferenciální spoje 100Ω , vyjma USB, které potřebuje 90Ω . Výpočet proběhl podle rovnice (1.21). Spoje byly dle rovnice nastaveny na šířku 4 mils. Vzdálenost diferenciálních spojů je 6 mils.

2.6 Rozlitá plocha

Pátá vrstva DPS slouží jako napájecí rozlitá plocha, kde je několik napájení. Druhá vrstva slouží jako reference (GND). Ve třetí vrstvě je vedeno napájení jádra procesoru UL6. Ve spodní vrstvě je u výkonového tranzistoru rozlitá plocha k odvodu tepla. Zbytek volných míst ve všech vrstvách byl použit k rozlití GND, abychom snížili vyzařování výrobku. V oblasti pod anténou není ve všech vrstvách měď. Jednotlivé vrstvy jsou na obrázcích [A.4](#) až [A.11](#).

3. Závěr

V rámci bakalářské práce jsem se naučil tvořit složitější schémata. Přečetl jsem mnoho dokumentace týkající se teorie tvorby DPS, fungování a designu DDR pamětí. Byl jsem omezen velikostí plošného spoje, tudíž jsem musel lépe promýšlet pozicování součástek a rozvádění tras na DPS. Také použití šestivrstvé desky je pro mne obrovská zkušenost.

Výsledný modul obsahuje dva mikrokontroléry, DDR3L paměť, QSPI paměť, dva Ethernety. Umožňuje k RIMu připojit SD kartu, RGB LCD displej a obsahuje spoustu výstupních periférií (SPI, I2C, I2S, CAN, DAC, ADC, UART, PWM, WDOG). Přípravek podporuje komunikace přes bezdrátové periferie Bluetooth 4.2 a 802.15.4.

Modul je uzpůsoben maximálnímu využití obou mikrokontrolérů. Je zde také několik alternativ pro potřeby zákazníků. Nemusí být osazen mikrokontrolér s bezdrátovou komunikací, bude-li si to uživatel přát. Další z volitelných nastavení je osazení tzv. nulových odporů na modulu a následovně osazení ethernetových integrovaných obvodů na připojeném DPS. Vrchní a spodní vrstvy jsou použity k umístění součástek, velké, špatně pájitelné součástky jsou v horní vrstvě a budou osazeny automaticky. Ve vrstvě číslo dvě je rozlita plocha GND v celé části desky mimo anténní část. Ve vrstvě číslo pět jsou rozlita veškerá napájení mimo napájení jádra hlavního procesoru, které je rozlito ve vrstvě číslo tři. Ostatní vrstvy jsou použity pro trasy spojů. Ve zbytku volných míst je rozlita GND pro lepšího potlačení rušení.

Modul byl navržen v softwaru PADS. Výstupem této práce jsou gerber data pro výrobu. Modul může být díky své nastavitelnosti, velké různorodosti sběrnice, velikosti, ceně použit téměř v jakémkoliv průmyslovém odvětví.

Pro další verzi modulu bych viděl následující změny: Použití více než šest vrstev. Dále bych navrhl lepší uspořádání tras a rozmístění součástek, dle výsledků a testů získaných u první verze. Je téměř nemožné odladit na první pokus takto náročný obvod, tudíž s úpravami schématu, rozložením součástek, tras lze víceméně počítat.

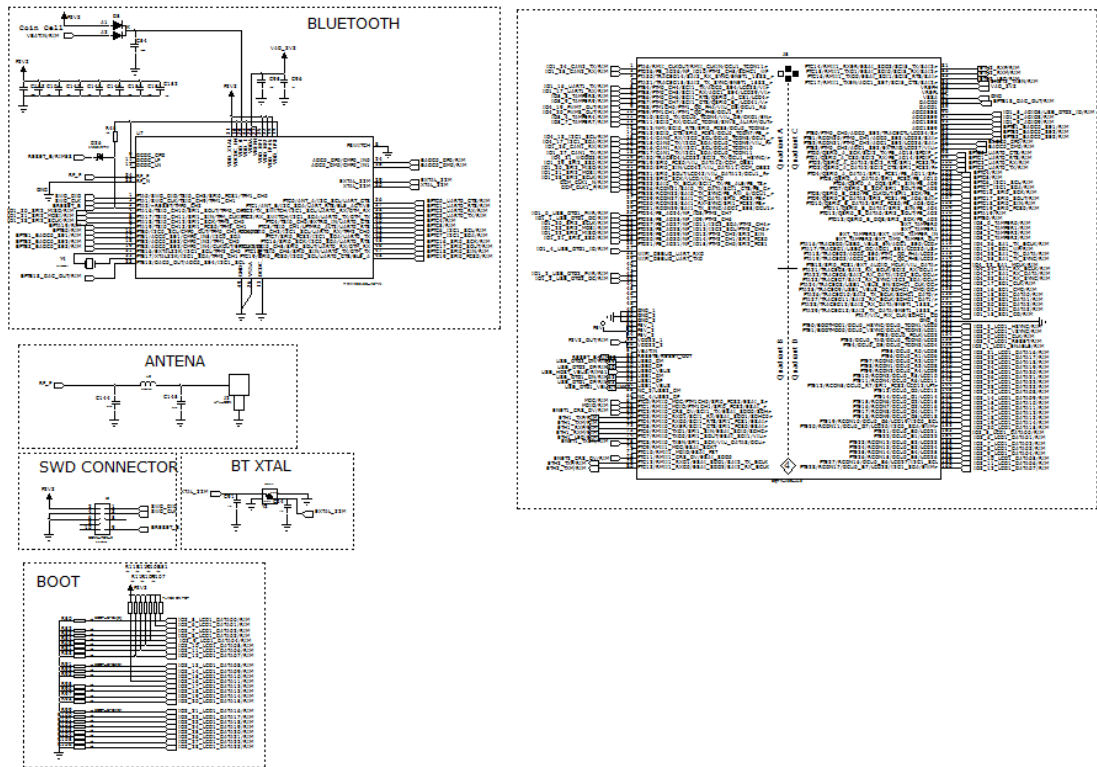
Literatura

- [1] ZÁHLAVA, Vít. Návrh a konstrukce desek plošných spojů. Praha: Česká technika - nakladatelství ČVUT, 2005. ISBN 80-01-03351-1.
- [2] HOFFMANN, K.: Planární mikrovlnné obvody. Praha: Česká technika - nakladatelství ČVUT, 2010. ISBN 978-80-01-03705-8.
- [3] VEDRAL, J., Fischer, J.: Elektronické obvody pro měřicí techniku. Praha: Česká technika - nakladatelství ČVUT, 2004. ISBN 80-01-02966-2.
- [4] BLAŽEK, Jan, VIK, Vladimír.: Elektronika III, 2014, Jičín.
- [5] KREJČÍŘÍK, A.: Napájecí zdroje I. 1.vyd. Praha: BEN, 1997. ISBN 80-86056-02-3.
- [6] HÁJEK K., SEDLÁČEK J.: Kmitočtové filtry 1.vyd. Praha: BEN, 2002. ISBN 80-7300-023-7.
- [7] Power management integrated circuit (PMIC) for i.MX 7 & i.MX 6SL/SX/UL [online]. Dostupné z: <http://www.nxp.com/assets/documents/data/en/data-sheets/PF3000.pdf>
- [8] MKW41Z/31Z/21Z Reference Manual [online]. Dostupné z: <http://www.nxp.com/assets/documents/data/en/reference-manuals/MKW41Z512RM.pdf>
- [9] KSZ8061RNB/KSZ8061RND - Microchip [online]. Dostupné z: http://ww1.microchip.com/downloads/en/DeviceDoc/KSZ8061RNB_RND%20Data%20Sheet%20vD03%20-%2020150603.pdf (str. 30)
- [10] Hardware Development Guide for the i.MX 6UltraLite Applications Processor [online]. Dostupné z: <http://www.nxp.com/assets/documents/data/en/user-guides/IMX6ULHDG.pdf> (str. 7)
- [11] i.MX 6UltraLite Applications Processor Reference Manual [online]. Dostupné z: <http://www.nxp.com/assets/documents/data/en/reference-manuals/IMX6ULRM.pdf>
- [12] What is the difference between the Von Neumann architecture and the Harvard architecture? [online]. 2015- [cit. 2017-02-20] Dostupné z: <https://qph.ec.quoracdn.net/main-qimg-7ac5933a6a5944b27d1450fbaa6e4a45>
- [13] DS1820 1-Wire Temperature Sensor [online]. 2016- [cit. 2017-04-17] Dostupné z: http://www.picprojects.net/ds1820/ds1820_uc_interface.png
- [14] Serial Peripheral Interface [online]. 2017- [cit. 2017-04-16] Dostupné z: https://upload.wikimedia.org/wikipedia/commons/thumb/f/fc/SPI_three_slaves.svg/350px-SPI_three_slaves.svg.png
- [15] Open drain concept in I2C bus? [online]. 2017- [cit. 2017-05-01] Dostupné z: <https://i.stack.imgur.com/yWQG1.png>
- [16] TLK106 clock and reference clk in RMI mode [online]. 2014- [cit. 2017-02-22] Dostupné z: https://e2e.ti.com/cfs-file.ashx/__key/communityserver-discussions-components-files/903/7180.AM335x_5F00_emac.png

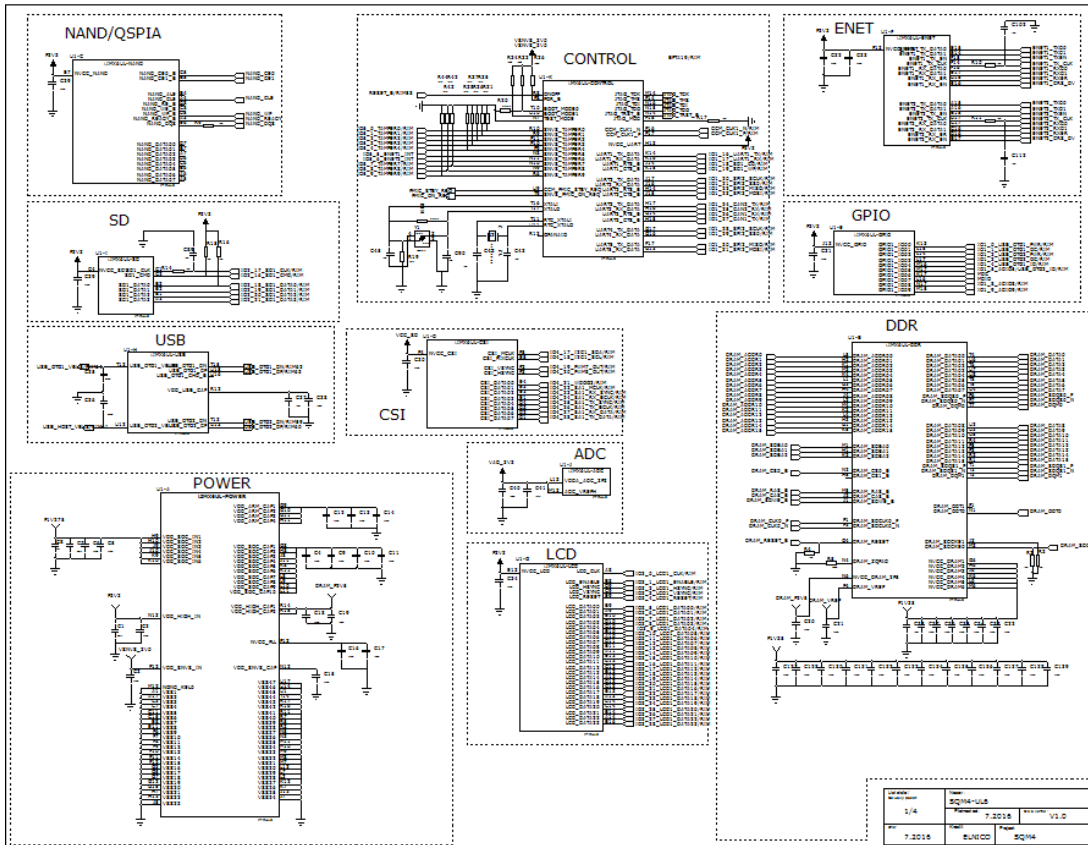
- [17] DDR3 memory interface controller IP speeds data processing applications [online]. 2010- [cit. 2017-01-20] Dostupné z: http://m.eet.com/media/1063223/Lattice_Fig2.jpg
- [18] How to Drive a Character LCD Displays Using DIP Switches [online]. 2010- [cit. 2017-03-25] Dostupné z: <https://cdn.instructables.com/FMC/PZRT/G8LWOHW9/FMCPZRTG8LWOHW9.MEDIUM.jpg>
- [19] discrete buck converter with Ltpspice from linear technology [online]. 2013- [cit. 2017-03-28] Dostupné z: http://obrazki.elektroda.pl/3795891300_1368601867.png
- [20] Help with Modifying DC-DC boost Converter [online]. 2016- [cit. 2017-03-06] Dostupné z: https://encrypted-tbn0.gstatic.com/images?q=tbn:ANd9GcQQ07QQqeTsQafwNB_ZAsLjgCHjJT_kegzIDUEN28rbu8UpoaASLQ
- [21] FILTRACE SIGNÁLU [online]. 2017- [cit. 2017-03-12] Dostupné z: <http://ottp.fme.vutbr.cz/skripta/vlab/daq/Ka050122.gif>
- [22] High Speed PCB Layout Techniques [online]. 2017- [cit. 2017-03-08] Dostupné z: <http://www.ti.com/lit/ml/slyp173/slyp173.pdf> (str. 18)
- [23] High Speed PCB Layout Techniques [online]. 2017- [cit. 2017-04-04] Dostupné z: <http://www.ti.com/lit/ml/slyp173/slyp173.pdf> (str. 21)
- [24] High Speed PCB Layout Techniques [online]. 2017- [cit. 2017-01-28] Dostupné z: <http://www.ti.com/lit/ml/slyp173/slyp173.pdf> (str. 22)
- [25] Metalické vedení [online]. 2017- [cit. 2017-03-25] Dostupné z: http://hroch.spseol.cz/~nozka/psk/056-vedeni_parametry/primarni.png
- [26] i.MX 6UltraLite Automotive Applications Processors [online]. 2017- [cit. 2017-02-09] Dostupné z: <http://www.nxp.com/assets/documents/data/en/data-sheets/PF3000.pdf> (str. 10)
- [27] MKW41Z/31Z/21Z Data Sheet [online]. 2017- [cit. 2017-03-25] Dostupné z: <http://www.nxp.com/assets/documents/data/en/data-sheets/MKW41Z512.pdf> (str. 5)
- [28] Power management integrated circuit (PMIC) for i.MX 7 & i.MX 6SL/SX/UL [online]. 2017- [cit. 2017-03-13] Dostupné z: <http://www.nxp.com/assets/documents/data/en/data-sheets/PF3000.pdf> (str. 6)
- [29] Data retention on a microcontroller [online]. 2011- [cit. 2017-05-07] Dostupné z: <https://i.stack.imgur.com/bfCdk.png>
- [30] Part 15.4: Low-Rate Wireless Personal Area Networks (LR-WPANs) [online]. 2011- [cit. 2017-03-17] Dostupné z: http://ecee.colorado.edu/~liue/teaching/comm_standards/2015S_zigbee/802.15.4-2011.pdf (str. 9)
- [31] Designing for Bluetooth Low Energy Applications [online]. 2017- [cit. 2017-03-20] Dostupné z: <https://www.silabs.com/documents/public/white-papers/designing-for-bluetooth-low-energy-applications.pdf>
- [32] GOLDELOX PROCESSOR [online]. 2017- [cit. 2017-05-06] Dostupné z: <http://www.tme.eu/cz/Document/f5bd4f3e20dad138de0cd51f342f4c34/GOLDELOX.pdf> (str. 9)

- [33] Universal Serial Bus Specification [online]. 2017- [cit. 2017-04-02] Dostupné z: http://sdphca.ucsd.edu/lab equip manuals/usb_20.pdf (str. 12)
- [34] I2C – What’s That? [online]. 2017- [cit. 2017-01-02] Dostupné z: <https://www.i2c-bus.org/>
- [35] Introduction to the Controller Area Network (CAN) [online]. 2017- [cit. 2017-03-14] Dostupné z: <http://www.ti.com/lit/an/sloa101b/sloa101b.pdf>
- [36] Part 15.4: Low-Rate Wireless Personal Area Networks (LR-WPANs) [online]. 2017- [cit. 2017-03-28] Dostupné z: http://ecee.colorado.edu/~liue/teaching/comm_standards/2015S_zigbee/802.15.4-2011.pdf (str. 22)
- [37] IEEE Standard Test Access Port and Boundary-Scan Architecture [online]. 2016- [cit. 2016-12-18] Dostupné z: http://fiona.dmcs.pl/~cmaj/JTAG/JTAG_IEEE-Std-1149.1-2001.pdf (str. 58)
- [38] RMIITM Specification [online]. 2016- [cit. 2016-09-16] Dostupné z: http://ebook.pldworld.com/_eBook/-Telecommunications,Networks-/TCPIP/RMII/rmii_rev12.pdf (str. 2)
- [39] Micron Serial NOR Flash Memory [online]. 2016- [cit. 2017-01-01] Dostupné z: https://www.micron.com/~media/documents/products/data-sheet/nor-flash/serial-nor/n25q/n25q_256mb_3v.pdf (str. 10)
- [40] Meaning Behind Ram RAS and CAS [online]. 2016- [cit. 2017-02-01] Dostupné z: http://hardwarehell.com/articles/ras_cas.htm
- [41] 4Gb: x4, x8, x16 DDR3 SDRAM [online]. 2016- [cit. 2017-02-01] Dostupné z: http://classes.engineering.wustl.edu/cse362/images/8/8b/4Gb_DDR3_SDRAM.pdf (str. 20)
- [42] DDR3’s Impact on Signal Integrity [online]. 2016- [cit. 2017-02-01] Dostupné z: <http://www.electronicdesign.com/boards/ddr3-s-impact-signal-integrity>
- [43] Understanding DRAM Operation [online]. 2016- [cit. 2017-02-01] Dostupné z: <https://compas.cs.stonybrook.edu/~nhonarmand/courses/sp15/cse502/res/dramop.pdf> (str. 2)
- [44] Character Lcd 8x1, 8x2, 8x4, 20x1, 20x2, 20x4, 24x1, 24x2, 24x4, 32x1, 32x2, 40x1, 40x2, 40x4 Pinout and Working [online]. 2016- [cit. 2017-02-01] Dostupné z: <http://www.microcontroller-project.com/character-lcd-pinout--working.html>

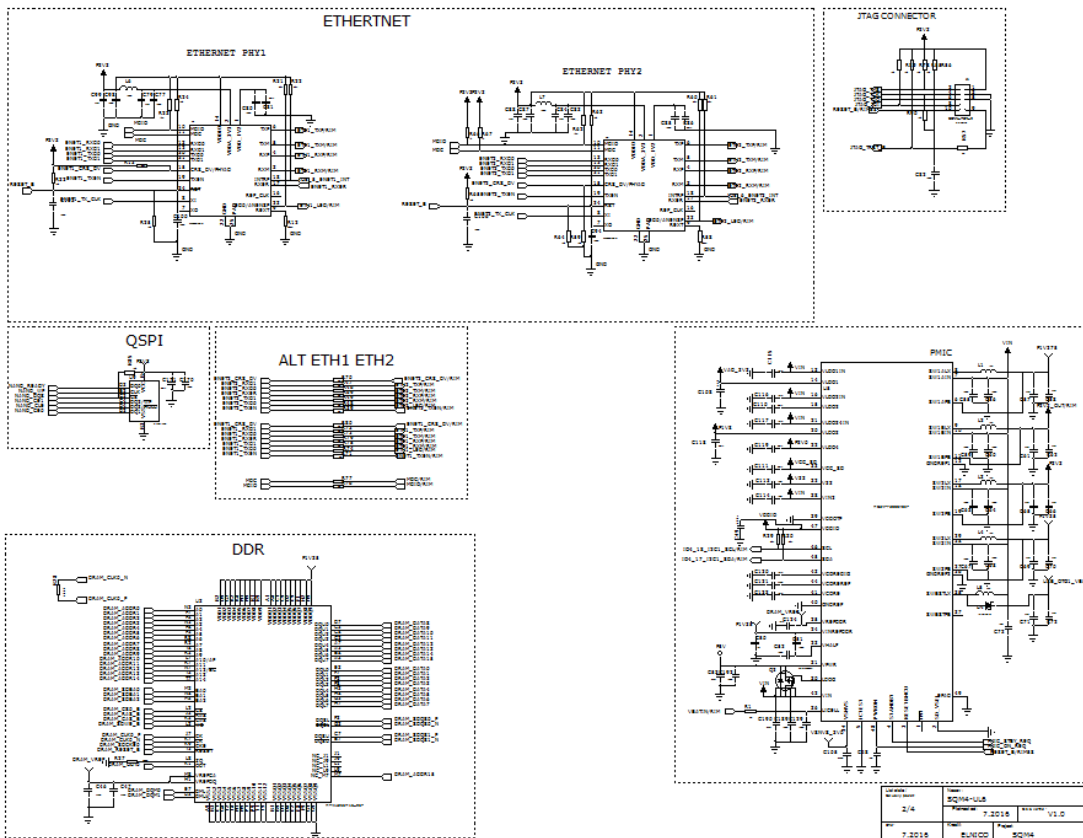
A. Schema



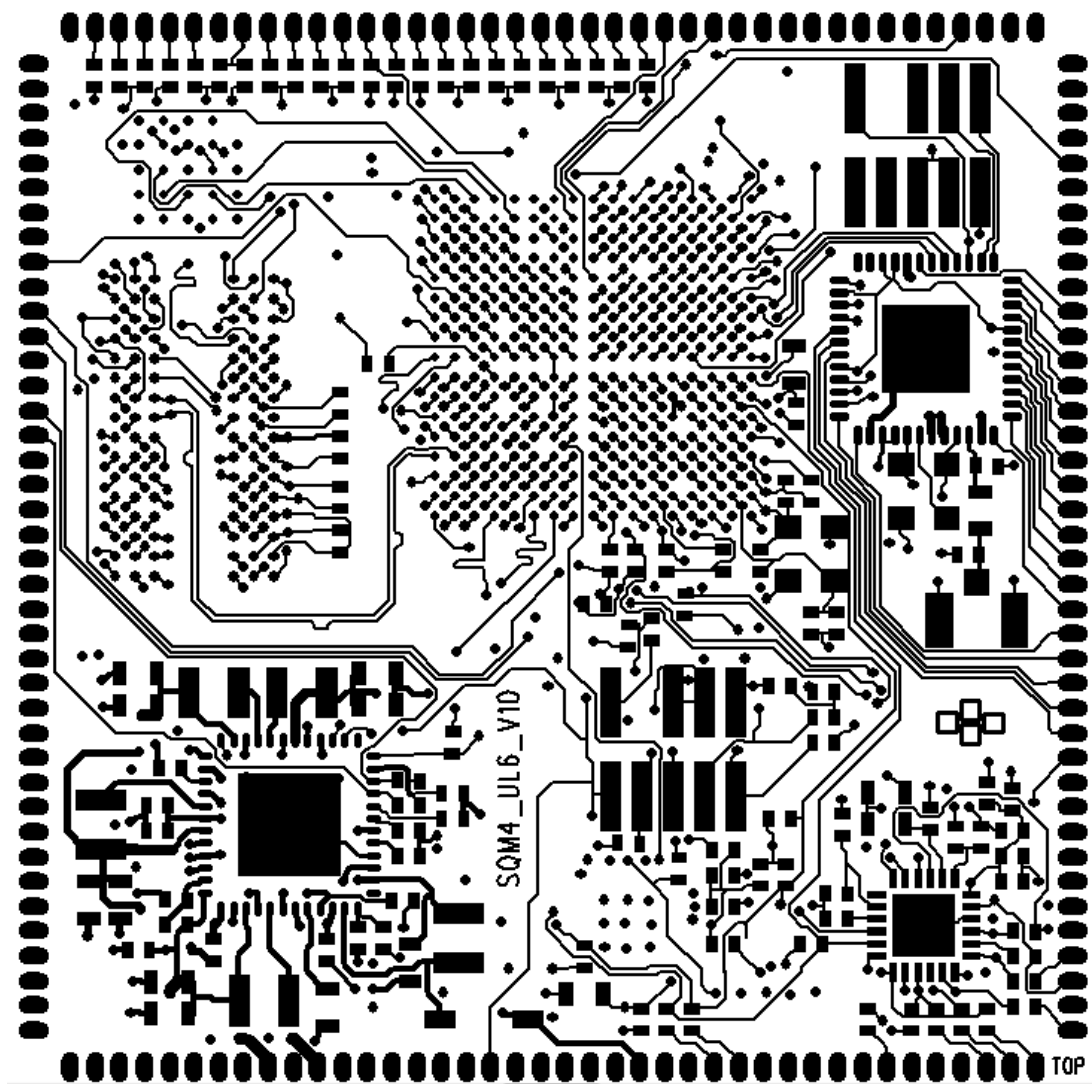
Obrázek A.1: schéma zapojení RIM a MKW41Z



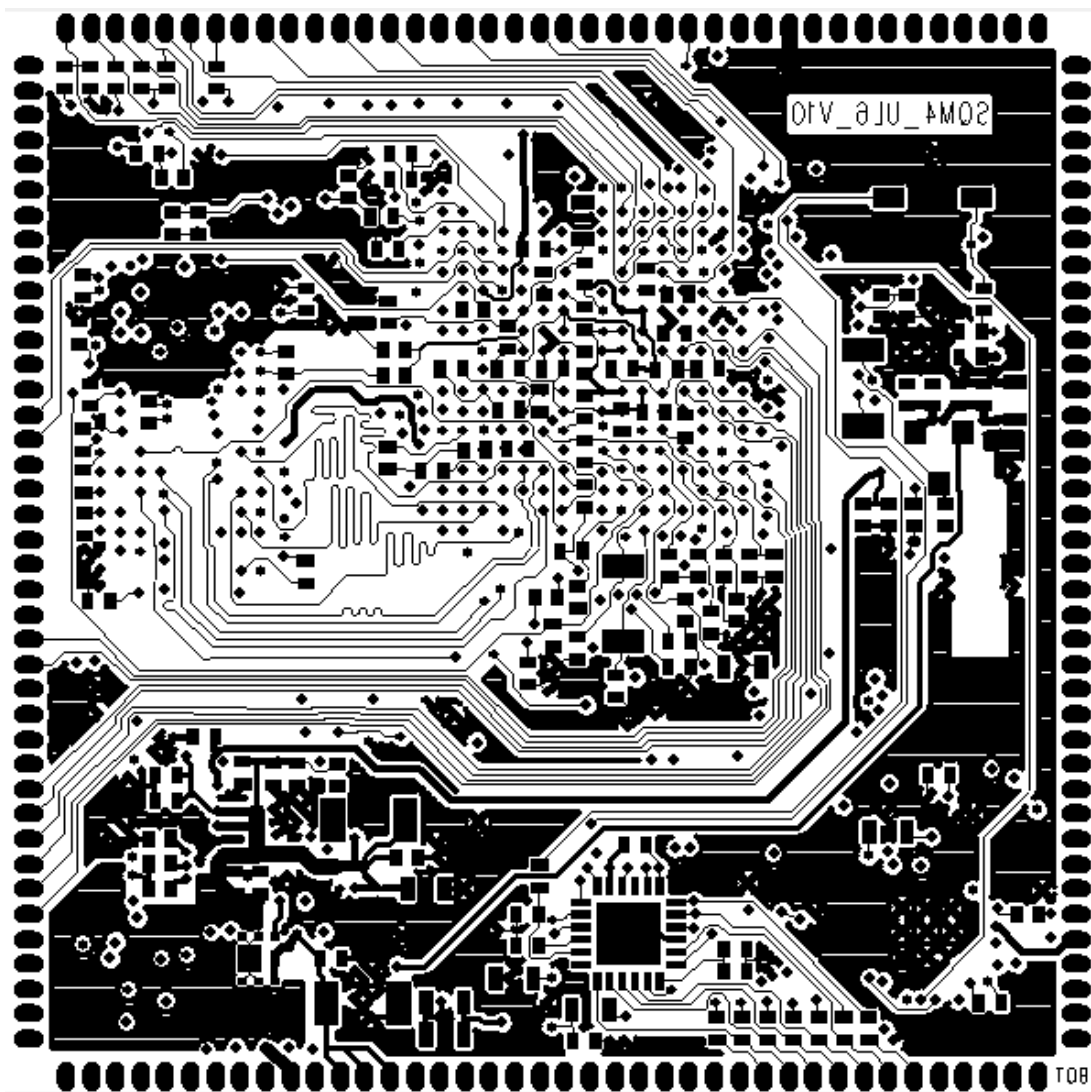
Obrázek A.2: schéma zapojení mikrokontroléru UL6



Obrázek A.3: schéma zapojení periférií



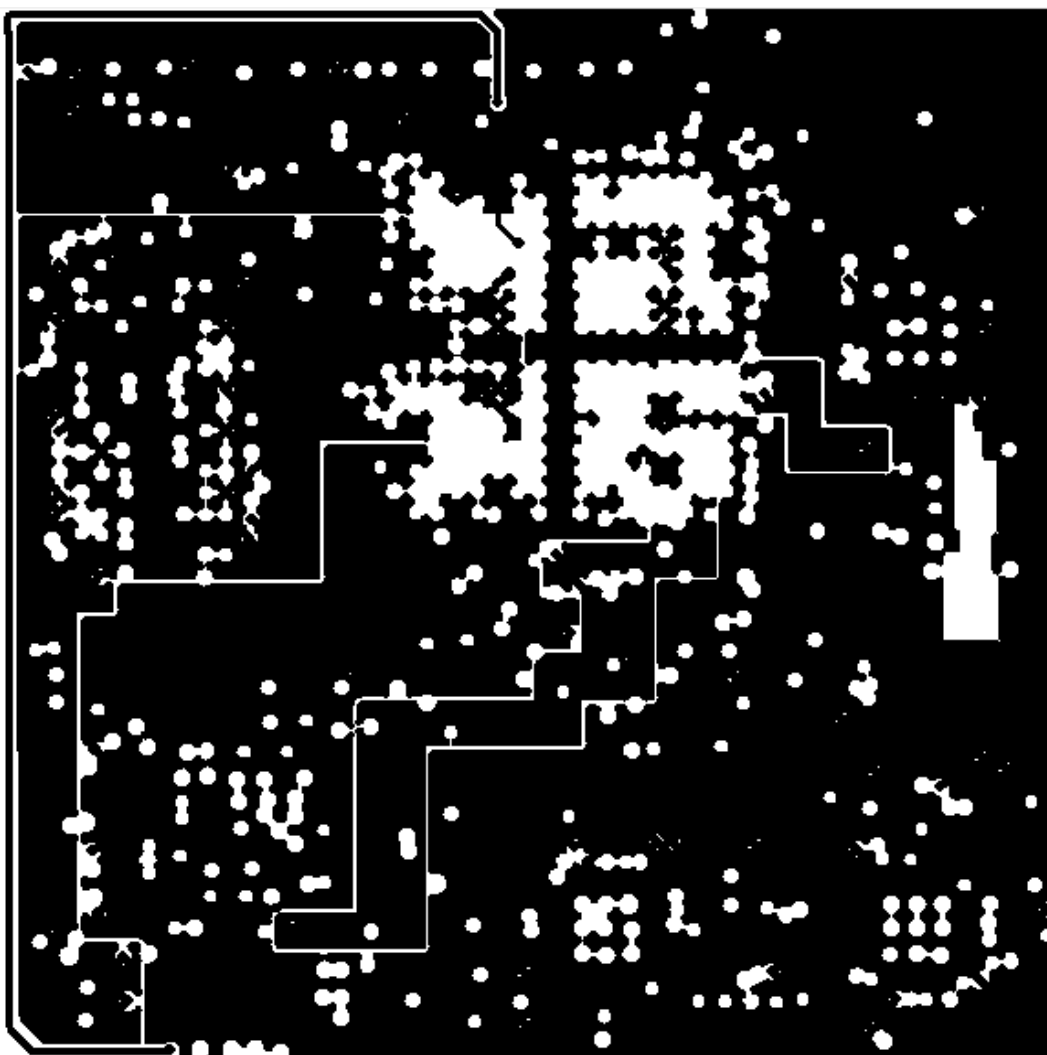
Obrázek A.4: TOP



Obrázek A.5: BOT

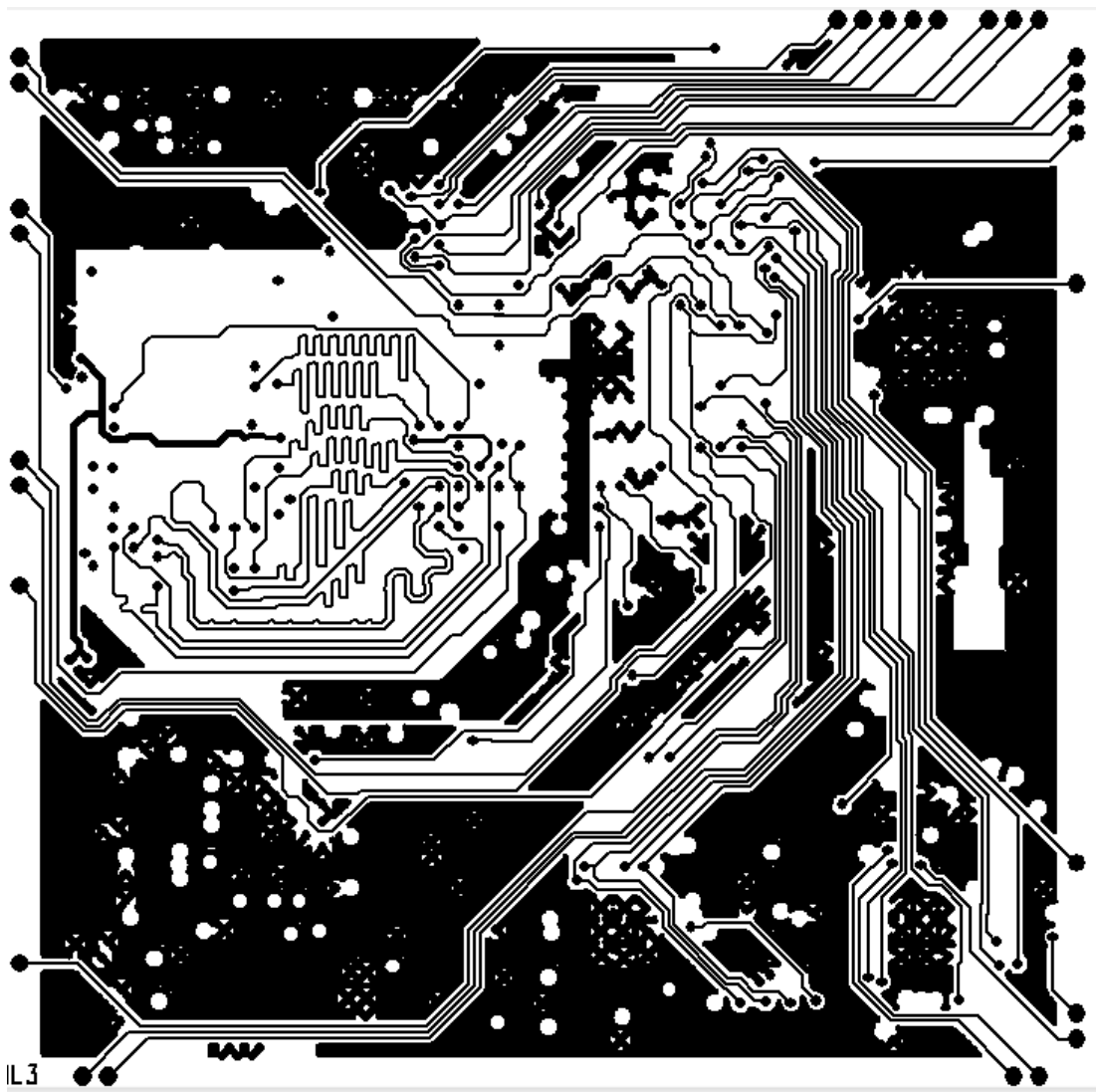


Obrázek A.6: IN2

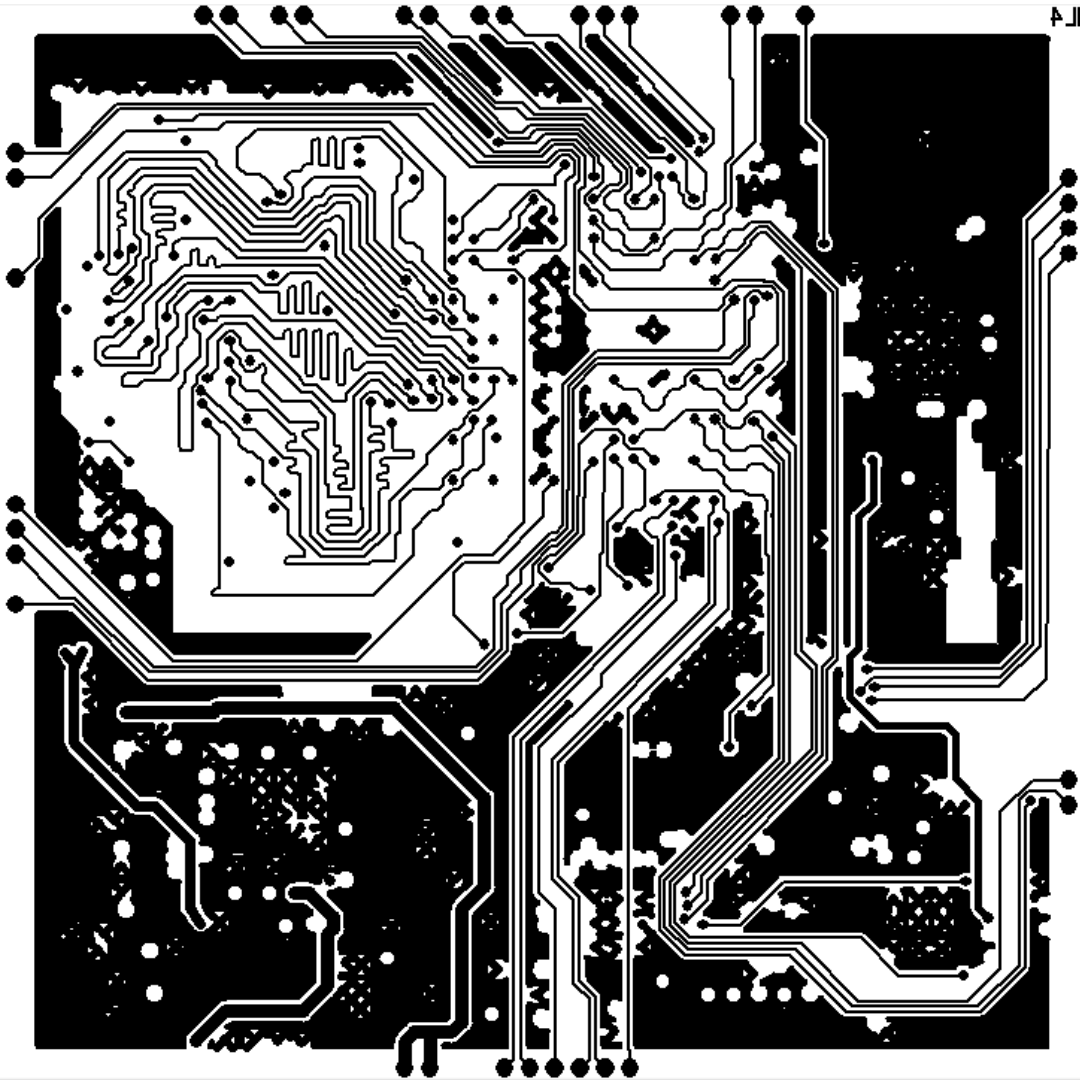


IL5

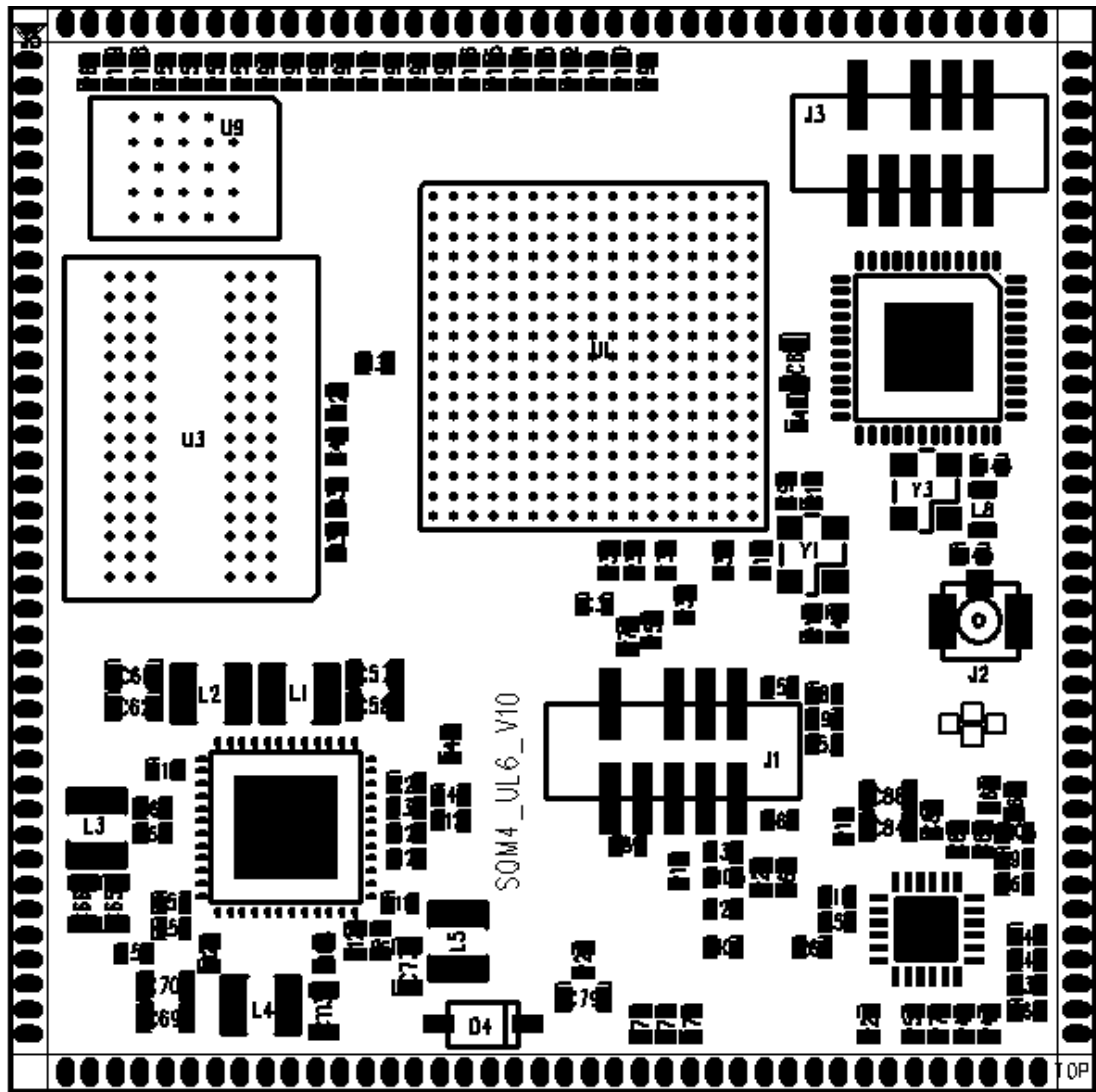
Obrázek A.7: IN5



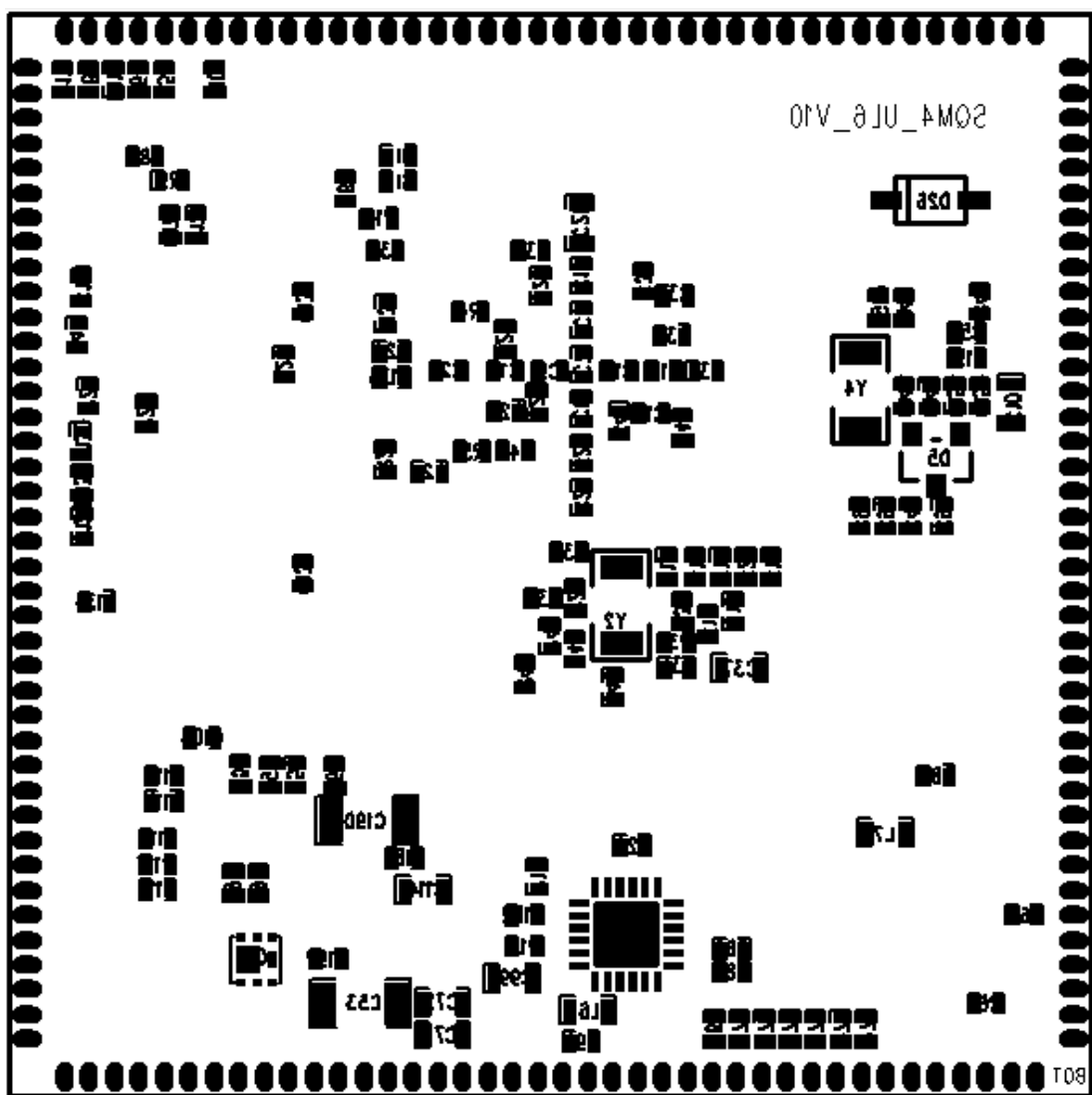
Obrázek A.8: IN3



Obrázek A.9: IN4



Obrázek A.10: SILKSCREEN TOP + TOP



Obrázek A.11: SILKSCREEN BOT + BOT

Seznam obrázků

1.1	Harvardská vs. von Neumannova architektura Zdroj: https://qph.ec.quoracdn.net/main-qimg-7ac5933a6a5944b27d1450fbaa6e4a45	6
1.2	1-wire Zdroj: http://www.picprojects.net/ds1820/ds1820_uc_interface.png	7
1.3	SPI Zdroj: https://upload.wikimedia.org/wikipedia/commons/thumb/f/fc/SPI_three_slaves.svg/350px-SPI_three_slaves.svg.png	8
1.4	I^2C Zdroj: https://i.stack.imgur.com/yWQQ1.png	8
1.5	802.15.4 topologie Zdroj: http://ecee.colorado.edu/~liue/teaching/comm_standards/2015S_zigbee/802.15.4-2011.pdf	10
1.6	RMII Zdroj: https://e2e.ti.com/cfs-file.ashx/___key/communityserver-discussions-comp903/7180.AM335x_5F00_emac.png	11
1.7	MOS s plovoucím hradlem Zdroj: https://i.stack.imgur.com/bfCdk.png	12
1.8	DDR3 Zdroj: http://m.eet.com/media/1063223/Lattice_Fig2.jpg	15
1.9	LCD Zdroj: https://cdn.instructables.com/FMC/PZRT/G8LWOHW9/FMCPZRTG8LWOHW9.MEDIUM.jpg	17
1.10	Snižující zdroj Zdroj: http://obrazki.elektroda.pl/3795891300_1368601867.png	18
1.11	Zvyšující zdroj Zdroj: https://encrypted-tbn0.gstatic.com/images?q=tbn:ANd9GcQQ07QQqeTsQafwNB_ZAsLjgCHjJT_kegzIDUEN28rbu8UpoaASLQ	19
1.12	Typy filtrů Zdroj: http://ottp.fme.vutbr.cz/skripta/vlab/daq/Ka050122.gif	20
1.13	Dolní propust 1. řádu - zapojení Zdroj: Vlastní tvorba	22
1.14	Dolní propust amplitudová charakteristika Zdroj: Vlastní tvorba	22
1.15	Dolní propust fázová charakteristika Zdroj: Vlastní tvorba	23

1.16	Horní propust 1. řádu - zapojení Zdroj: Vlastní tvorba	23
1.17	Dolní propust amplitudová charakteristika Zdroj: Vlastní tvorba	24
1.18	Dolní propust fázová charakteristika Zdroj: Vlastní tvorba	24
1.19	Pásmová propust 2. řádu - zapojení Zdroj: Vlastní tvorba	25
1.20	Pásmová propust amplitudová charakteristika Zdroj: Vlastní tvorba	25
1.21	Pásmová propust fázová charakteristika Zdroj: Vlastní tvorba	26
1.22	Pásmová propust 2. řádu - zapojení Zdroj: Vlastní tvorba	26
1.23	Pásmová zádrž amplitudová charakteristika Zdroj: Vlastní tvorba	27
1.24	Pásmová zádrž fázová charakteristika Zdroj: Vlastní tvorba	27
1.25	Model kapacitoru Zdroj: http://www.ti.com/lit/ml/slyp173/slyp173.pdf	28
1.26	Model indukčnosti Zdroj: http://www.ti.com/lit/ml/slyp173/slyp173.pdf	29
1.27	Model rezistoru Zdroj: http://www.ti.com/lit/ml/slyp173/slyp173.pdf	29
1.28	Parametry vedení Zdroj: http://hroch.spseol.cz/~nozka/psk/056-vedeni_parametry/primarni.png	30
2.1	Blokové schéma modulu Zdroj: vlastní tvorba	33
2.2	Blokový diagram UL6 Zdroj: http://www.nxp.com/assets/documents/data/en/data-sheets/IMX6ULAEC.pdf	35
2.3	Blokový diagram MKW41Z Zdroj: http://www.nxp.com/assets/documents/data/en/data-sheets/MKW41Z512.pdf	36
2.4	Blokový diagram PF3000 Zdroj: http://www.nxp.com/assets/documents/data/en/data-sheets/PF3000.pdf	37

2.5	Pinout RIM		
	Zdroj: vlastní tvorba	38
2.6	PF3000		
	Zdroj: vlastní tvorba	39
2.7	UL - napájecí část		
	Zdroj: vlastní tvorba	40
2.8	UL - SD		
	Zdroj: vlastní tvorba	41
2.9	UL - USB		
	Zdroj: vlastní tvorba	41
2.10	UL - ADC		
	Zdroj: vlastní tvorba	42
2.11	UL - CONTROL		
	Zdroj: vlastní tvorba	43
2.12	UL - CSI		
	Zdroj: vlastní tvorba	43
2.13	UL - DDR		
	Zdroj: vlastní tvorba	44
2.14	UL - ENET		
	Zdroj: vlastní tvorba	45
2.15	UL - GPIO		
	Zdroj: vlastní tvorba	46
2.16	UL - JTAG		
	Zdroj: vlastní tvorba	46
2.17	UL - LCD		
	Zdroj: vlastní tvorba	47
2.18	UL - NAND		
	Zdroj: vlastní tvorba	48
2.19	UL - BOOT		
	Zdroj: vlastní tvorba	49
2.20	ENET1		
	Zdroj: vlastní tvorba	50
2.21	ENET2		
	Zdroj: vlastní tvorba	51
2.22	uC		
	Zdroj: vlastní tvorba	52
2.23	BT XTAL		
	Zdroj: vlastní tvorba	52

2.24	BT SWD	
	Zdroj: vlastní tvorba	53
2.25	Anténa	
	Zdroj: vlastní tvorba	53
2.26	Schéma simulace filtru	
	Zdroj: vlastní tvorba	54
2.27	Amplitudová a fázová charakteristika filtru	
	Zdroj: vlastní tvorba	54
2.28	Zapojení DDR	
	Zdroj: vlastní tvorba	55
2.29	Zapojení QSPI	
	Zdroj: vlastní tvorba	55
A.1	schéma zapojení RIM a MKW41Z	
	Zdroj: vlastní tvorba	63
A.2	schéma zapojení mikrokontroléru UL6	
	Zdroj: vlastní tvorba	64
A.3	schéma zapojení periférií	
	Zdroj: vlastní tvorba	64
A.4	TOP	
	Zdroj: vlastní tvorba	65
A.5	BOT	
	Zdroj: vlastní tvorba	66
A.6	IN2	
	Zdroj: vlastní tvorba	67
A.7	IN5	
	Zdroj: vlastní tvorba	68
A.8	IN3	
	Zdroj: vlastní tvorba	69
A.9	IN4	
	Zdroj: vlastní tvorba	70
A.10	SILKSCREEN TOP + TOP	
	Zdroj: vlastní tvorba	71
A.11	SILKSCREEN BOT + BOT	
	Zdroj: vlastní tvorba	72