

Číslicová technika

Ing. Jaroslav Bernkopf

Anotace

Skripta obsahují základy číslicové techniky na úrovni základních kombinačních a sekvenčních obvodů. Předkládané informace jsou vybrány a podány tak, aby byly co nejlépe použitelné v praxi. Teoretický výklad logických obvodů je doplňován příklady konkrétních obvodů a jejich užití.

Skripta jsou určena pro druhý ročník čtyřletých maturitních a třetí ročník tříletých učebních oborů elektrotechnických, pro první ročník nástavbového studia.

Látka pro tříleté obory je podmnožinou látky pro čtyřleté obory a je označena tučným písmem.

Skripta představují přehled požadovaných vědomostí. Předpokládá se, že látka je vysvětlována ve škole, proto je vysvětlovací aparát skript jen omezeného rozsahu.

Nejzákladnější vědomosti v rozsahu asi třetího klasifikačního stupně jsou podtrženy.

Klíčová slova

Číslicová technika, úroveň, jednička, nula, hradlo, invertor, budič, klopný obvod, registr, čítač, RAM, ROM, analogový, digitální, kombinační, sekvenční

OBSAH

1.	Úvod.....	6
1.1	Co je číslicová technika	6
1.2	Vzhled světa.....	6
1.3	Zobrazení veličin	6
1.3.1	Analogové zobrazení.....	6
1.3.2	Digitální zobrazení.....	6
1.3.3	Princip číslicového zobrazení	6
2.	Číselné soustavy	8
2.1	Desítková soustava	8
2.2	Dvojková soustava	8
2.3	Šestnáctková soustava.....	8
2.4	Zobrazení čísel v soustavách	8
2.5	Jednotky informace	9
3.	Dvojstavová logika	10
3.1	Logické operace	10
3.1.1	Logický součet.....	10
3.1.2	Logický součin.....	11
3.1.3	Logická negace	12
3.2	Booleova algebra.....	12
3.2.1	Booleovy zákony	12
3.2.2	Vztahy konstant.....	13
3.2.3	Booleovy identity	14
3.2.4	De Morganův teorém.....	15
4.	Logické úrovně	16
4.1	Vstupní úrovně	16
4.2	Výstupní úrovně	17
4.3	Rozhodovací úroveň.....	17
4.4	Šumová imunita.....	17
4.5	Logický zisk	18
5.	Základní rozdělení logických obvodů	19
6.	Logické obvody kombinační	21
6.1	Logické členy.....	21
6.1.1	Logické členy s kontakty.....	21
6.1.2	Diodové logické členy	22
6.1.3	Logické členy RTL, DTL	23
6.1.4	Logické členy TTL	23
6.2	Inventory	26
6.3	Oddělovače	28
6.4	Hradla.....	29

6.5	Převodníky kódů	32
6.5.1	Příklad převodníku BCD → 7 segmentů: 7447	32
6.5.2	Příklad převodníku kódu 1 z 8 na binární kód: 74148	34
6.6	Multiplexery.....	35
6.6.2	Příklad integrovaného multiplexeru: 74253.....	36
6.7	Demultiplexery, dekodéry	36
6.7.2	Příklad integrovaného demultiplexeru: 74138 (= 3205).....	37
6.8	Komparátory	38
6.8.2	Příklad integrovaného komparátoru: 7485	38
6.9	Sčítačky	39
6.9.1	Jednoduchá jednobitová sčítačka	40
6.9.2	Příklad integrované sčítačky: 7483	40
6.10	Paměti ROM	41
6.10.1	Příklad paměti EPROM: 2764	42
7.	Logické obvody sekvenční.....	43
7.1	Klopné obvody	43
7.1.1	Druhy klopných obvodů	44
7.1.2	Bistabilní klopné obvody	46
7.1.3	Monostabilní klopné obvody.....	53
7.1.4	Astabilní obvody.....	55
	↑Revidováno↑	59
7.1.5	Klopné obvody s hysterezí	60
7.2	Čítače	63
7.2.1	Rozdělení čítačů	63
7.2.2	Asynchronní čítače	65
7.2.3	Synchronní čítače	67
7.3	Registry.....	68
7.3.1	Rozdělení registrů.....	68
7.3.2	Paralelní registry	69
7.3.3	Sériové (posuvné) registry	69
7.3.4	Kombinované registry	71
7.4	Paměti RAM.....	72
7.4.1	Základní rozdělení RAM.....	72
7.4.2	Statické paměti RAM	72
7.4.3	Dynamické paměti RAM.....	72
7.4.4	Ovládání pamětí.....	72
7.4.5	Parametry pamětí	73
7.4.6	Příklad paměti RAM: 61C257.....	74
8.	Analogově digitální převodníky	75
8.1	ADP s mezipřevodem na časový interval.....	76
8.2	ADP s dvojí integrací	78

8.3	ADP s postupnou aproximací (kompenzační)	80
8.4	Paralelní ADP	82
9.	Digitálně - analogové převodníky	84
9.1	DAP se sčítacím zesilovačem	84
9.2	DAP s příčkovým děličem.....	85
9.3	Vnitřní zapojení DAP	85
9.4	Příklad použití DAP	86
10.	Technologie logických obvodů	87
10.1	Řady logických obvodů.....	87
10.2	Technologie TTL.....	87
10.2.1	Vlastnosti	87
10.2.2	Značení obvodů TTL	87
10.2.3	Charakteristika řad TTL	88
10.2.4	Historický vývoj řad TTL	88
10.2.5	Srovnání řad TTL.....	88
10.2.6	Vzájemné kombinace řad TTL.....	89
10.2.7	Technologie Schottky	89
10.3	Technologie MOS.....	90
10.3.1	Princip	90
10.3.2	Vlastnosti ve srovnání s technologií TTL	90
10.3.3	Kompatibilita	90
10.4	Technologie CMOS	90
10.4.1	Vlastnosti obvodů CMOS	91
10.4.2	Vývoj řad CMOS.....	91
10.5	Technologie ECL.....	92
10.5.1	Princip	92
10.5.2	Vlastnosti.....	92
10.5.3	Použití	93
10.6	Technologie I ² L.....	94
10.6.1	Princip	94
10.6.2	Vlastnosti.....	94
10.6.3	Použití	94
11.	Literatura	95
12.	Rejstřík	96

1. Úvod

1.1 Co je číslicová technika

Číslicová technika je předmět, který se zabývá obvody, potřebnými pro zpracování informací v číslicové podobě.

1.2 Vzhled světa

Pohyby, změny teploty, čas a další jevy probíhají podle našich smyslů spojitě. Máme např. dojem, že s nějakým předmětem můžeme pohnout o libovolně malý kousek, nebo že můžeme úsečku dělit donekonečna na menší a menší kousky. Kvantová teorie ale dokazuje, že všechny zdánlivě spojitě jevy probíhají nespojitě, dokonce např. i čas.

Nespojitost jevů v přírodě nemůžeme svými smysly vnímat. Musíme si na ni ale zvyknout v číslicové technice, která pracuje jen s diskretní (nespojitou) množinou hodnot.

1.3 Zobrazení veličin

Hodnotu nějaké veličiny, např. napětí, proudu nebo rychlosti, můžeme zobrazit buď pomocí ručky, jejíž výchylka je úměrná velikosti veličiny, nebo pomocí čísla na displeji.

Zobrazení pomocí ručky se nazývá analogové nebo spojitě. Zobrazení pomocí čísla je digitální neboli číslicové.

1.3.1 Analogové zobrazení

Analogové zobrazení dává rychlou a přehlednou informaci o okamžité hodnotě veličiny, např. o překročení maximální hodnoty. Umožňuje rychlou orientaci a snadné posouzení vývoje veličiny, tj. zda měřená veličina je stabilní nebo zda stoupá, klesá, jak rychle atd.

Zdánlivě umožňuje, aby změřená hodnota nabývala libovolně jemných a přesných velikostí. Ve skutečnosti je přesnost měřené veličiny omezena přesností přístroje, vhodností metody a kvalitou obsluhy.

Velká chyba může být např. způsobena tzv. paralaxou. Díváme-li se na ručku šikmo, vidíme její průmět na stupnici v nesprávném místě a přečteme špatnou hodnotu. Proto se musíme snažit dívat se na ručku kolmo ke stupnici. Některé přístroje proto mají stupnici podloženou zrcátkem. Správnou hodnotu odečteme, když se při čtení ručka kryje se svým obrazem v zrcátku.

Analogové zobrazení je vhodné pro rychlou kontrolu, měření v provozu, v terénu.

1.3.2 Digitální zobrazení

Dává přesnou informaci, kterou je ale nutné v mysli dále zpracovávat, vyhodnocovat. Údaj o měřené veličině může nabývat jen určitých hodnot. Přesnost může obvykle být větší než u analogových přístrojů. Je ale rovněž omezena vhodností metody a vlastní přesností a rozlišovací schopností přístroje. Přesnost nemusí být tolik ovlivněna kvalitou obsluhy.

Vhodné pro laboratorní měření, přesné a závazné protokoly.

1.3.3 Princip číslicového zobrazení

Při číslicovém zobrazení se měřená veličina převádí na číslo, které se zobrazuje na displeji. Toto číslo nemůže být libovolně přesné, nemůže rozlišovat libovolně jemné změny. Proto je nutné měřenou veličinu kvantovat¹ podle rozlišovací schopnosti

¹ kvantovat = rozdělit na malé části

zobrazovacího zařízení. Rozlišení může být od nejhrubšího (typu ano-ne, např. žárovka, svítivá dioda) po nejjemnější (mnohomístný digitální displej).

2. Číselné soustavy

Pro zobrazení čísel můžeme použít různých číselných soustav. Běžně užíváme desítkovou soustavu, která užívá tzv. arabské číslice. Letopočty na historických budovách nebo na konci filmů, čísla na starých hodinách bývají vyjádřeny římskými číslicemi.

Všechny dnes užívané soustavy (kromě římské) používají pro vyjádření čísel stejného principu: Číslo se vyjadřuje jako součet násobků mocnin daného základu (bude vysvětleno dále).

2.1 Desítková soustava

Běžně používaná desítková (dekadická) soustava je založena na základu 10, což je počet prstů na obou rukách. Vyhovuje pro každodenní potřebu.

Desítková soustava ale není vhodná všude. Např. špatně vyhovuje při zobrazení informací uvnitř číslicových přístrojů.

Převody čísel z desítkové soustavy do dvojkové (užívané uvnitř počítačů) a obráceně jsou velmi obtížné.

2.2 Dvojková soustava

Dvojková (binární) soustava má základ 2. Užívá jen dvě číslice: 1-0. Těmto číslicím uvnitř přístrojů odpovídají dva stavy, např. napětí je-není. Tyto stavy jsou jednoznačně rozlišitelné, jejich zapamatování a přenos jsou bezpečné. Dvojková čísla jsou velmi vhodná pro stroje, ale špatně čitelná pro člověka. Např. dekadické číslo 39997 je ve dvojkovém zápisu dlouhé a nepřehledné:

1001 1100 0011 1101

2.3 Šestnáctková soustava

Proto byla zavedena šestnáctková (hexadecimální) soustava, která má základ 16 a užívá šestnáct znaků (0...9, A...F). Čtyři místa dvojkové soustavy jsou nahrazena jedním místem šestnáctkové soustavy:

1001 1100 0011 1101

9 C 3 D

Dekadické číslo 39997 tedy má v šestnáctkové soustavě tvar 9C3D.

Šestnáctková soustava dobře vyhovuje při popisu stavů počítačů, jejich adres a hodnot na sběrnicích. Mimo jiné i proto, že počty vodičů na sběrnicích jsou obvykle násobkem osmi (a tedy i čtyř). Šestnáctková čísla lze snadno převádět do dvojkové soustavy a zpět a to i zpaměti. Tato soustava proto umožňuje snadné spojení mezi lidským vnímáním a zobrazením dat uvnitř počítačů.

2.4 Zobrazení čísel v soustavách

Hodnota čísla v určité číselné soustavě je dána součtem součinnů hodnot číslic a jejich vah. Váha číslice je dána její polohou v čísle a základem soustavy. Číslice vpravo mají váhu nejmenší, vlevo největší. Např. v dekadickém čísle mají číslice tyto váhy:

... 10^3 10^2 10^1 10^0

... 1000 100 10 1

zatímco ve dvojkovém

... 2^3 2^2 2^1 2^0
... 8 4 2 1

a v šestnáctkovém čísle

... 16^3 16^2 16^1 16^0
4096 256 16 1

Např. desítkové číslo 39997 má hodnotu

$$3 \cdot 10^4 + 9 \cdot 10^3 + 9 \cdot 10^2 + 9 \cdot 10^1 + 7 \cdot 10^0$$

2.5 Jednotky informace

a) Bit

Pojem bit má tyto významy:

- základní jednotka informace

- nejmenší možné množství informace

- číslíce dvojkové soustavy, tj. 0 a 1 (binary digit)

Jedna paměťová buňka, jejímž výstupem je jeden vodič, může uchovávat informaci o velikosti jednoho bitu. Zkratkou pro bit je "b".

b) Bajt

Bajt (byte) je tvořen osmi bity. Zkratkou pro bajt je "B".

V praxi se používají i násobky bitů a bajtů (kb, Mb, kB, MB). O paměti s kapacitou 8 kb můžeme také říci, že má kapacitu 1 kB.

3. Dvojstavová logika

Často bývá výhodné přisoudit předmětům nebo jevům jen dva možné stavy: Např. žárovka svítí - nesvítí, spínač je zapnutý - vypnutý. Stav pak můžeme jednoznačně popsat výrokem ANO (1), NE (0). Rozhodování o dalším postupu je pak založeno na logickém vyhodnocení těchto stavů ANO - NE, 0 - 1. Proto takové rozhodování nazýváme logické. Obvody, které k takovému rozhodování slouží, nazýváme logické obvody.

3.1 Logické operace

Při logickém vyhodnocování provádíme s dvojstavovými proměnnými různé operace. Základní logické operace jsou:

logický součet (OR)

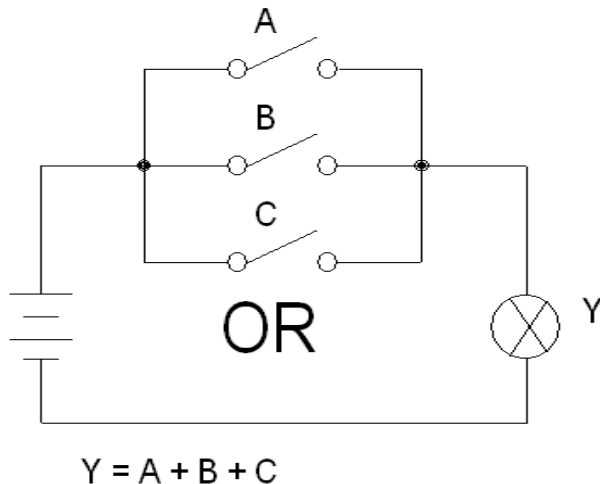
logický součin (AND)

logická negace (NOT)

3.1.1 Logický součet

Logický součet dvou nebo více proměnných je roven jedné, je-li alespoň jedna z proměnných rovna jedné (agresivita jedničky v logickém součtu).

Příklad: Logický součet (OR) $Y = A + B + C$



Obrázek 1: Logický součet pomocí spínačů

Stačí jeden sepnutý spínač a žárovka svítí. Když sepne další spínač, žárovka nesvítí víc, protože v logickém součtu $1 + 1 = 1$.

Příkladem takového zapojení může být vnitřní osvětlení v autě, které se rozsvítí, když se otevřou kterékoliv dveře. Když se k tomu otevřou ještě jedny další dveře, osvětlení nesvítí víc, protože v logickém součtu $1 + 1 = 1$.

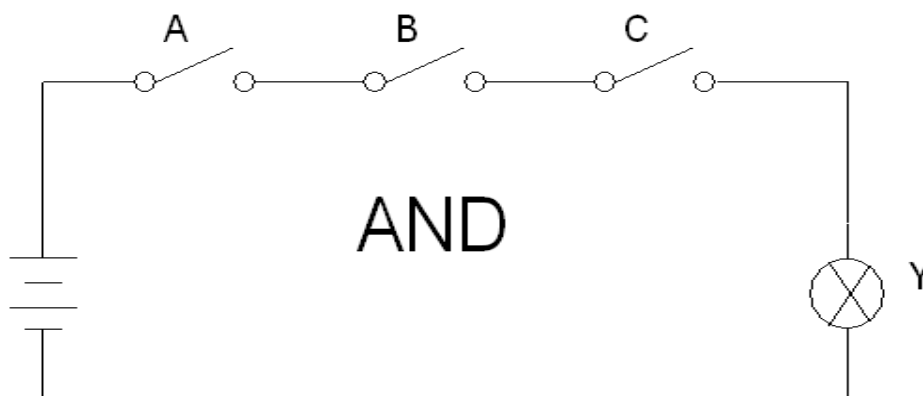
A	B	C	Y
Spínač A je sepnutý	Spínač B je sepnutý	Spínač C je sepnutý	Žárovka svítí
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	1

Tabulka 1:
Logický součet pomocí spínačů

3.1.2 Logický součin

Logický součin dvou nebo více proměnných je roven nule, je-li alespoň jedna z proměnných rovna nule (agresivita nuly v logickém součinu).

Příklad: Logický součin (AND) $Y = A * B * C$



$$Y = A * B * C$$

Obrázek 2: Logický součin pomocí spínačů

Stačí jeden rozepnutý spínač a žárovka nesvítí. Když rozepne další spínač, na tom, že žárovka nesvítí, se už nic nezmění.

Příkladem takového zapojení mohou být červená bezpečnostní tlačítka v dílnách: Stačí rozepnout jen jediné, a stykač, který napájí všechny obvody v dílně, odpadne a odpojí elektrinu od všech obvodů.

Příkladem logického součinu v mechanice je řetěz na jízdním kole: Stačí jediný článek vadný (jeho hodnota je log. 0) a řetěz je nefunkční.

A	B	C	Y
Spínač A je sepnutý	Spínač B je sepnutý	Spínač C je sepnutý	Žárovka svítí
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	1

Tabulka 2:
Logický součin pomocí spínačů

3.1.3 Logická negace

Logická negace nějaké hodnoty je opakem této hodnoty.

Příklady:

Žárovka

A ... žárovka svítí (hodnota)

\bar{A} ... žárovka nesvítí (negace hodnoty)

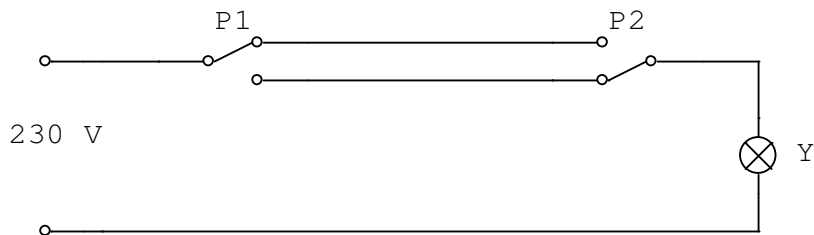
Propiska

A ... hrot je vysunutý (hodnota)

\bar{A} ... hrot je zasunutý (negace hodnoty)

S každým stiskem se stav propisky změní na opačný.

Schodišťový přepínač



Obrázek 3: Ovládání světla pomocí schodišťových přepínačů

Přepnutím kteréhokoliv přepínače se stav žárovky změní na opačný: Když žárovka svítí, přepnutím přepínače zhasne. Když nesvítí, přepnutím přepínače se rozsvítí.

Na obrázku je stav, při kterém žárovka nesvítí. Přepnutím kteréhokoliv přepínače se stav změní na opačný – žárovka se rozsvítí.

3.2 Booleova algebra

Stanoví pravidla pro práci s dvojstavovými hodnotami. V Booleově algebře mohou proměnné, konstanty i celé výrazy nabývat pouze dvou hodnot, tj. 1 nebo 0.

3.2.1 Booleovy zákony

a) Zákon komutativní

Hodnota výrazu se nezmění, změníme-li pořadí proměnných:

$$A + B = B + A$$

$$A \cdot B = B \cdot A$$

b) Zákon asociativní

V rámci součtu nebo součinu lze proměnné libovolně sdružovat:

$$A + B + C = A + (B + C) = (A + B) + C$$

$$A \cdot B \cdot C = A \cdot (B \cdot C) = (A \cdot B) \cdot C$$

c) Zákon distributivní

$$A \cdot (B + C) = (A \cdot B) + (A \cdot C)$$

$$A + (B \cdot C) = (A + B) \cdot (A + C)$$

Druhá část distributivního zákona v běžné algebře neplatí.

3.2.2 Vztahy konstant

$$0 + 0 = 0$$

$$1 + 1 = 1$$

$$1 + 0 = 1$$

$$0 * 0 = 0$$

$$1 * 1 = 1$$

$$1 * 0 = 0$$

3.2.3 Booleovy identity

Booleovy identity (totožnosti) vyplývají ze zvláštní povahy logických proměnných. Tyto proměnné mohou nabývat jen dvou hodnot a proto platí následující pravidla.

a) Pravidlo dvojí negace

$$\overline{\overline{A}} = A$$

Po dvojí negaci proměnné dostáváme opět původní proměnnou.

b) Pravidla o neutrálnosti konstant

$$A + 0 = A$$

$$A * 1 = A$$

Přičtením nuly nebo násobením jedničkou se hodnota výrazu nezmění (toto pravidlo platí i v běžné algebře).

c) Pravidla o agresivnosti konstant

$$A + 1 = 1$$

Přičtením jedničky k jakémukoliv výrazu dostaneme jedničku.

$$A * 0 = 0$$

Násobíme-li jakýkoliv výraz nulou, dostaneme vždy nulu (platí i v běžné algebře).

d) Pravidla negace

$$\overline{\overline{A}} + A = 1$$

Jedna z hodnot \overline{A} nebo A nutně musí být 1. Podle pravidla o agresivnosti jedničky v logickém součtu pak výsledek je 1.

$$\overline{\overline{A}} * A = 0$$

Jedna z hodnot \overline{A} nebo A nutně musí být 0. Podle pravidla o agresivnosti nuly v logickém součinu pak výsledek je 0.

e) Pravidla absorbce (pohlčení)

$$A + A = A$$

Je-li $A = 0$, výsledek 0 vychází i podle pravidel běžné algebry. Je-li $A = 1$, výsledek součtu nemůže být 2, musí být opět 1, protože proměnné i výsledky mohou nabývat hodnoty maximálně 1.

Podobné zdůvodnění můžeme použít i pro součin:

$$A * A = A$$

3.2.4 De Morganův teorém

$$\overline{A * B} = \overline{A + B}$$

$$\overline{A + B} = \overline{A * B}$$

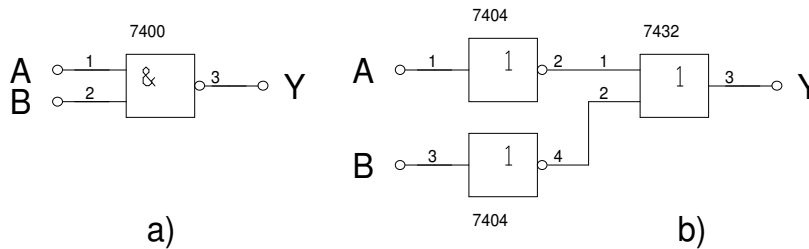
Součin negací se rovná negaci součtu. Součet negací se rovná negaci součinu.

Příklad: Potřebujeme realizovat funkci NAND

$$Y = \overline{A * B},$$

ale na desce už zbývá jen hradlo OR a dva invertory. Využijeme De Morganova teorému, a funkci realizujeme pomocí nich (Obrázek 4):

$$Y = \overline{A + B}$$



**Obrázek 4:
De Morganův
teorém**

$$Y = \overline{A * B} = Y = \overline{A + B}$$

Skoro všechny popsané zákony a pravidla si můžeme sami odvodit, budeme-li si pamatovat:

- $1 + 1 = 1$
- *nula je agresivní v součinu*
- *jednička je agresivní v součtu*

4. Logické úrovně

Dosud jsme logické hodnoty označovali jako 0 a 1. Uvnitř logických obvodů je potřeba vyjádřit tyto hodnoty pomocí napětí.

Hodnotu logické 0 na nějakém vývodu vyjádříme tak, že tam napětí není, hodnotu logické 1 tak, že tam napětí je. Ale jaké má být to napětí?

Napětíové úrovně konkrétních logických obvodů závisí na výrobních tolerancích, napájecím napětí, teplotě, čase a na různých dalších vlivech. Nemůžeme proto stanovit, že logická nula bude např. přesně 0.00 V a log. 1 přesně 5.00 V. Žádný skutečný obvod by takové definici nemohl vyhovět.

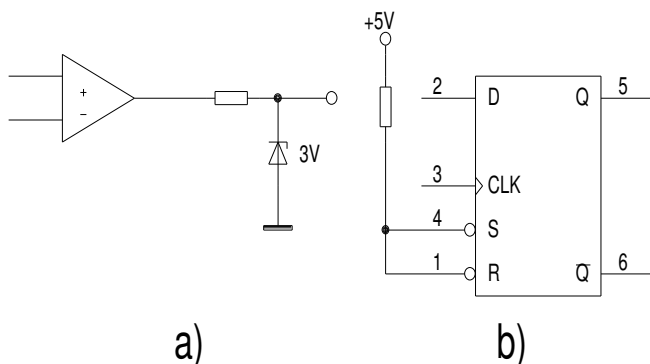
Proto vymežíme, jaký rozsah napětí bude odpovídat logické nule a jaký jedničce. Tyto rozsahy logické nuly a jedničky jsou určeny pro každý druh (řadu) logických obvodů jinak. Nyní budeme uvádět příklady pro řadu TTL¹, která je nejznámější.

Logické úrovně se také označují písmeny H (High = vysoká), L (Low = nízká). Úroveň H tedy odpovídá logické 1, úroveň L logické 0. S hodnotami 0, 1 budeme pracovat spíše tam, kde půjde o výpočty s binárními čísly, s úrovněmi L, H tam, kde půjde hlavně o výsledování a popis stavů logického obvodu.

4.1 Vstupní úrovně

Aby napětí na vstupu obvodu TTL bylo vyhodnoceno jako úroveň L, musí být v rozsahu od 0 V do 0.8 V. Aby bylo vyhodnoceno jako H, musí být v rozsahu od 2.0 do 5 V. Rozsah od 0.8 V do 2.0 V je tzv. zakázané pásmo, ve kterém se vstupní napětí nesmí vyskytovat. Pokud by vstupní napětí bylo v zakázaném pásmu, nebylo by jisté, zda bude vyhodnoceno jako L nebo H (Obrázek 6b).

Vstupní napětí nemá být menší než 0V. Použijeme-li např. Zenerovu diodu pro omezení výstupního napětí operačního zesilovače na "logické" úrovně (Obrázek 5a), úroveň L pak dosahuje až -0.7V. To některé logické obvody nesnášejí.



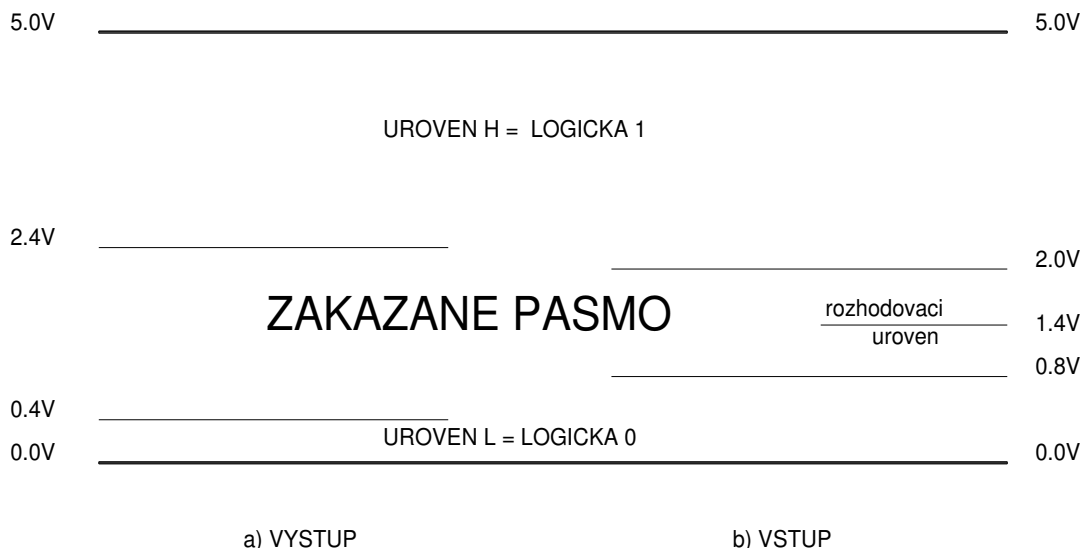
Obrázek 5: a) Omezení napětíových úrovní na výstupu operačního zesilovače, b) Přivedení úrovně H z napájecího napětí přes ochranný rezistor

Proto se takové vstupy připojují na napájecí napětí přes ochranný rezistor (Obrázek 5b).

Vstupní napětí obvodu TTL nesmí být větší než 5.5V. Při větším napětí může dojít k proražení vstupu logického obvodu (přechod báze - emitor vstupního tranzistoru se chová jako Zenerova dioda). Protože maximální povolené napájecí napětí je větší (7V), nedoporučuje se připojovat vstupy, které mají mít trvale úroveň H, přímo na napájecí napětí.

¹ TTL = Transistor – Transistor Logic = logické obvody, ve kterých už hlavní roli nehrají odpory a diody, ale bipolární tranzistory.

4.2 Výstupní úrovně



Obrázek 6: Logické úrovně a) na výstupu, b) na vstupu logického obvodu TTL

Výstupní úrovně nemohou být definovány stejně jako vstupní, protože na rozhraní definovaných pásem by rozhodování obvodu opět bylo nejednoznačné. Proto definice výstupních úrovní musí být přísnější.

Úroveň L na výstupu obvodu TTL musí být mezi 0.0 V a 0.4 V, úroveň H mezi 2.4 V a 5 V. Zakázané pásmo pro napětí na výstupu je od 0,4V do 2,4V (Obrázek 6a).

4.3 Rozhodovací úroveň

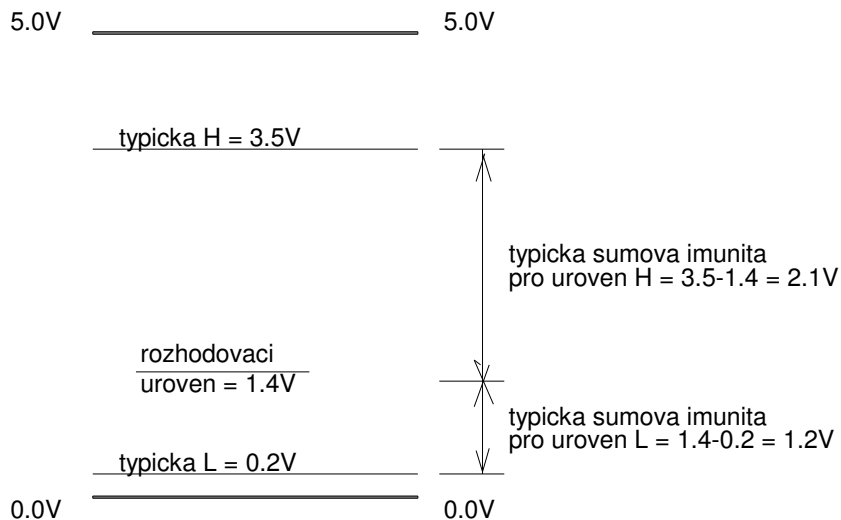
Logický obvod nemůže mít na svém výstupu neurčitý stav. Vždy se musí rozhodnout pro úroveň L nebo H, a to i v případě, že vstupní napětí se nachází v zakázaném pásmu. Rozhodovací úroveň je takové napětí, pod kterým je vstupní napětí vyhodnoceno jako úroveň L, nad ním jako úroveň H. Rozhodovací úroveň u obvodů TTL je asi 1.4 V (Obrázek 6b).

4.4 Šumová imunita

Šumová imunita je odolnost logického obvodu proti nežádoucí změně stavu, způsobené rušivým signálem. Může být rozdílná pro úroveň L nebo H. Šumová imunita pro úroveň L je rozdíl napětí úrovně L a rozhodovací úrovně. Šumová imunita pro úroveň H je rozdíl napětí úrovně H a rozhodovací úrovně. Jinými slovy šumová imunita vyjadřuje, jak velký by musel být rušivý impuls, aby od dané logické úrovně dosáhl k rozhodovací úrovni.

Typické hodnoty¹ úrovně H jsou u obvodů TTL od rozhodovací úrovně více vzdáleny, než typické hodnoty úrovně L. Proto je šumová imunita pro úroveň L u obvodů TTL horší, než pro úroveň H. Rušivý impuls tedy má větší šanci uplatnit se u vstupů, které jsou právě v úrovni L. To je nevýhodné – lepší by bylo, kdyby rozhodovací úroveň byla právě uprostřed mezi úrovněmi L a H. Pak by odolnost proti rušení byla lepší.

¹ Typická hodnota je taková, která se u dané veličiny nejčastěji vyskytuje. Typická hodnota není výrobcem zaručována, ale v některých případech, jako např. při určení šumové imunity, s ní lze nezávazně počítat.



Obrázek 7: Typická šumová imunita obvodů TTL

Obvody CMOS¹ mají i při stejném napájecím napětí šumovou imunitu lepší než TTL. Jejich logické úrovně jsou totiž velmi blízké 0.0 V a 5.0 V, přičemž rozhodovací úroveň je právě uprostřed mezi nulou a napájecím napětím. Jejich šumovou imunitu lze dále zvýšit zvětšením napájecího napětí.

4.5 Logický zisk

Vstupy logických obvodů připojujeme na výstupy jiných logických obvodů. Tím jsou výstupy zatěžovány. **Kdybychom na výstup hradla připojili příliš mnoho vstupů, výstup by byl přetížený a nedokázal by zachovat správné logické úrovně.** Proto je nutno při zapojování logických obvodů nepřekročit tzv. logický zisk.

Logický zisk je počet vstupů, které můžeme ještě připojit na výstup jednoho obvodu, aby přitom zůstaly zachovány předepsané logické úrovně.

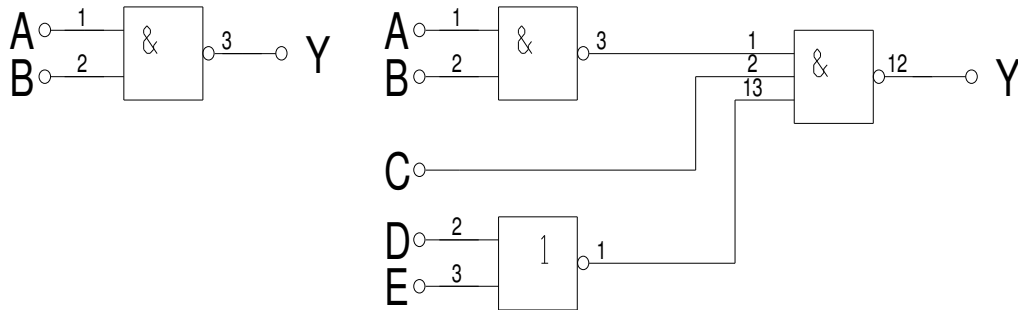
U obvodů TTL je logický zisk obvykle 10. To znamená, že na výstup můžeme připojit maximálně 10 vstupů. Kdybychom tento počet překročili, výstup se sice nepoškodí, ale logické úrovně na něm (především úroveň L) nemusí být dodrženy.

¹ CMOS = Complementary metal–oxide–semiconductor = logické obvody, ve kterých hlavní roli hrají unipolární tranzistory MOS, a to obou polarit, proto „komplementární“. Mají velmi malou spotřebu a další výhody.

5. Základní rozdělení logických obvodů

Logické obvody rozdělujeme podle toho, zda okamžitý stav jejich výstupů závisí jen na okamžité kombinaci stavů na jejich vstupech, anebo i na tom, co těmto stavům předcházelo, tj. na historii obvodu.

a) Logické obvody kombinační



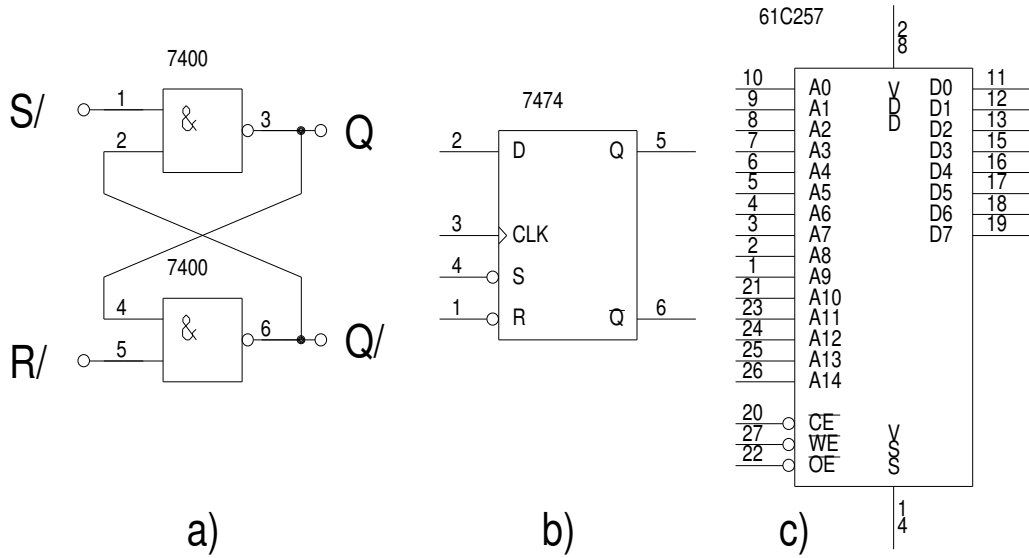
Obrázek 8: Příklady kombinačních logických obvodů

Logické obvody kombinační jsou takové obvody, u kterých je stav výstupů dán POUZE okamžitou kombinací stavů na jejich vstupech (proto obvody kombinační). Příkladem mohou být hradla AND, NAND, OR, NOR a jejich spojení bez zpětné vazby (Obrázek 8).

b) Logické obvody sekvenční

Zavedením kladné zpětné vazby vzniká z kombinačních obvodů obvod sekvenční. Sekvenční obvody jsou takové, u kterých stav výstupu závisí NEJEN na okamžitém stavu vstupů, ale i na posloupnosti (sekvenci) stavů, které předcházely.

Sekvenční obvod tedy má paměť, která si pamatuje alespoň jeden předchozí stav. Obrázek 9 ukazuje příklady sekvenčních logických obvodů.



Obrázek 9: Příklady sekvenčních obvodů. a) Klopný obvod RS z obvodů NAND 7400, b) Klopný obvod D 7474, c) Paměť RAM 256 kbitů 61C257

6. Logické obvody kombinační

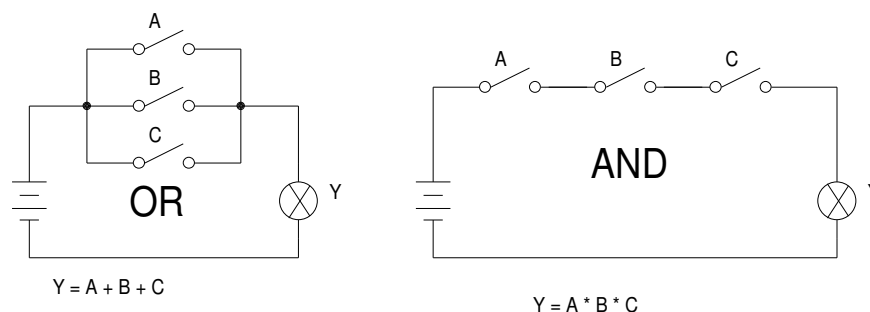
6.1 Logické členy

Logický člen je kombinační obvod, který vykonává jednoduchou logickou funkci (hradlo, invertor, budič).

Jednoduché logické členy jsou základem každého logického obvodu. Jsou stavebními kameny i uvnitř nejsložitějších obvodů vysoké integrace, např. procesorů. Logické členy mohou být vytvořeny různými způsoby (technologemi).

6.1.1 Logické členy s kontakty

Pro konstrukci složitých logických obvodů se už nepoužívají. Řešíme-li ale např. problém podmíněného ovládní zařízení z více míst, můžeme přitom využít znalosti z teorie logických obvodů.

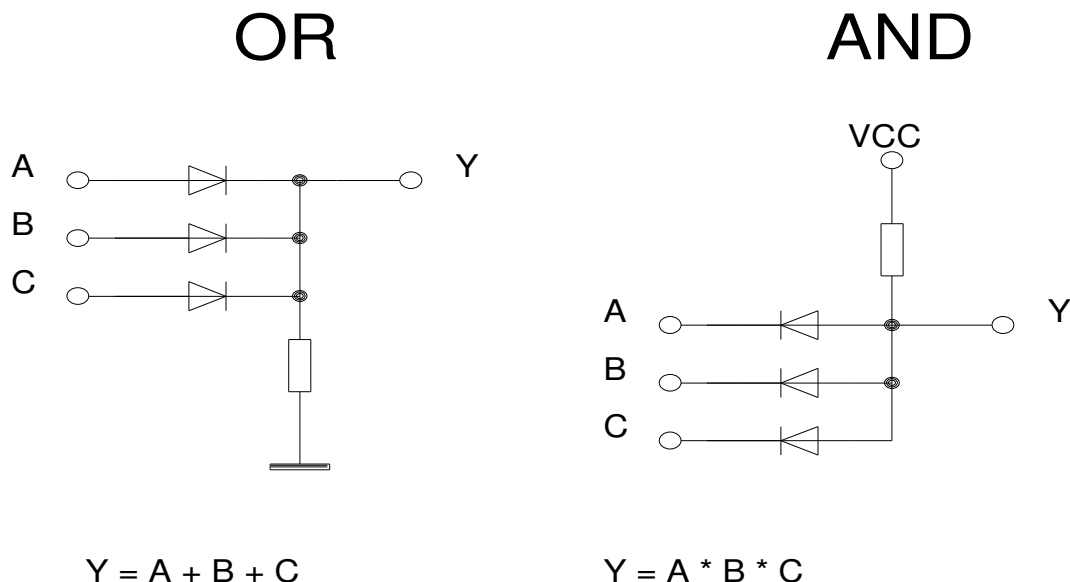


Obrázek 10: Logický člen OR a logický člen AND s kontakty

Na logickém členu OR je dobře vidět, že logický výraz může nabývat hodnoty nejvýše 1: Zapneme-li jeden spínač, žárovka svítí, $Y = 1$. Zapneme-li více spínačů, žárovka nesvítí více. Stále platí pouze $Y = 1$. Dále je zde dobře patrná agresivita jedničky v logickém součtu: Stačí zapnout jediný (kterýkoliv) spínač a žárovka svítí. Na stavu ostatních spínačů přitom nezáleží.

U logického členu AND je patrná agresivita nuly v logickém součinu: Stačí vypnout jediný spínač a žárovka zhasne.

6.1.2 Diodové logické členy



Obrázek 11: Logický člen OR a logický člen AND s diodami¹

Diodová logika se používala před nástupem integrovaných obvodů. Dnes se s diodovými obvody setkáme např. v obvodech, které zabezpečují přechod zařízení na bateriové napájení při výpadku sítě (viz např. Obrázek 12).

Oba logické členy můžeme opět vysvětlit pomocí agresivity logické jedničky (člen OR) a nuly (AND).

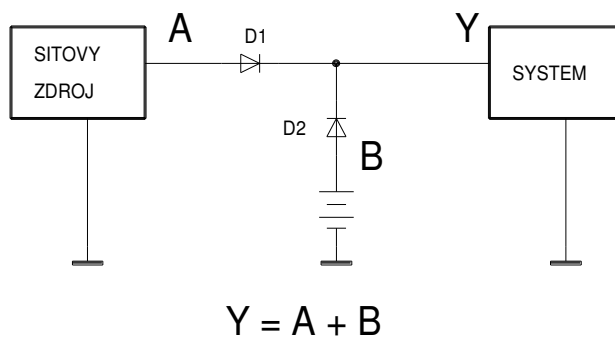
Přivedeme-li na kterýkoliv vstup členu OR logickou 1 (tj. kladné napětí), příslušná dioda se stane vodivou a kladné napětí se dostane na výstup Y.

Je-li na všech vstupech členu AND logická 1 (tj. kladné napětí), jsou všechny diody v závěrném směru a na výstup Y se přes rezistor dostane kladné napětí. Jestliže na kterýkoliv vstup členu AND přivedeme logickou 0 (tj. vstup uzemníme), příslušná dioda se stane vodivou a uzemní i výstup Y.

Obrázek 12 ukazuje jednoduchý způsob přepínání napájení systému na baterii při výpadku síťového zdroje. Je-li síťový zdroj v pořádku, jeho napětí je větší než napětí baterie. Dioda D1 vede, D2 nevede a systém je napájen ze zdroje. Jestliže napětí zdroje poklesne, napětí baterie je větší než napětí zdroje. Dioda D2 vede, D1 nevede a systém je napájen z baterie.

Velkou nevýhodou diodových logických členů jsou úbytky napětí na diodách. Zapojíme-li několik takových členů do kaskády, tj. tak, že signál prochází přes několik členů, úbytky napětí na diodách se sčítají a signál už nemá správné logické úrovně.

¹ Symbol V_{CC} znamená kladné napájecí napětí. U většiny logických obvodů se tím rozumí napětí 5 V.



Obrázek 12: Zálhování systému baterií

6.1.3 Logické členy RTL, DTL

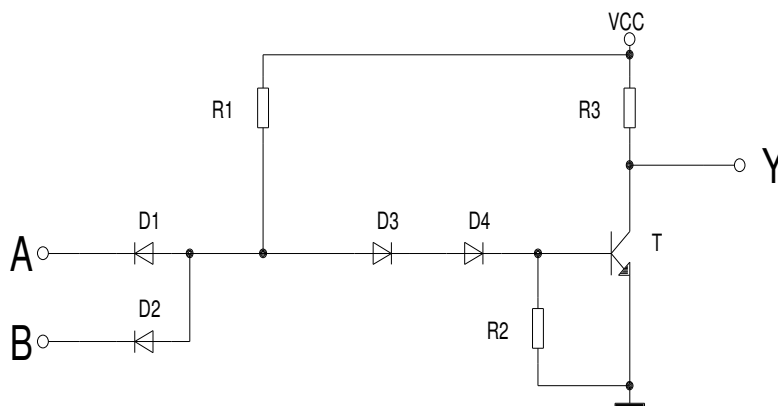
Obvody RTL (Resistor – Transistor Logic) a DTL (Diode - Transistor Logic) už obsahují i aktivní prvky - tranzistory. Jako vazební členy mezi tranzistory jsou použity rezistory (RTL) nebo diody (DTL).

Aktivní prvky – tranzistory – svým zesílením eliminují úbytky na diodách. Proto je možno řadit tyto obvody i do kaskád a vytvářet tak složitější logické obvody.

Dnes už jsou i tyto obvody zastaralé a nepoužívají se.

Uvedeme příklad hradla NAND DTL.

Jeho funkce bude popsána ústně při výkladu hradla TTL. Čtenář, který při výkladu chyběl, pochopí funkci hradla DTL po prostudování funkce hradla TTL.



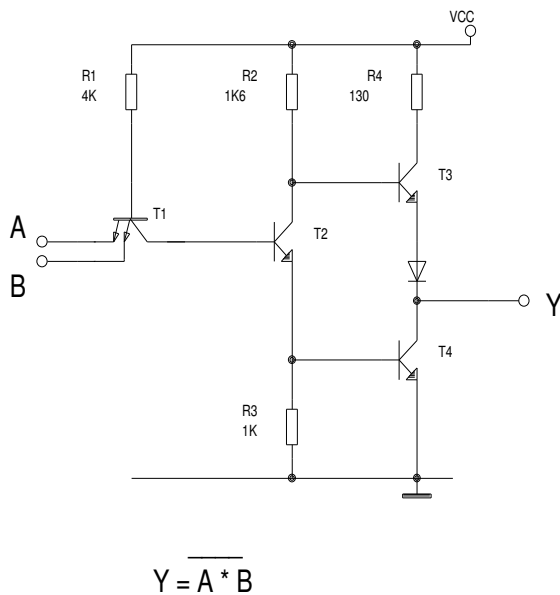
Obrázek 13: Hradlo NAND DTL

6.1.4 Logické členy TTL

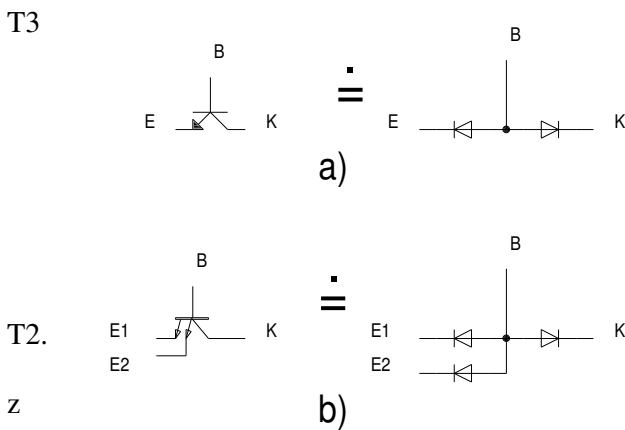
Obvody TTL (Transistor - Transistor Logic) patří dodnes mezi nejrozšířenější, i když jsou silně vytlačovány obvody CMOS. Jako vazební prvek je zde zařazen další tranzistor. Je to výhodné při integraci obvodů a dosáhne se tím i zlepšení parametrů. Místo základní řady TTL se dnes téměř výhradně užívají vylepšené řady S, LS, ALS, F.

a) Základní zapojení hradla TTL

Na vstupu součinného hradla TTL (Obrázek 14) je zapojen tranzistor s tolika emitory, kolik vstupů má hradlo mít. Dvojvstupové hradlo má např. na vstupu tranzistor se dvěma emitory.



Obrázek 14: Vnitřní zapojení hradla NAND TTL



Obrázek 15: Náhrada tranzistoru diodami

Tranzistor T3 je přitom rozepnutý, protože jeho přechod báze - emitor je zkratovaný sepnutým tranzistorem T2. Dioda D1 zvětšuje hranici, kterou musí překročit napětí na bázi T3, má-li tento tranzistor sepnout. V tomto stavu tedy D1 zajišťuje, že T3 bude určitě rozepnutý, i kdyby saturační napětí T2 nebylo nulové.

b) Rozhodovací úroveň

Rozhodovací úroveň obvodů TTL (tj. úroveň vstupního napětí, při které se hradlo rozhoduje, zda se překloupit nahoru nebo dolů) je asi 1.4 V. Přivedeme-li na vstup hradla toto napětí, přechody B-E tranzistorů T2 a T4 právě začínají vést. Úbytky napětí na přechodech tranzistoru T1 přitom můžeme z této úvahy vyloučit, protože se vzájemně ruší. Přechody E-B,

Běžný tranzistor si můžeme velmi zjednodušeně představit jako soustavu dvou diod (Obrázek 15a). Tuto náhradu tranzistoru často používáme při orientační kontrole tranzistoru ohmmetrem. Tranzistor se dvěma emitory můžeme takto nahradit třemi diodami (Obrázek 15b).

Pokud uzemníme některý ze vstupů hradla A nebo B (nebo oba), proud ze zdroje teče rezistorem R1 přes emitorové diody tranzistoru T1 do země. Báze T2 není buzena žádným proudem a T2 je rozepnutý. Báze T4 je uzemněná rezistorem R3 a neteče do ní žádný proud. Tranzistor T4 je proto rozepnutý. Do báze T3 teče ze zdroje proud přes rezistor R2. je proto sepnutý a připojuje tak výstup hradla na kladné napětí. Má-li tedy aspoň jeden vstup úroveň L, na výstupu je úroveň H.

Připojíme-li oba vstupy hradla na úroveň H, emitorové diody T1 nevedou a proud rezistorem R1 teče přes kolektorovou diodu T1 do báze. Ten sepne a do báze T4 teď teče proud z rezistoru R2 a také proud rezistoru R1, který protekl přes přechod báze - emitor T2. Tranzistor T4 proto sepne a připojí výstup hradla k zemi a na výstupu hradla je úroveň L.

B-C jsou zde pólovány podobně jako antisériově (obráceně) zapojené články v tranzistorovém přijímači nebo přehrávači. Jejich polarita je -++- a výsledný účinek je nulový.

c) Vstupní proud

Rezistor R1 určuje vstupní proud hradla při úrovni L. Proud v tom případě vytéká ze vstupu a jeho velikost je asi

$$I_{il} = \frac{5V - 0.7V}{4k} = 1.07mA$$

To je tzv. typický vstupní proud. Pro výpočty zatížení výstupů hradel je však důležitější tzv. maximální vstupní proud při úrovni L, který je 1.6 mA. Výrobce tedy zaručuje, že proud vytékající ze vstupu při úrovni L nepřekročí 1.6 mA¹.

Je-li na vstupu hradla úroveň H, přechod B-E tranzistoru T1 je pólováný v závěrném směru. Proud teď teče naopak do vstupu. Je to jen tzv. svodový proud tohoto přechodu, který činí typicky jednotky μA , maximálně 40 μA ². Tento proud je obdobný proudů diodou v závěrném směru.

Vstupní proud hradla TTL v okolí rozhodovací úrovně tedy mění směr: Pod rozhodovací úrovní vstupní proud vytéká ven (vstup je tedy zdrojem), nad ní teče dovnitř (vstup je spotřebičem).

d) Obvody s otevřeným kolektorem

Pokud u logického členu TTL vynecháme rezistor R4, tranzistor T3 a diodu D1, dostaneme tzv. obvod s otevřeným kolektorem (Obrázek 16a). Takový obvod dokáže na svém výstupu zajistit úroveň L, ale nemůže sám zajistit úroveň H. K tomu mu chybí vynechaný tranzistor T3 a další jmenované součásti. Kolektorový rezistor, který může výstup vytáhnout na úroveň H, se připojuje zvenčí (tzv. „pull-up resistor“).

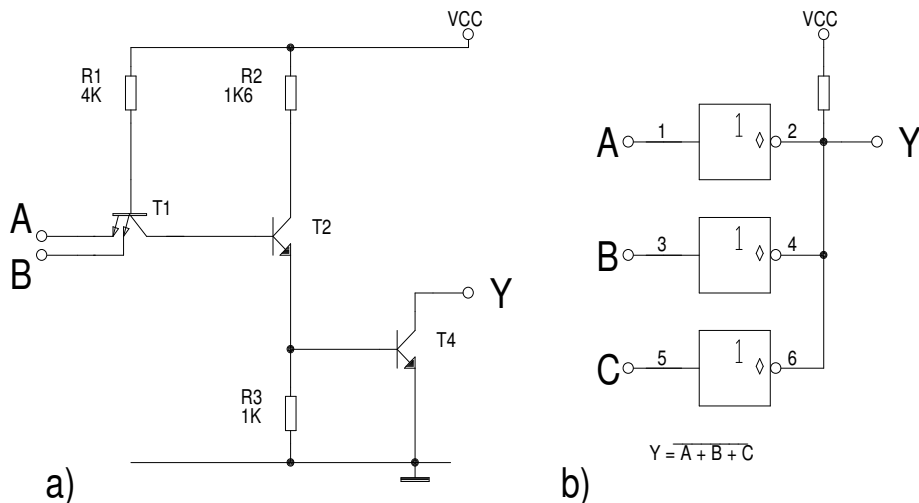
Kolektorový rezistor může být společný pro několik výstupů spojených dohromady (Obrázek 16b). Každý ze spojených výstupů pak může do společného uzlu vnutit úroveň L. Úroveň H ale může být ve společném uzlu jen pokud jsou všechny výstupy v tom stavu, který by u normálního obvodu odpovídal úrovni H. To znamená, že tranzistory T4 všech výstupů jsou rozpojené a společnému rezistoru nic nebrání, aby vytáhnul výstupy na úroveň H.

Toto zapojení se anglicky nazývá „wired-or“, česky „drátovaný součet“: Paralelním spojením několika výstupů se dosáhlo funkce NOR. To znamená, že jediná jednička na vstupech A, B, C, stačí k tomu, aby na výstupu Y byla logická nula.

Před nástupem obvodů s třístavovým výstupem (viz dále) se obvodů s otevřeným kolektorem používalo k připojení více zařízení na společnou sběrnici. Využívalo se přitom jejich schopností „odpojit“ svůj výstup ve stavu, odpovídajícím úrovni H.

¹ Toto je vstupní proud základní řady TTL. Vstupní proudy moderních řad jsou většinou menší.

² Opět pro základní řadu. Pro ostatní řady je tento proud většinou menší.



Obrázek 16: a) Vnitřní zapojení hradla s otevřeným kolektorem, b) Spojování výstupů s otevřeným kolektorem

e) Třístavové výstupy

Výstup logického členu může být uvnitř zapojený i tak, že kromě stavů L a H je možno také uvést ho do tzv. třetího stavu, ve kterém na něm není úroveň L ani H. Výstup ve třetím stavu má vysokou impedanci a chová se "jako by nebyl" - je odpojený. Obvody s třístavovými výstupy lze spojit paralelně na jednu sběrnici. Pomocí výběrových signálů se určí, který z obvodů bude aktivní, zatímco ostatní zůstanou odpojené.

Třístavové výstupy plní stejnou funkci jako obvody s otevřeným kolektorem: Umožňují připojení více zařízení na společnou sběrnici. Jsou ale mnohem rychlejší při menší spotřebě energie.

Příklad:

Mikroprocesor, paměť RAM a paměť ROM spojíme třístavovými výstupy na společnou sběrnici. Když mikroprocesor čte z paměti RAM, vyšle do ní výběrový signál. RAM se připojí ke sběrnici a vyšle na ni svoje data. Výstupy ROM přitom zůstávají ve třetím stavu (odpojené) a neruší komunikaci mezi mikroprocesorem a RAM (Obrázek 31).

6.2 Invertory

Definice

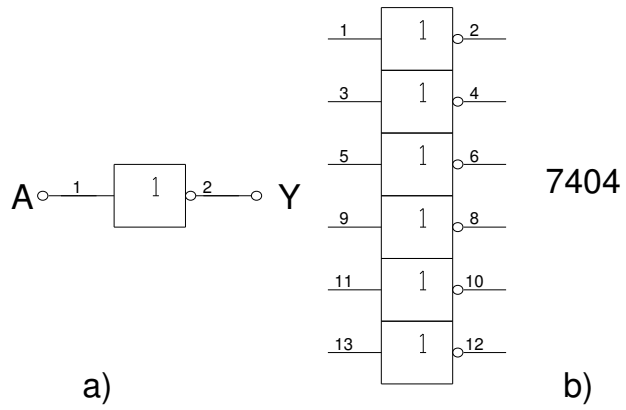
Invertor je logický člen, který provádí logickou negaci. Jeho logická funkce je

$$Y = \overline{A}$$

Příklady: Šestice invertorů 7404, 7405

7404 je šestice invertorů v jednom pouzdře se čtrnácti vývody (Obrázek 17b). 7405 je zapojený obdobně, ale má otevřené kolektory.

Sady čtyř až osmi invertorů s třístavovými výstupy v jednom pouzdře se používají podobně jako oddělovače (viz dále) k připojení obvodů na sběrnici.

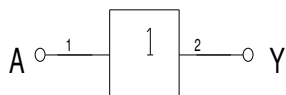


Obrázek 17: a) Schematická značka invertoru, b) 7404 - šestice invertorů v jednom pouzdře

6.3 Oddělovače

Oddělovač (budič, buffer) je logický člen, který provádí logickou funkci

$$\underline{Y = A}$$



Obrázek 18: Schématická značka oddělovače

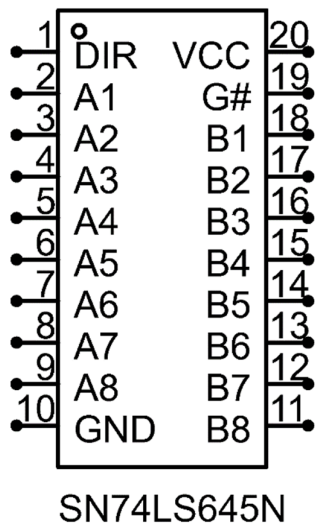
Používá se k oddělení částí obvodů od sebe a k připojování obvodů na sběrnici.
Oddělovače mohou mít výstupy normální, s otevřenými kolektory i třístavové.

Příklad: 74LS645 - obousměrný budič sběrnice

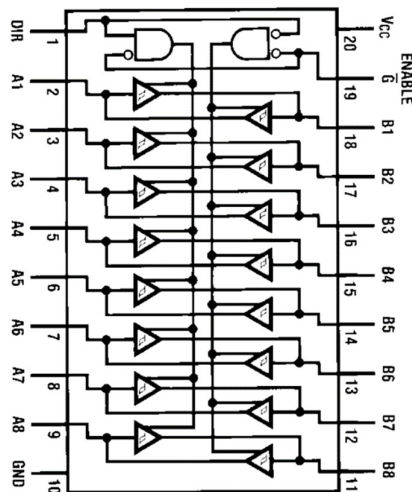
74LS645 (Obrázek 19) je osminásobný obousměrný budič sběrnice. Používá se k připojení na sběrnici pro taková zařízení, u kterých se musí data pohybovat dovnitř i ven. Např. u paměti RAM při zápisu procházejí data dovnitř, při čtení ven.

Každý z osmi kanálů 74LS645 se skládá ze dvou budičů propojených tak, že vstup jednoho je připojený na výstup druhého. Vždy jen jeden z budičů je aktivní a signál jím může procházet, zatímco druhý budič má výstup ve třetím stavu a je tedy odpojený. Směr průchodu dat je ovládán signálem na vstupu DIR. Z obrázku vidíme, že jeho signál pro levý sloupec budičů je přímý, pro pravý sloupec je invertovaný. Tím je zajištěno, že vždy jeden z budičů je aktivní a druhý ne.

Signálem G# (ENABLE) je možno uvést do třetího stavu výstupy všech budičů, takže pak 74LS645 není pro data průchozí v žádném směru.



a)



b)

Obrázek 19: a) 74LS645 - obousměrný budič sběrnice s třístavovými výstupy, b) zjednodušené vnitřní zapojení 74LS645

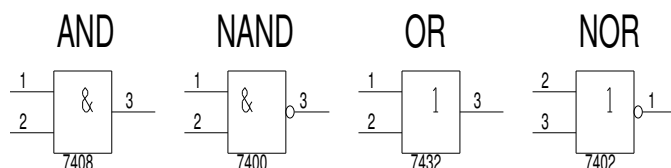
Vyrábí se také invertující varianta tohoto obvodu. Má označení 74LS640 a je s 74LS645 „pin-to-pin compatible“. To znamená, že rozložení vývodů je u obou variant přesně stejné. To je výhodné při vývoji a experimentování: můžeme z patice vytáhnout jednu variantu obvodu a vyzkoušet, jak bude zapojení fungovat s druhou.

6.4 Hradla

Definice

Hradlo je logický člen, který má alespoň dva vstupy a realizuje jednoduchou logickou funkci, např. AND, OR. Výstup hradla může být negován. Funkci hradla dobře vystihuje i anglický název "gate", který také znamená "brána": Hradlo může sloužit i k zablokování (zahrazení) nebo uvolnění průchodu logického signálu.

Schématické značky hradel

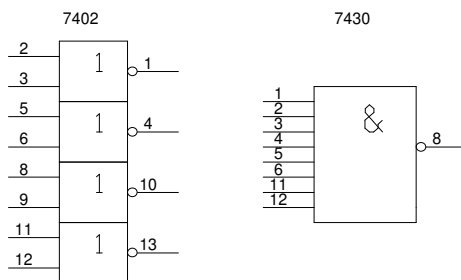


Obrázek 20: Příklady schématických značek jednoduchých hradel

Obrázek 20 ukazuje příklady schématických značek jednoduchých hradel. **Symbol „&“ uvnitř hradla znamená součinnové hradlo, symbol „1“ znamená součtové hradlo. Kroužek u výstupu hradla znamená, že výstup hradla je invertován. Číslo u vývodu udává, ke kterému kontaktu integrovaného obvodu je vývod připojen. Tato čísla se NEUČTE, mají význam při zapojování konkrétních obvodů a návrhu plošných spojů.**

Na obrázku jsou dvojevstupová hradla. Počet vstupů hradla ale může být i větší.

$$Y = A + B \quad Y = A * B * C * D * E * F * G * H$$



Obrázek 21:
a) 7402 - čtveřice dvojjstupových hradel NOR
b) osmivstupové hradlo NAND

a) b)

Příklady hradel: 7402, 7430

7402 je čtveřice hradel NOR v jednom pouzdře. 7430 je jedno osmivstupové hradlo NAND.

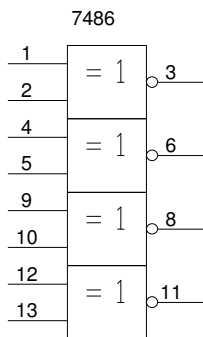
Hradlo EXCLUSIVE-OR: 7486

Zvláštním případem je hradlo EXCLUSIVE-OR (EX-OR), které realizuje funkci výhradního neboli exkluzivního součtu: Na výstupu hradla EXCLUSIVE-OR je jednička, jsou-li úrovně na jeho vstupech rozdílné.

Integrovaný obvod 7486 (Obrázek 22) obsahuje čtyři dvojjstupová hradla EXCLUSIVE-OR.

A	B	Y
0	0	0
0	1	1
1	0	1
1	1	0

Tabulka 3: Pravdivostní tabulka hradla EXCLUSIVE-OR

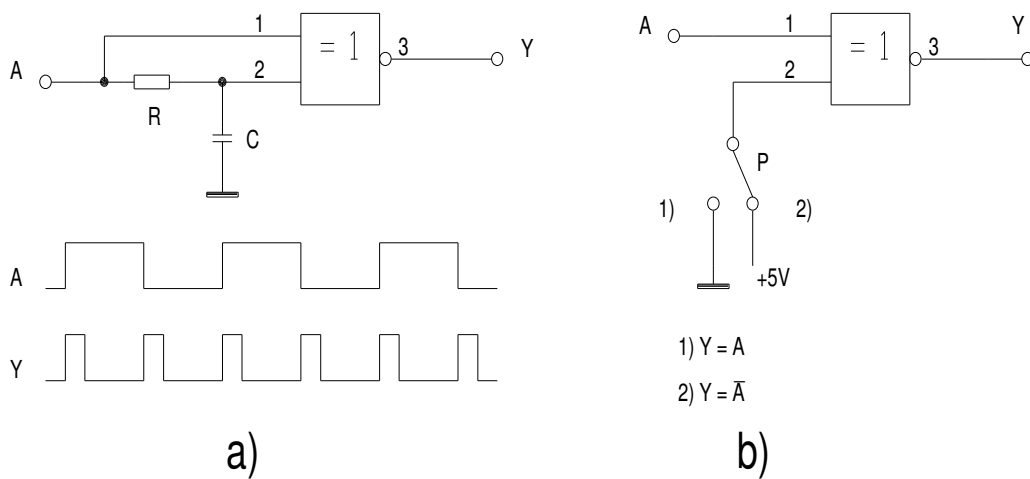


Obrázek 22: 7486 - čtveřice dvojjstupových hradel EXCLUSIVE-OR

Funkci hradla EX-OR dobře vyjadřuje jeho schématická značka. Můžeme ji zleva doprava číst takto: Když se vstupy rovnají, tak je tady jednička, a pak ještě negace ...

Příklady užití hradel EX-OR

Obrázek 23a) ukazuje obvod, který na každou hranu (vzestupnou i sestupnou) vstupního signálu vyrobí jeden celý impuls výstupního signálu. Jedné hraně na vstupu tedy odpovídají dvě hrany na výstupu: Na výstupu je dvakrát větší kmitočet, než na vstupu. Takové zapojení nazýváme zdvojovač kmitočtu.



Obrázek 23: Použití EXCLUSIVE-OR a) Zdvojovač kmitočtu, b) ne/invertor

Přijde-li na vstup A vzestupná hrana, úroveň H se dostane na vstup 1 hradla okamžitě, zatímco na vstupu 2 ještě zůstane úroveň L tak dlouho, dokud se kondenzátor C nenabije. Podobně při sestupné hraně na vstupu A určitou dobu trvá, než se kondenzátor C vybijí na úroveň L. Po dobu, kdy jsou na vstupech 1 a 2 hradla rozdílné úrovně, je na jeho výstupu impuls o úrovni H (viz pravdivostní Tabulka 3).

Někdy je užitečné mít k dispozici jak původní, tak invertovaný (převrácený) signál a zároveň mít možnost jednoduché volby mezi nimi. Obrázek 23b ukazuje obvod, který v poloze 1 přepínače P dává na svém výstupu Y signál shodný se vstupním signálem A, v poloze 2 přepínače dává signál invertovaný.

6.5 Převodníky kódů

Kód je jednoznačný předpis, který znakům nebo hodnotám z jedné množiny přiřazuje znaky nebo hodnoty z jiné množiny.

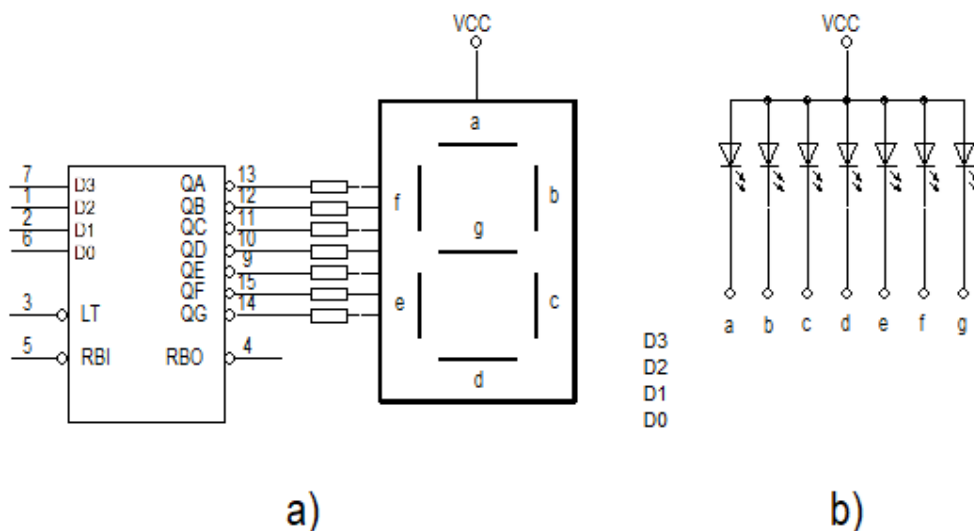
Např. kód ASCII (American Standard Code for Information Interchange) přiřazuje každému znaku abecedy číslo od 0 do 255. V počítačích jsou pak místo písmen zpracovávána příslušná čísla.

Sedmisegmentový kód přiřazuje každé číslici 0-9 skupinu segmentů, které tuto číslici zobrazují.

	D3	D2	D1	D0	a	b	c	d	e	f	g
0	0	0	0	0	L	L	L	L	L	L	H
1	0	0	0	1	H	L	L	H	H	H	H
2	0	0	1	0	L	L	H	L	L	H	L
3	0	0	1	1	L	L	L	L	H	H	L
4	0	1	0	0	H	L	L	H	H	L	L
5	0	1	0	1	L	H	L	L	H	L	L
6	0	1	1	0	L	H	L	L	L	L	L
7	0	1	1	1	L	L	L	H	H	H	H
8	1	0	0	0	L	L	L	L	L	L	L
9	1	0	0	1	L	L	L	L	H	L	L

Tabulka 4: Sedmisegmentový kód -
- pravdivostní tabulka obvodu 7447

6.5.1 Příklad převodníku BCD → 7 segmentů: 7447



Obrázek 24: 7447 - Převodník kódu BCD na sedmisegmentový.

a) Ukázka připojení sedmisegmentovky, b) vnitřní zapojení sedmisegmentovky

Zkratka BCD znamená "Binary Coded Decimal", tj. desítková čísla zakódovaná pomocí binárních. Kód BCD je téměř shodný s binárním. Liší se jen tím, že po skupinách čtyř vodičů přenáší pouze čísla 0-9 (a ne 0-15).

Číslo BCD ze vstupů A-D se převádí na sedmisegmentový kód na výstupy a-g. Obvod 7447 je určen pro buzení segmentovek¹ se společnou anodou². Proto je pro segmenty, které mají svítit, aktivní úroveň L.

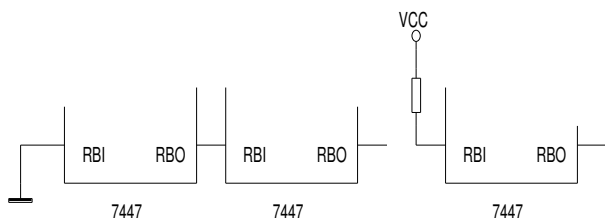
Pomocný vstup LT (Lamp Test) slouží pro kontrolu celého zapojení včetně segmentovky: Při uzemnění LT se rozsvítí všechny segmenty.

Vstup RBI a výstup RBO slouží k potlačení nevýznamných nul. Má-li se např. na pětimístném displeji zobrazit hodnota 7.5 V, není vhodné, aby svítily všechny nuly na začátku čísla:

0007.5

Pomocí kaskádního zapojení vstupů RBI a výstupů RBO se dosáhne údaje

7.5



Obrázek 25: Kaskádní řazení obvodů 7447

Je-li na vstupu RBI úroveň L a zároveň zobrazované číslo má být nula, nesvítí žádný segment - nula se potlačí. Přitom na výstupu RBO se objeví úroveň L, která přenáší informaci o "nevýznamnosti" nuly do dalšího obvodu.

Pokud některá z dalších zobrazovaných číslic je jiná než nula, řetěz RBI-RBO se přeruší a v dalších obvodech se zobrazují všechny číslice včetně nul

(nuly na dalších místech už nejsou "nevýznamné").

Obvod 7447 se tedy řídí tímto pokynem: Máš-li nulu na RBI a zároveň nulu na displeji, nesvíť a dej nulu na RBO.

Např. u zmíněného pětimístného displeje při zobrazení hodnoty 100.6 V nuly za jedničkou už nejsou "nevýznamné" a proto se zobrazí:

100.6

Výstup RBO má uvnitř otevřený kolektor, proto může být zvenku jiným obvodem s otevřeným kolektorem stažen na úroveň L. Tím dojde ke zhasnutí všech segmentů, a to bez ohledu na stav ostatních vstupů. To se dá využít k řízení jasu displeje pomocí pulzní modulační PWM³.

Anody LED segmentů je možno připojit na +5 V, případně i na vyšší napětí až do +15 V. Anody mohou být napájeny z nestabilizovaného napětí. Pak jejich proud zbytečně nezatěžuje stabilizátor +5 V.

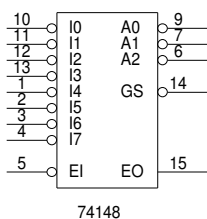
¹ Sedmisegmentovka je elektronická součástka, která obsahuje sedm svítivých diod ve tvaru čárek (segmentů) uspořádaných do tvaru číslice 8. Používá se k zobrazování číslic v displejích.

² Sedmisegmentovka se společnou anodou má spojené anody všech svítivých diod. Obvod, který sedmisegmentovku budí, musí pro svítící segment dodávat (přes omezovací rezistor!) úroveň L. U sedmisegmentovek se společnou katodou musí budicí obvod dodávat úroveň H.

³ PWM = Puls Width Modulation = pulzní šířková modulace.

6.5.2 Příklad převodníku kódu 1 z 8 na binární kód: 74148

Obrázek 26:
74148-převodník kódu 1 z 8
na binární



I0	I1	I2	I3	I4	I5	I6	I7	A2	A1	A0
X	X	X	X	X	X	X	0	0	0	0
X	X	X	X	X	X	0	1	0	0	1
X	X	X	X	X	0	1	1	0	1	0
X	X	X	X	0	1	1	1	0	1	1
X	X	X	0	1	1	1	1	1	0	0
X	X	0	1	1	1	1	1	1	0	1
X	0	1	1	1	1	1	1	1	1	0
0	1	1	1	1	1	1	1	1	1	1

Tabulka 5: Pravdivostní tabulka
obvodu 74148

Obvod 74148 má 8 vstupů I0-I7 a tři výstupy A0-A2. Na výstupech je také binární číslo, které odpovídá pořadovému číslu aktivního vstupu s nejvyšší prioritou (tj. předností nebo váhou). Největší prioritu má vstup s indexem 7. Jsou-li např. aktivní vstupy I2 a I5, je na výstupech číslo 5 (pozor, invertované - viz dále).

Aktivní jsou ty vstupy, které mají úroveň L.

Výstupy jsou invertované. Abychom dostali pořadové číslo aktivního vstupu s největší váhou, musíme hodnoty všech výstupů invertovat. Je-li např. nejvyšší aktivní vstup č. 3, je na výstupu hodnota

A2	A1	A0
1	0	0

přičemž víme, že dekadickému číslu 3 odpovídá binární vyjádření invertované:

0	1	1
---	---	---

Pravdivostní tabulka (Tabulka 5) ukazuje vztah mezi vstupy I0-I7 a výstupy A2-A0. Písmeno „X“ v tabulce značí, že na příslušné hodnotě nezáleží. Jestliže např. ve druhém řádku shora má vstup I7 hodnotu 0, nezáleží na stavech ostatních vstupů I0-I6, protože vstup I7 má největší prioritu (je ze všech vstupů „nejdůležitější“).

Hodnoty umístěné od diagonální¹ řady nul vpravo musí být 1, jinak by tabulka nedávala smysl, nebyla by logicky uspořádaná.

Obvod 74148 je možno použít např. ke konstrukci paralelního AD převodníku (viz kapitola *Analogově - digitální převodníky*).

¹ diagonála = úhlopříčka

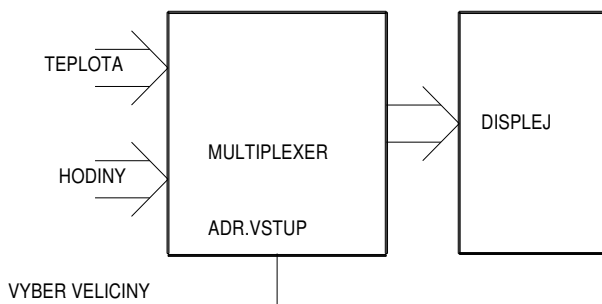
6.6 Multiplexery

Definice

Multiplexer je elektronický přepínač digitálních signálů s dvěma nebo více datovými vstupy a jedním výstupem. Je řízen pomocí adresových vstupů, které určují, do které "polohy" se má multiplexer přepnout.

Příklady použití

Multiplexery lze použít např. k zobrazení několika veličin jedním displejem, ke sloučení několika signálů do jednoho vedení nebo k realizaci logických funkcí.

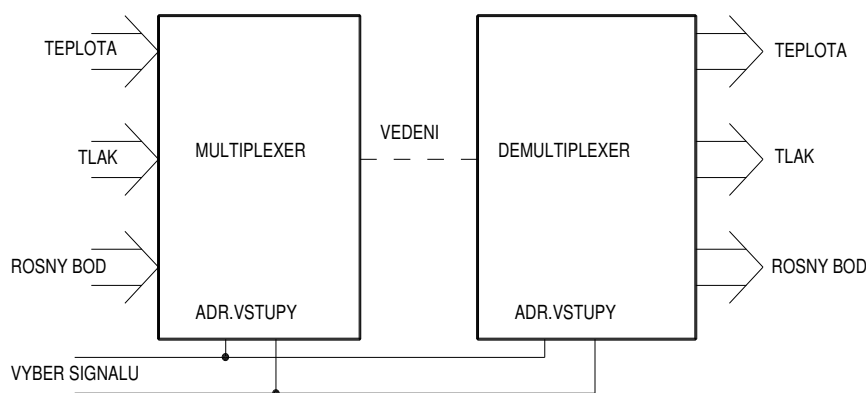


Obrázek 27 ukazuje možnost zobrazení dvou veličin - teploty a času - na jediném displeji. Takové displeje vidáme na střechách výškových domů: Pravidelně se na nich střídá čas a teplota vzduchu. Na výstupu digitálního teploměru je trvale k dispozici teplota, na výstupu digitálních hodin je k dispozici čas. Pomocí řídicího signálu

Obrázek 27: Zobrazení dvou veličin jedním displejem „VYBER VELICINY“ se multiplexer přepíná z jedné veličiny na druhou a zpět a tím se obě veličiny na jeho výstupu (a na displeji) střídají.

Obrázek 28 je příkladem přenosu několika veličin po jednom vedení. Meteorologické veličiny se mění velmi pomalu, proto stačí měřit je v dlouhých intervalech. Proto také není na závalu, jsou-li tyto veličiny přenášeny postupně po jednom vedení.

Multiplexer postupně připojuje jednotlivé veličiny na vedení. Demultiplexer¹ současně připojuje vedení na příslušné displeje nebo zapisovací přístroje, které veličiny zobrazují nebo zapisují. Multiplexer a demultiplexer jsou ovládány současně pomocí signálů „VYBER SIGNALU“.



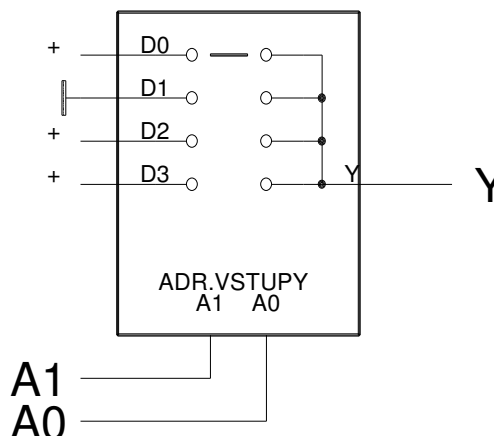
Obrázek 28: Sloučení několika signálů do jednoho vedení

Obrázek 29 ukazuje možnost řešení jednoduché logické funkce, zadané pomocí tabulky. Takovou funkci můžeme realizovat klasicky pomocí několika hradel, nebo uvedeným způsobem pomocí multiplexeru.

¹ Demultiplexer je rovněž elektronický přepínač. Je vlastně opakem multiplexeru. Bude vysvětlen dále.

A1	A0	Y
0	0	1
0	1	0
1	0	1
1	1	1

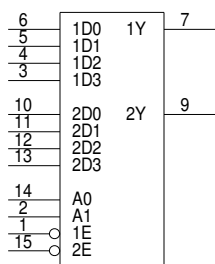
Obrázek 29: Logická funkce zadaná pomocí tabulky a její realizace pomocí multiplexeru



Cvičení

Stejnou funkci realizujte pomocí hradel. Posuďte, který způsob je náročnější na počet pouzder a spotřebu, použijeme-li v obou případech obvody řady LS.

6.6.2 Příklad integrovaného multiplexeru: 74253



Obrázek 30:
74253 - dvojnásobný čtyřvstupový multiplexer

Obvod 74253 obsahuje dva "čtyřpolohové" digitální přepínače, které jsou řízeny dvěma společnými adresovými vstupy. První přepínač má čtyři datové vstupy (1D0...1D3) a jeden výstup (1Y). Druhý přepínač má datové vstupy 2D0...2D3 a výstup 2Y. Každý výstup je "propojen" s tím datovým vstupem, na který "ukazují" adresové vstupy.

Každý z přepínačů má svůj vlastní vstup "enable" (1E, 2E), kterým lze jeho výstup aktivovat. Není-li vstup "enable" aktivní, je příslušný výstup ve třetím stavu. Např. výstup 1Y je aktivován vstupem 1E.

Příklad funkce

Jsou-li na vstupech stavy podle tabulky

A1	A0	2E	1E
1	0	0	0

znamená to, že vstupy „enable“ jsou aktivní a výstupy jsou tudíž také aktivní. Výstup 1Y je propojen se vstupem 1D2 a výstup 2Y je propojen se vstupem 2D2. Přitom na stavu ostatních datových vstupů nezáleží. Číslo na adresových vstupech má v tomto příkladu hodnotu binárně 10, dekadicky 2. Proto jsou výstupy propojeny se vstupy č.2.

6.7 Demultiplexery, dekodéry

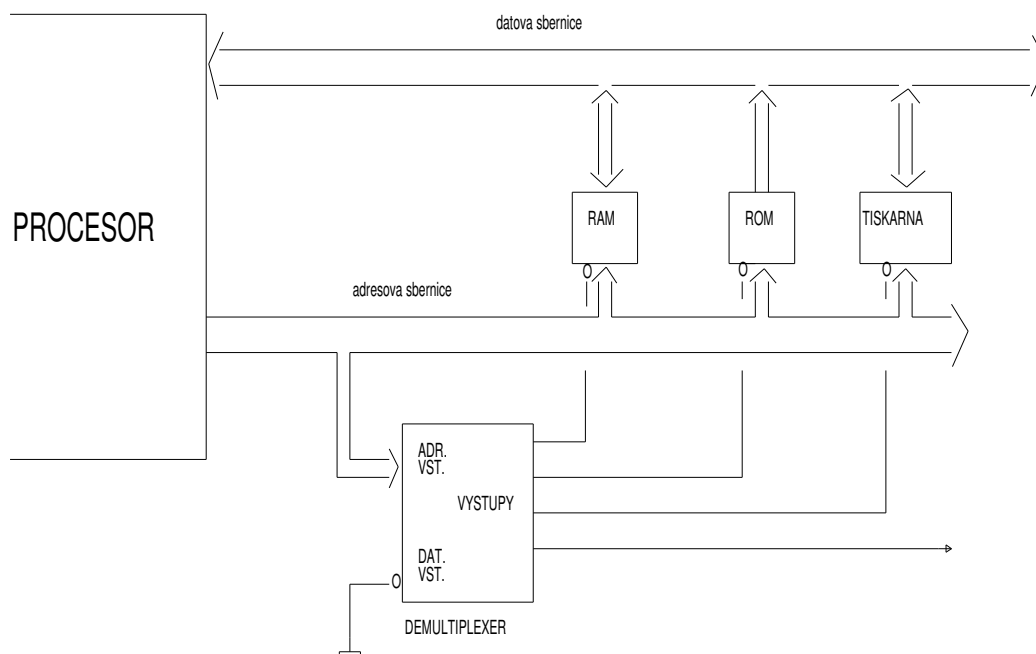
Definice

Demultiplexer je elektronický přepínač digitálních signálů, který má jeden datový vstup a dva nebo více datových výstupů. Je řízen pomocí adresových vstupů, které určují, do které "polohy" se má demultiplexer přepnout.

Příklady použití

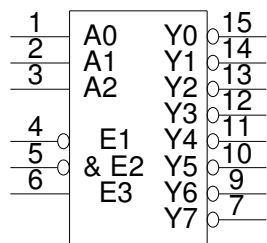
Demultiplexery lze použít např. k opětné rekonstrukci signálů, které předtím byly multiplexerem sloučeny do jednoho vedení. Takový příklad byl uveden výše (Obrázek 28: Sloučení několika signálů do jednoho vedení).

Demultiplexer se používá ve sběrnicových systémech pro výběr zařízení, které má být právě aktivní. V této funkci nazýváme demultiplexer dekodérem, protože vlastně pracuje jako převodník binárního kódu (adresové vstupy) na kód 1 z n (datové výstupy).



Obrázek 31: Demultiplexer ve funkci dekodéru 1 z n

6.7.2 Příklad integrovaného demultiplexeru: 74138 (= 3205)



Obrázek 32: 74138 - demultiplexer, dekodér

Obvod 74138 obsahuje osmipolohový digitální přepínač s jedním datovým vstupem a osmi datovými výstupy. Může pracovat i jako převodník binárního kódu na kód 1 z 8 (jako tzv. dekodér). Polohu přepínače určují tři adresové vstupy (A0...A2).

Datový vstup je představován součinem tří vstupů "enable" (E1...E3). Jeden z těchto vstupů je přímý (E3), ostatní dva jsou negované.

To usnadňuje použití obvodu ve funkci dekodéru: Má-li obvod být aktivní pouze při určité kombinaci adres, lze toho dosáhnout vhodným připojením vstupů "enable" na vodiče adresové sběrnice.

Je-li „enable“ aktivní, je na tom výstupu, který je určen adresovými vstupy log. 0, na ostatních výstupech je log. 1. Není-li „enable“ aktivní, je log. 1 na všech výstupech.

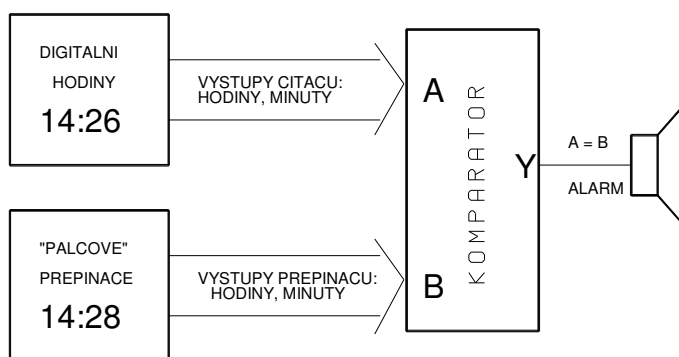
6.8 Komparátory

Definice

Digitální komparátor je kombinační logický obvod, který porovnává¹ velikost dvou čísel. Na jeho výstupu je informace o shodě nebo neshodě obou čísel. V případě neshody může komparátor ještě dávat informaci o tom, které z čísel je větší.

Ke zjištění shody-neshody dvou jednobitových čísel lze použít např. hradlo EXCLUSIVE-OR (viz výše). Pro porovnání vícebitových čísel jsou nutné složitější obvody.

Příklad použití – digitální budík



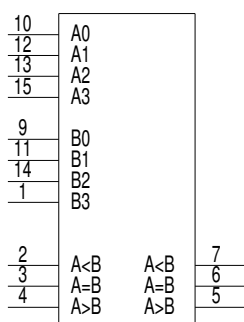
Obrázek 33: Digitální budík

"Palcové" přepínače² mají výstupy v kódu BCD. Pomocí nich nastavíme čas, ve kterém má budík zvonit. Když digitální hodiny dojdou k tomuto času, komparátor pozná shodu nastaveného a skutečného času. Na výstupu "A=B" se objeví úroveň H a zazní zvukový signál.

6.8.2 Příklad integrovaného komparátoru: 7485

7485 je komparátor pro porovnání dvou čtyřbitových čísel. Dává informaci o shodě - neshodě, v případě neshody i o tom, které z čísel je větší.

Na datové vstupy A0...A3 připojíme jedno porovnávané číslo, na vstupy B0...B3 druhé. Např. na vstupy A0...A3 připojíme výstupy čítače hodin, na vstupy B0...B3 výstupy přepínače "hodiny". Vstupy s



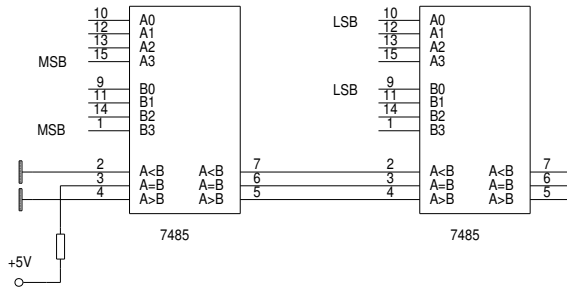
Obrázek 34: Komparátor 7485

¹ cizím slovem „komparuje“

² "Palcový" přepínač má tvar kotoučku s čísly 0 až 9. Kotouček je schován za okénkem v panelu tak, že je v okénku vidět pouze nastavené číslo. Na kotoučku jsou dále výstupky, procházející skrz panel, za které lze přepínač palcem (nebo jiným prstem) ovládat. Palcové přepínače mívají výstup buď v kódu 1 z 10 nebo BCD.

indexy "0" jsou nejméně významné (tzv. LSB¹), s indexem "3" jsou nejdůležitější (tzv. MSB²).

Vstupy a výstupy A<B, A=B, A>B slouží ke kaskádnímu spojení více obvodů 7485. To umožní porovnávat i delší než čtyřbitová čísla (Obrázek 35).



Při kaskádním zapojení se zvětšuje celkové zpoždění obvodu, tj. doba, která uplyne od přivedení čísel na vstup do ustálení informace na výstupu.

Obrázek 35: Zapojení pro porovnání dvou osmibitových čísel

6.9 Sčítačky

Definice

Sčítačka je kombinační logický obvod, který na svém výstupu dává součet dvou čísel přivedených na vstupy.

Rozsah čísla na výstupu je o jeden bit (tj. dvakrát) větší, než rozsah čísel na vstupech. Tento bit navíc se nazývá přenos (carry).

Například čtyřbitová sčítačka sčítá dvě čtyřbitová čísla, která mohou nabývat hodnot **0...15**.

Výstup takové sčítačky je pětibitový a může nabývat hodnot od nuly do

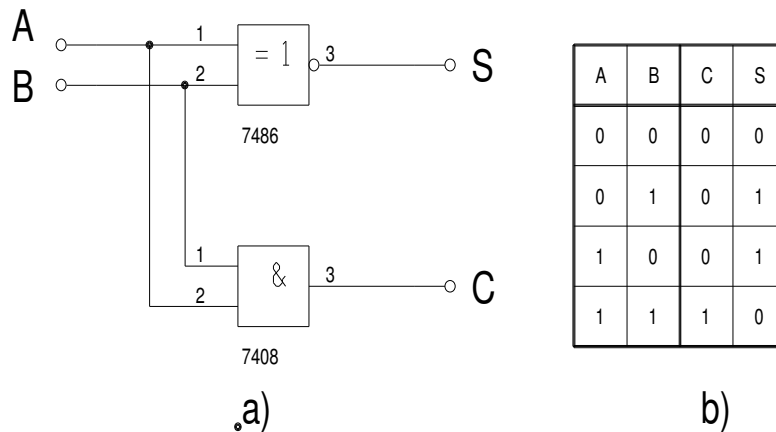
$$15+15+1=31$$

(1 je případný přenos z předchozího řádu).

¹ LSB = Least Significant Bit = nejméně významný bit

² MSB = Most Significant Bit = nejdůležitější bit

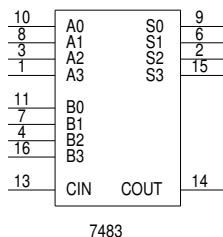
6.9.1 Jednoduchá jednobitová sčítačka



Obrázek 36: Sčítačka dvou jednobitových čísel bez vstupu Carry
a) schéma, b) pravdivostní tabulka

Obrázek 36 znázorňuje jednoduchou sčítačku pro dvě jednobitová čísla. Hradlo EXCLUSIVE-OR 7486 vyhodnocuje stav, kdy právě jedno z čísel na vstupu je jedna a výsledek tedy má být lichý. Hradlo AND 7408 vyhodnocuje přetečení, tj. stav, kdy se výsledek už nevejde do jednoho bitu. Tuto sčítačku nelze použít v kaskádním zapojení pro sčítání vícebitových čísel, protože nemá vstup Carry pro přenos z předchozího řádu.

6.9.2 Příklad integrované sčítačky: 7483



Obrázek 37: 7483 - sčítačka pro dvě čtyřbitová čísla

rovnocenný a záměnný se vstupy A0 a B0. Toho lze využít např. při návrhu plošného spoje.

Integrovaná sčítačka 7483 (Obrázek 37) sčítá dvě čtyřbitová binární čísla a vstup přenosu z předchozího řádu CIN¹. Výstupem je čtyřbitové číslo a výstup přenosu COUT². Celková hodnota čísel na vstupu může být až

$$A + B + CIN = 15 + 15 + 1 = 31$$

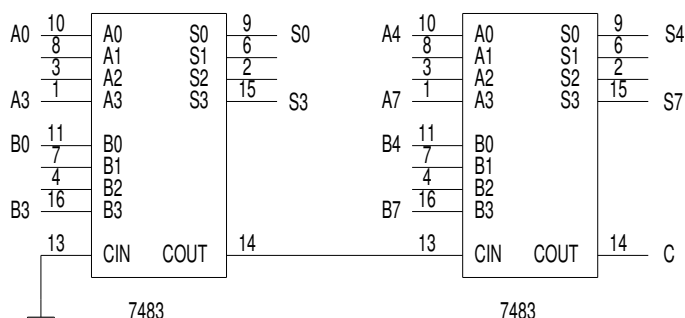
Tato hodnota právě odpovídá pěti bitům (S0...S3, COUT), které jsou k dispozici na výstupu.

Vstupy se stejnou váhou (např. A2 a B2) jsou rovnocenné a tudíž vzájemně záměnné. Vstup CIN je navíc

¹ CIN = Carry In = přenos dovnitř

² COUT = Carry Out = přenos ven

7483 umožňuje kaskádní spojování pro sčítání libovolně dlouhých čísel (Obrázek 38):



Obrázek 38: Kaskádní zapojení 7483 pro sčítání osmibitových čísel

6.10 Paměti ROM

Definice

Paměti ROM (Read Only Memory) jsou elektronické paměti, které umožňují libovolně časté čtení informace, která v nich je uložena. Informaci si pamatují i po vypnutí napájení. Zápis informace uživatelem buď není možný vůbec, nebo jen ve zvláštním režimu paměti. Jsou mezičlánkem mezi kombinačními a sekvenčními obvody: V běžném provozu se chovají jako čistě kombinační, při zápisu jako sekvenční.

Druhy pamětí ROM

ROM jsou paměti, které byly jednou provždy naprogramovány u výrobce. Nemají žádný vývod, který by umožňoval přechod do režimu zápisu, ani jejich vnitřní struktura to neumožňuje.

PROM (Programmable ROM - programovatelné ROM) umožňují jednorázové naprogramování uživatelem. Ve struktuře obvodu jsou pro každý bit připraveny tenké propojky, které se při programování přepálí nebo nepřepálí podle hodnoty, která se má naprogramovat. Obsah naprogramované paměti už nelze nikdy změnit. (Ledaže by se změny náhodou týkaly jen bitů s nepřepálenými propojkami.)

EPROM (Erasable PROM - mazatelné PROM) umožňují opakované naprogramování uživatelem: Informaci lze z paměti vymazat a pak zapsat novou. Informace jsou uloženy v tranzistorech MOS s tzv. plovoucím hradlem. Hradlo je zcela izolováno od tranzistoru i od ostatních obvodů. Při programování se na hradlo přivede náboj, který způsobí, že tranzistor se stane vodivým. Izolace hradla je tak dokonalá, že náboj na něm vydrží i desítky let. Při mazání se izolace hradel naruší ultrafialovým světlem a náboje se vybijí. Pak je možno paměť znovu naprogramovat. To je možno opakovat mnohokrát. Pro mazání UV¹ světlem jsou paměti EPROM opatřeny okénkem z křemenného skla.

Programování EPROM je náročná operace, ke které je nutné zvláštní zařízení - programátor. Proto není možné programovat EPROM přímo v přístroji, ve kterém je EPROM použita, např. počítači nebo televizoru.

EEPROM (Electrically Erasable PROM - elektricky mazatelná PROM) patří spíše už do sekvenčních obvodů. Umožňuje rychlé elektrické mazání i programování a to

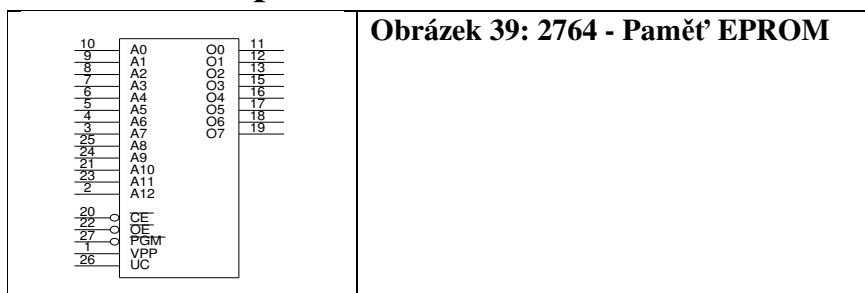
¹ UV = UltraViolet = ultrafialový

přímo v přístroji, ve kterém je použita. Mazání i zápis jsou sice podstatně pomalejší, než u paměti RAM, ale pro mnohé aplikace dostatečné. EEPROM jsou vhodné např. pro záznam předvoleb v televizoru nebo rozhlasovém přijímači. Jejich hlavní výhodou proti pamětem RAM je to, že informaci si pamatují i bez napájení.

Flash ROM jsou paměti, které umožňují snadný zápis a čtení a zároveň trvalé uložení informace bez potřeby napájení. Mají tedy přednosti paměti ROM i RAM. Používají se např. ve flash discích, paměťových kartách, mikrořadičích, SSD discích, mobilních telefonech.

Paměti PROM, EPROM jsou nahrazovány pamětmi Flash ROM. Paměti ROM se stále používají např. pro uložení pevného programu v přístrojích, vyráběných ve velkých sériích.

6.10.1 Příklad paměti EPROM: 2764



Paměť 2764 má kapacitu 64 kb, tj. 8 kB. Je mazatelná UV světlem a programovatelná pomocí zvláštního přístroje - programátoru.

Má 13 adresových vstupů A0...A12, které umožňují výběr jednoho bajtu z daných 8 kB ($2^{13} = 8192$).

Vstupy CE a OE mají obdobnou funkci: Umožňují aktivaci obvodu při čtení a přechod výstupů ze třetího stavu.

Při programování se na vstup VPP přivede vyšší napájecí napětí (12 V). Na výstupy O0...O7 se přivede hodnota bajtu, která se má zapsat a na adresové vstupy se přivede adresa, na kterou se má bajt zapsat. Pak se na vstup PGM na dobu několika ms přivede impuls, který provede vlastní zápis. To se opakuje pro všechny adresy, které se mají zapsat.

Při čtení se na adresové vstupy přivede adresa bajtu, který se má číst. Pak se aktivují (uzemní) vstupy OE, CE. Výstupy přejdou ze třetího stavu do aktivního, připojí se na sběrnici a předají na ni hodnotu čteného bajtu.

Paměť se maže UV zářením předepsané vlnové délky, působícím předepsanou dobu. Záření jiné vlnové délky (např. horské slunce) nebo zbytečně dlouhé mazání mohou životnost paměti zkrátit.

7. Logické obvody sekvenční

Definice

Sekvenční obvody jsou digitální obvody, jejichž stav závisí nejen na okamžitém stavu vstupů, ale i na posloupnosti (sekvenci) stavů, které předcházely. Sekvenční obvod tedy má paměť, která si pamatuje alespoň jeden předchozí stav.

Sekvenční obvody vznikají z obvodů kombinačních zavedením kladné zpětné vazby.

Mezi sekvenční logické obvody počítáme především

- klopné obvody
- čítače
- registry
- paměti RAM

7.1 Klopné obvody

Definice

Klopné obvody jsou digitální obvody, které se mohou nacházet ve dvou různých stavech. K překlopení z jednoho stavu do druhého někdy potřebují vnější podnět.

Klopné obvody jsou základem většiny dalších sekvenčních obvodů.

7.1.1 Druhy klopných obvodů

Klopné obvody rozdělujeme na

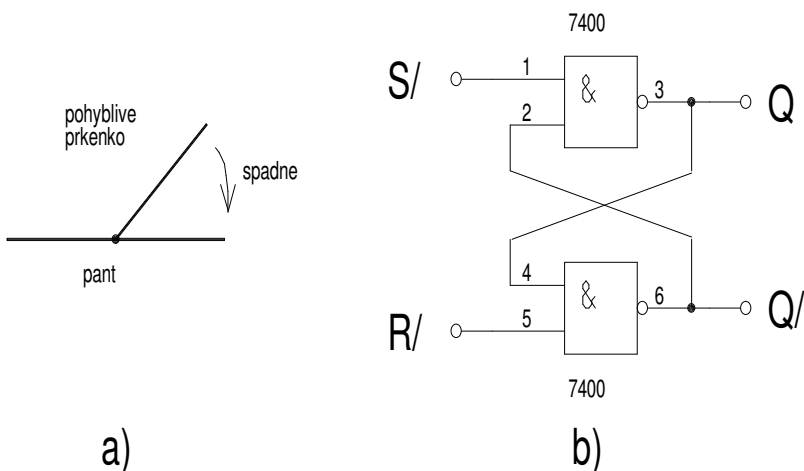
- bistabilní¹

- monostabilní²

- astabilní³

- s hysterezí⁴ (Schmittovy)

Bistabilní klopný obvod můžeme přirovnat k soustavě dvou prkének spojených pantem (Obrázek 40a):



Obrázek 40: a) Mechanická, b) elektrická obdoba bistabilního klopného obvodu⁵

Pohyblivé prkénko vždy spadne na jednu nebo na druhou stranu. Polohy vpravo dole a vlevo dole jsou polohy stabilní, protože v nich prkénko zůstává, dokud není zvenku přinuceno tento stav změnit, tj. dokud je rukou nepřeklopíme.

Podobně bistabilní klopný obvod RS (Obrázek 40b) má dva stabilní stavy. V jednom stavu je na výstupu Q úroveň H, ve druhém stavu je na něm úroveň L. V jednom z těchto stavů obvod zůstává, dokud není signálem na vstupech \bar{R}, \bar{S} přinucen překlopit se do druhého stavu.⁶

¹ Bistabilní = stabilní ve dvou stavech. Podobně bicykl má dvě kola, binární soustava má jen dvě číslice.

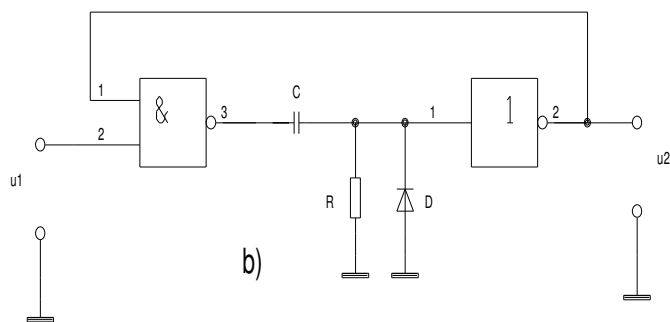
² Monostabilní = stabilní jen v jednom stavu. Podobně monotónní = jednotvárný, monofonní = jednokanálový, monolog = rozhovor jediného člověka..

³ Astabilní = nestabilní. Podobně atypický = netypický, apolitický = nepolitický.

⁴ Hystereze = vlastnost, díky které obvod nebo materiál podle okolností reaguje na stejný podnět dvěma různými způsoby.

⁵ Použitý program pro kreslení obrázků (OrCAD) neumožňuje označit negovanou veličinu vodorovnou čarou nad symbolem (např. \bar{R}), proto jsou v obrázcích negace označeny lomítkem za symbolem (např. R/).

⁶ Klopný obvod RS bude vysvětlen později.



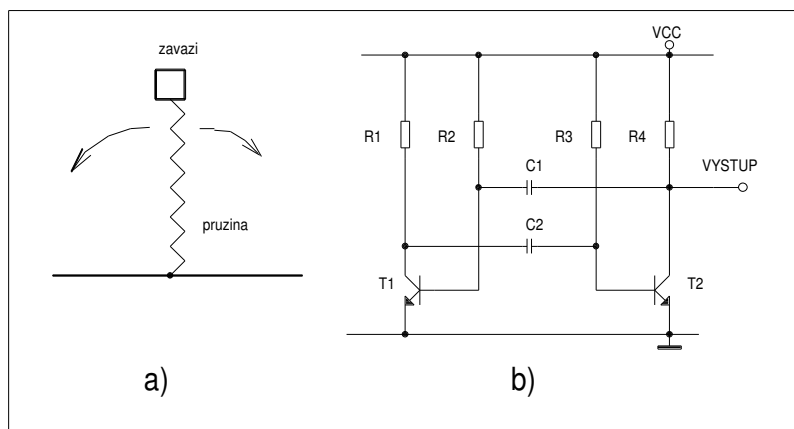
Monostabilní klopný obvod se zpátky do stabilního stavu obvykle dostává sám po uplynutí tzv. doby kyvu (viz dále).

Příkladem monostabilního obvodu je ovládání světel na schodišti panelového domu: stiskem tlačítka se světlo rozsvítí, za chvíli pak zhasne samo.

Obrázek 41: a) Mechanická, b) elektrická podoba monostabilního klopného obvodu

Astabilní obvod stále kmitá z jednoho stavu do druhého. Podobá se závaží na pružině (Obrázek 42a). V ideálním případě by se závaží, které jsme jednou rozkývali, kývalo donekonečna. Ve skutečnosti ale díky tření o vzduch a tření uvnitř materiálu se kmitání stále zeslabuje, až se po čase úplně zastaví. Má-li být kmitání trvalé, musíme dodávat zvenku energii, která ztráty nahradí. Příkladem takové soustavy jsou např. hodiny, kde se nepokoji nebo kyvadlu dodává energie z natažené pružiny nebo závaží.

Podobně i elektrickému astabilnímu obvodu musíme dodávat energii, jinak by se jeho kmity zastavily. Tuto energii dodává napájecí zdroj. Příkladem astabilního obvodu je multivibrátor (Obrázek 42b).



Obrázek 42: a) Mechanická, b) elektrická podoba astabilního obvodu

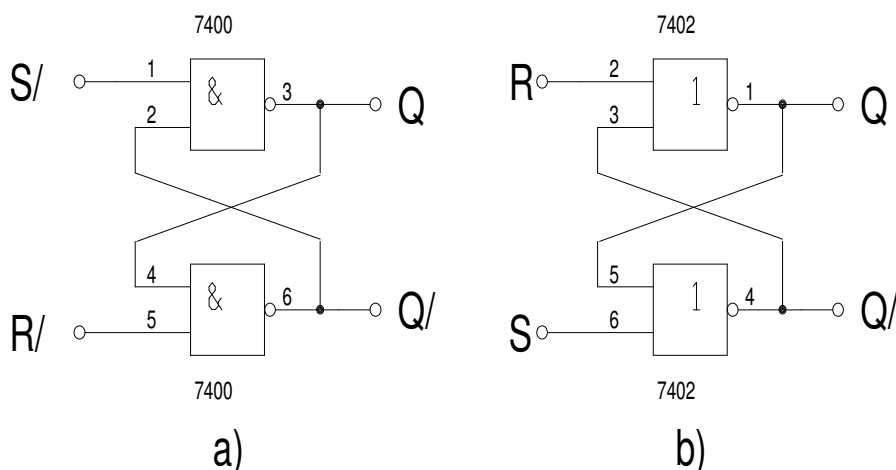
7.1.2 Bistabilní klopné obvody

Definice

Bistabilní klopný obvod je digitální obvod, který má dva stabilní stavy. Je-li nastaven do jednoho stavu, setrvává v něm, dokud není zvenku nastaven do stavu druhého.

a) Klopné obvody RS

Klopný obvod RS má vstupy R a S a výstupy Q a \bar{Q} . Je-li aktivní vstup S^1 , výstup Q přejde na úroveň H a v tomto stavu zůstane, i když vstup S už není aktivní. Je-li aktivní vstup R^2 , výstup Q se vynuluje. Výstup \bar{Q} přitom je vždy v opačném stavu než Q. Je-li např. $Q = 1$, pak $\bar{Q} = 0$ a obráceně.



Obrázek 43: RS obvod a) z hradel NAND, b) z hradel NOR

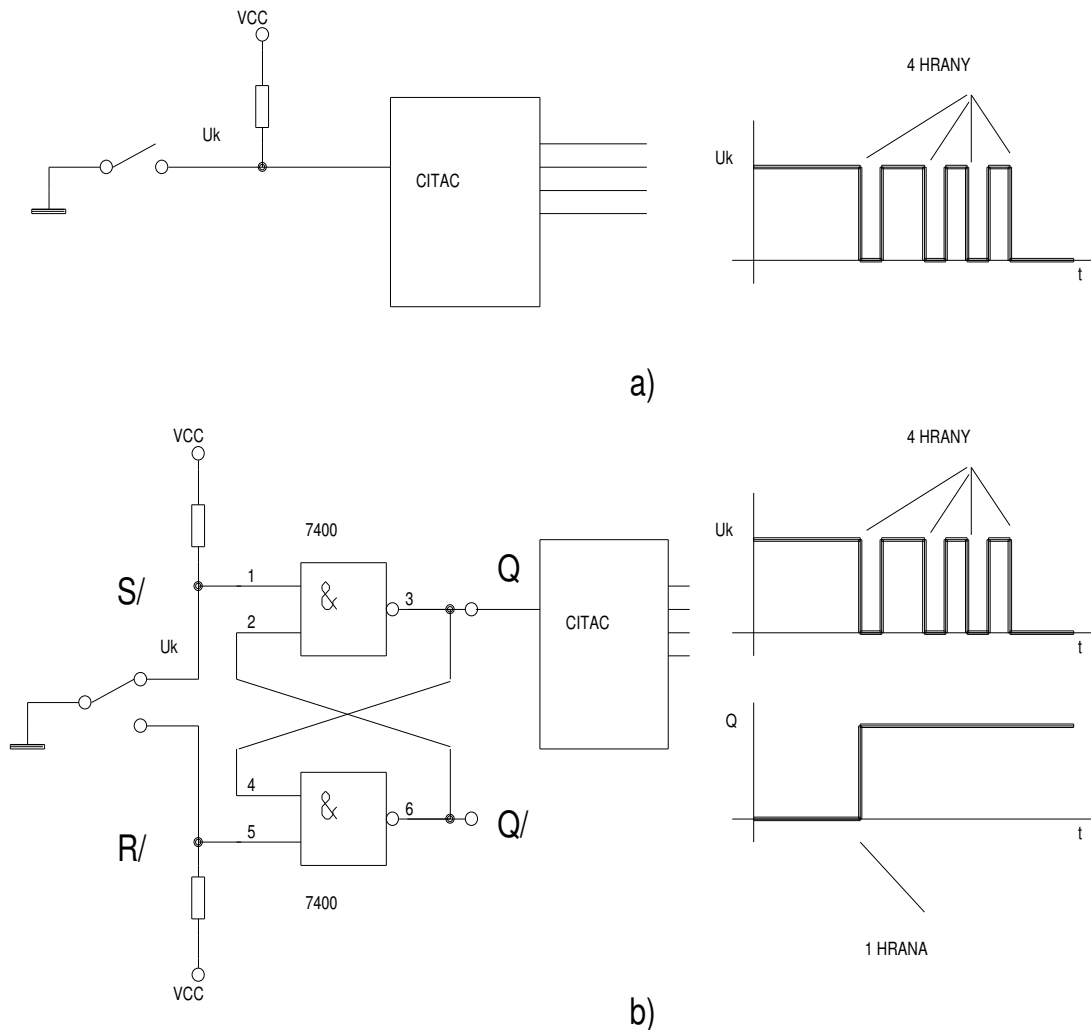
Přivedeme-li na vstup \bar{S} klopného obvodu RS z hradel NAND (Obrázek 43 a) úroveň L a na vstup \bar{R} úroveň H, na výstupu 3 horního hradla bude úroveň H. Klopný obvod RS tedy nastavil na svém výstupu Q úroveň H. Tato úroveň se dostane na vstup 4. Protože na vstupu \bar{R} je také úroveň H, oba vstupy 4 i 5 dolního hradla mají úroveň H. Na výstupu 6 dolního hradla (tj. na výstupu \bar{Q}) proto bude úroveň L.

Na vstupu klopného obvodu RS je aktivní ta úroveň, která je u použitých hradel agresivní. Proto u klopného obvodu z hradel NAND je aktivní úroveň L, u obvodu z hradel NOR je aktivní úroveň H.

¹ Set = nastavení

² Reset = návrat do původního stavu

Příklad použití obvodu RS: Potlačení zákmitů kontaktů



Obrázek 44: Příklad použití obvodu RS. a) čítání impulsů přímo z jednoduchého mechanického kontaktu, b) úprava tvaru impulsů pomocí přepínacího kontaktu a obvodu RS

Každý mechanický kontakt (tlačítko, spínač, přepínač) při svém sepnutí nebo rozepnutí několikrát zakmitá a vyrobí tak několik impulsů navíc. Při běžném použití (např. spínání osvětlení) to nevadí. Pokud ale máme impulsy z mechanického kontaktu registrovat pomocí logických obvodů, dochází k velkým chybám. Logické obvody jsou velmi rychlé, a proto snadno dokáží každý zákmit kontaktů započítat. Proto je skoro vždy místo jednoho impulsu započítáno impulsů několik (Obrázek 44a).

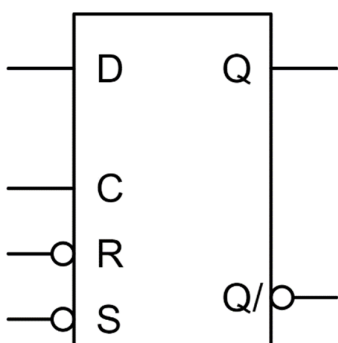
Jednoduchý kontakt tlačítka nahradíme přepínacím kontaktem a obvodem RS (Obrázek 44b). Při prvním doteku spínače s horním kontaktem se obvod RS překlopí a další impulsy téže polarity už jeho stav neovlivní. Obvod RS se překlopí do druhého stavu až při prvním doteku spínače s dolním kontaktem. Tím jsou spolehlivě potlačeny zákmity kontaktů a čítač započítá jen tolik impulsů, kolikrát bylo stlačeno tlačítko.

b) Klopné obvody D

Velkou nevýhodou obvodů RS je tzv. neurčitý stav. Dochází k němu, jsou-li oba vstupy zároveň aktivní a pak jsou oba současně uvolněny. Pak je pouze věcí náhody, do jakého stavu se obvod RS nastaví. Navíc po dobu, kdy jsou oba vstupy aktivní, jsou oba výstupy ve stejném stavu. V té době tedy neplatí, že výstup \bar{Q} je negací výstupu Q. Takové situace jsou samozřejmě v logických obvodech nepřijatelné. Tyto nevýhody jsou odstraněny u složitějších obvodů typu D a JK.

Klopný obvod typu D má jeden datový vstup a jeden datový výstup. Přenos informace ze vstupu na výstup je řízen tzv. hodinovým vstupem.

Obvod RS doplníme dvěma hradly tak, aby stav na jeho vstupech byl vždy jednoznačný: buď L-H, nebo H-L (Obrázek 45). Přitom činnost celého obvodu bude podmíněna dalším vstupem, tzv. hodinovým. Některý vstup obvodu RS může být aktivní (tj. = L) pouze pokud je aktivní signál C (Clock = hodiny).

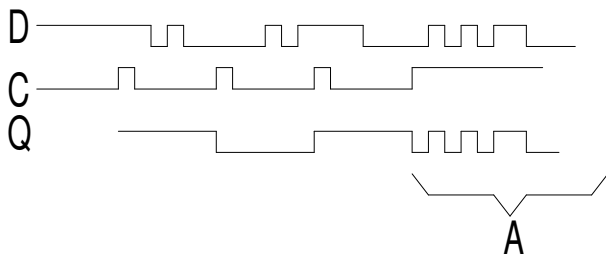


Obrázek 45: Klopný obvod D řízený úrovní H

C	D	Q ⁺
0	0	Q ⁻
0	1	Q ⁻
1	0	0
1	1	1

Tabulka 6: Pravdivostní tabulka klopného obvodu D řízeného úrovní H

Je-li hodinový vstup C aktivní (H), přepíše se stav ze vstupu D na výstup Q. Není-li C aktivní (L), pak bez ohledu na vstup D zůstává výstup Q beze změny ($Q^+ = Q^-$, tj. následující stav se rovná předchozímu).



Obrázek 46: Časový diagram obvodu D řízeného úrovní H

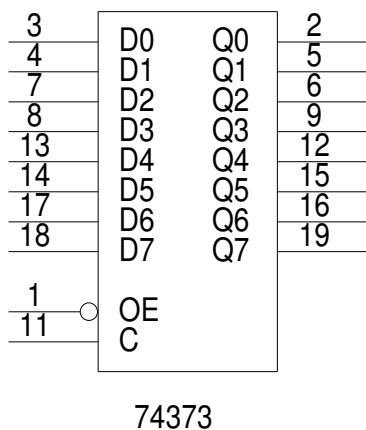
Je-li $C = H$, výstup Q sleduje stav vstupu D (Obrázek 46, oblast A v diagramu). V některých aplikacích je to nežádoucí (např. střadač mezi ADP¹ a displejem v DVM²). V takovém případě buď musíme zajistit dostatečně krátké hodinové impulsy, nebo se vstup D nesmí během hodinového impulsu měnit.

¹ ADP = analogově digitální převodník

² DVM = digitální voltmetr

Příklad obvodu D řízeného úrovní: 74373 (74LS373, 74HC373)

74373 (Obrázek 47) je osminásobný obvod D, u kterého je přenos informace ze vstupu D na výstup Q řízen stavem vstupu C.

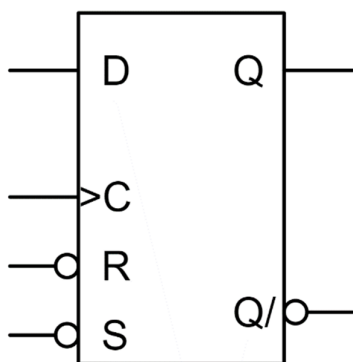


Je-li vstup $C = H$, přenáší se informace ze vstupů D na výstupy Q a po celou tuto dobu jsou vstupy D s výstupy Q "propojeny". Není-li vstup OE (Output Enable) aktivní, jsou výstupy Q ve třetím stavu.

Obvod 74373 se používá v mikropočítačových systémech. Jeho výstupy mohou být uvedeny do třetího stavu, a proto je vhodný pro připojení na sběrnici.

Obrázek 47:
74373 - osminásobný obvod D řízený úrovní

Tam, kde je "propojení" vstupu klopného obvodu D s výstupem Q po celou dobu hodinového impulsu nežádoucí, použijeme klopný obvod D, který nereaguje na úroveň, ale na hranu hodinového impulsu.

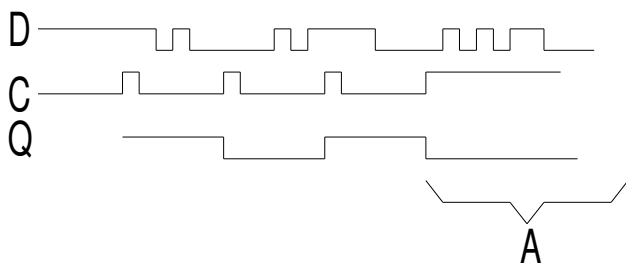


Obrázek 48: Klopný obvod D řízený vzestupnou hranou¹

C	D	Q ⁺
L	X	Q ⁻
H	X	Q ⁻
↓	X	Q ⁻
↑	H	H
↑	L	L

Tabulka 7: Pravdivostní tabulka obvodu D řízeného vzestupnou hranou

¹ Schématické značky obvodů D řízených úrovní nebo hranou jsou skoro stejné, ale obvod řízený hranou má u hodinového vstupu C navíc šipku: >



Obrázek 49: Časový diagram obvodu D řízeného vzestupnou hranou

To znamená, že informace z datového vstupu se na výstup přenáší pouze v okamžiku změny stavu hodinového vstupu. V ostatní době je obvod na stav datového vstupu necitlivý. Tyto obvody D někdy nazýváme "hranové" (reagují na hranu), zatímco předchozí nazýváme "úrovňové" (reagují na úroveň).

Pravdivostní tabulku hranového obvodu D (Tabulka 7) můžeme číst takto: Je-li na hodinovém vstupu C ustálená úroveň L nebo H, nebo mění-li se jeho stav z H na L (sestupná hrana), zůstává stav výstupu Q nezměněný. Mění-li se stav vstupu C z L na H (vzestupná hrana), přepíše se stav vstupu D na výstup Q.

Symbolsy znamenají:

Q^+ - následující stav

Q^- - původní stav (nedošlo ke změně)

↓ - sestupná hrana

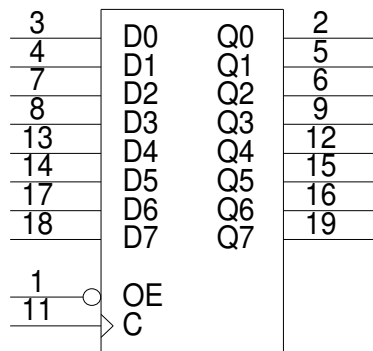
↑ - vzestupná hrana

Z časového diagramu (Obrázek 49) je vidět, že stav výstupu se mění jen v okamžiku vzestupné hrany na hodinovém vstupu C. V ostatní době, např. v oblasti A, změny stavu vstupu D nemají žádný vliv na stav výstupu Q.

Příklad obvodu D řízeného hranou: 74374 (74LS374, 74HC374)

74374 je osminásobný obvod D, u kterého je přenos informace ze vstupu D na výstup Q řízen vzestupnou hranou na hodinovém vstupu C.

Je-li na C vzestupná hrana, stav vstupu D se přenesou na výstup. Ostatní funkce a použití jsou obdobné jako u 74373. Oba obvody jsou spolu „pin – to pin compatible“.

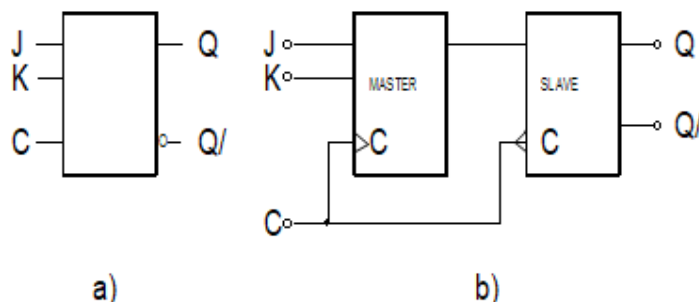


74 374

Obrázek 50: 74374 - osminásobný obvod D řízený hranou

c) Klopné obvody JK

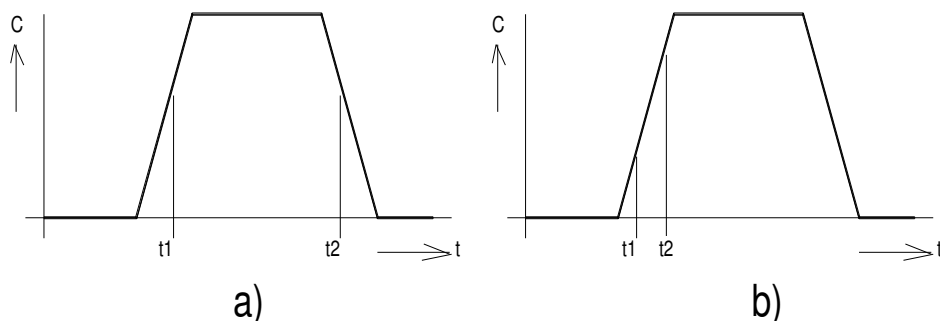
U klopných obvodů JK (Obrázek 51) se informace ze vstupu na výstup přepisuje nadvakrát: Nejprve se zapíše do vstupního obvodu, pak se přepíše na výstup.



Obrázek 51: Klopný obvod JK a) schématická značka, b) vnitřní zapojení

Obvod JK obsahuje dva klopné obvody: Master - Slave (pán – otrok). Ty mohou být řízeny buď oběma hranami hodinového impulsu, nebo jen jednou hranou.

Obvod JK řízený dvěma hranami (Obrázek 52a) nejdříve v okamžiku t_1 vzestupnou hranou hodinového impulsu zapíše informaci do vstupního obvodu (master). Sestupnou hranou impulsu se pak v okamžiku t_2 informace přepíše do výstupního obvodu (slave). V době po vzestupné hraně hodinového impulsu už na hodnotě vstupního signálu nezáleží, protože informace už je zapsána v obvodu "master".



Obrázek 52: Řízení klopných obvodů JK. a) obvod JK řízený dvěma hranami, b) obvod JK řízený jednou hranou (vzestupnou)

Jsou i obvody JK řízené pouze jednou hranou (Obrázek 52b). Popsaný děj u nich proběhne během jediné řídicí hrany hodinového vstupu. Během stoupání hodinového impulsu z úrovně L na úroveň H se při nižší úrovni v okamžiku t_1 zapíše informace do vstupního obvodu, při vyšší úrovni v okamžiku t_2 se pak přepíše do výstupního obvodu. Z hlediska uživatele se tento obvod za určitých podmínek chová podobně jako hranový obvod D (až na to, že má dva datové vstupy - viz dále).

Clk	J	K	Q ⁺
⌋	L	L	Q ⁻
⌋	L	H	0
⌋	H	L	1
⌋	H	H	Q/

Tabulka 8: Pravdivostní tabulka obvodu JK

Obvod JK má dva datové vstupy: J a K. Tyto datové vstupy se chovají i jako řídicí, protože určují režimy činnosti obvodu. Jejich funkce je zřejmá z pravdivostní tabulky obvodu.

Z tabulky je vidět:

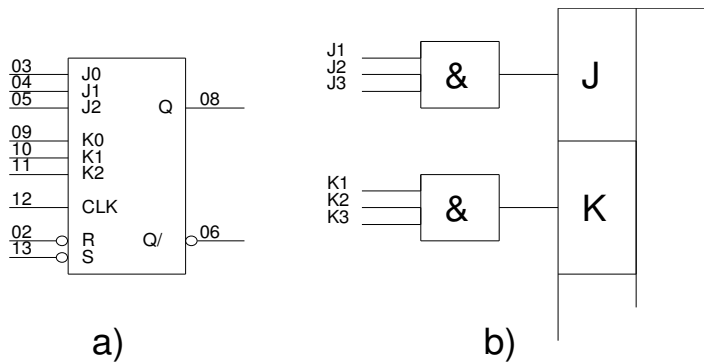
- Jsou-li oba vstupy v úrovni L, obvod je zablokován a na výstupu stále zůstává předchozí stav.

- Jsou-li stavy na vstupech JK rozdílné, přepíše se na výstup stav vstupu J.

Obvod se tak vzhledem ke vstupu J chová jako klopný obvod D.

- Jsou-li oba vstupy ve stavu H, obvod pracuje jako dělič kmitočtu dvěma, tj. po hodinovém impulzu se jeho stav změní na opačný.

Příklad klopného obvodu JK: 7472



Obrázek 53: Klopný obvod JK 7472 – a) zapojení vývodů, b) vnitřní zapojení vstupů J, K

Každý ze vstupů J, K obvodu 7472 (Obrázek 53a) je tvořen součinem tří vstupů, podobně, jako by před obvod JK byla zařazena dvě třívstupová hradla AND (Obrázek 53b).

Obvod je řízen dvěma hranami: Vzestupná hrana hodin zapíše informaci do obvodu master, sestupná ji přepíše do obvodu slave a na výstup.

Vstup S (Set) slouží k nastavení Q na úroveň H, R (Reset) k vynulování.

7.1.3 Monostabilní klopné obvody

Definice

Monostabilní klopné obvody (MKO) jsou digitální obvody, které mají jeden stabilní stav, ve kterém zůstávají, dokud nejsou vstupním spouštěcím impulsem přeplopeny do pracovního stavu. Po uplynutí určité doby T (doba kyvu) se opět vrací z pracovního do klidového stavu.

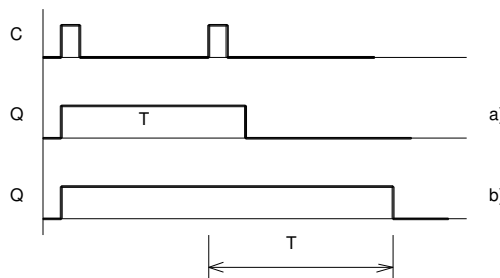
Rozdělení

MKO můžeme podle jejich reakce na opakované spouštěcí impulsy dělit na obvody
 - s možností opakovaného spuštění (znovuspustitelné, retriggerable)
 - bez možnosti opakovaného spuštění (non-retriggerable)

U znovuspustitelného MKO se po každém novém spouštěcím impulsu znovu o dobu kyvu oddálí konec výstupního impulsu. Jestliže tedy přijde nový spouštěcí impuls v době, kdy ještě trvá výstupní impuls od předchozího spuštění, pak od tohoto okamžiku bude výstupní impuls trvat ještě další dobu T.

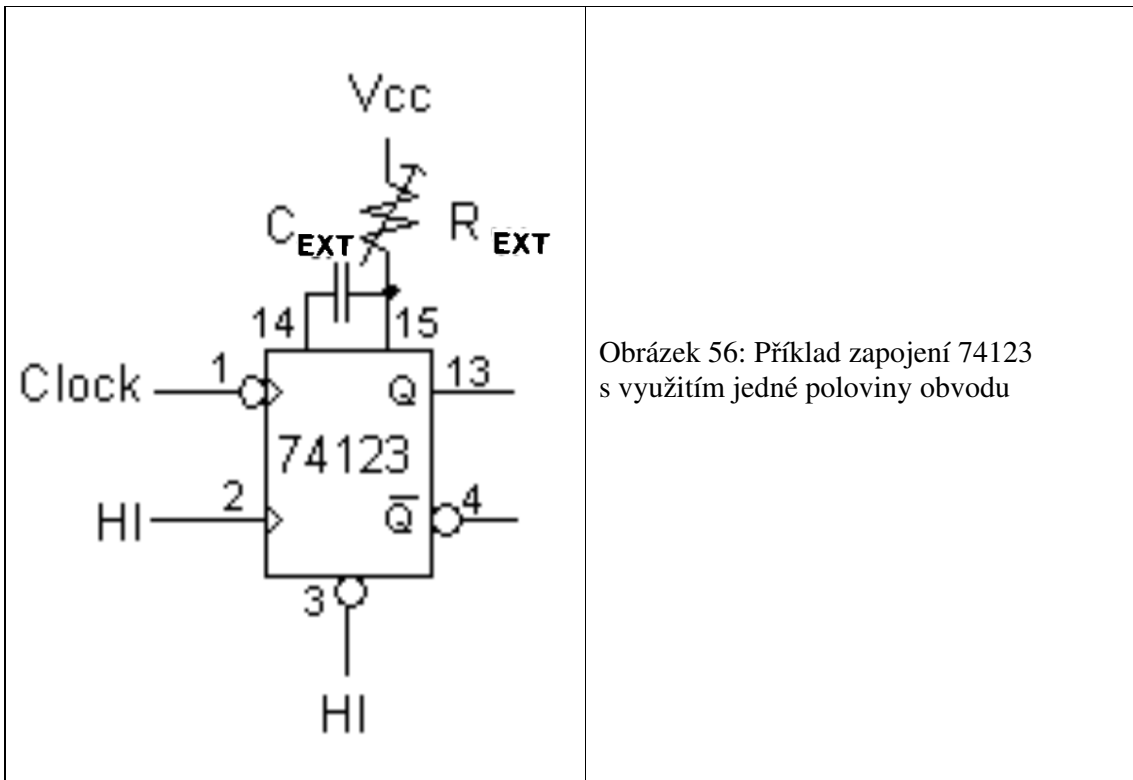
Jdou-li spouštěcí impulsy dostatečně rychle za sebou, znovuspustitelný MKO zůstává stále přeplopený v pracovním stavu.

MKO bez možnosti opakovaného spuštění vždy výstupní impuls nejdříve dokončí a až pak je připraven k dalšímu spuštění.



Obrázek 54: Časové diagramy MKO
 a) bez možnosti opakovaného spuštění
 b) znovuspustitelný

Příklad zapojení 74123



Obrázek 56: Příklad zapojení 74123 s využitím jedné poloviny obvodu

Pro spouštění je zde použit vstup A (č. 1), proto je obvod spouštěn sestupnou hranou. Vstupy B a CLR jsou vyraženy trvalým připojením na úroveň H. Mezi vstup R_{EXT}/C_{EXT} (15) a napájecí napětí je zapojen vnější rezistor. Mezi vstupy C_{EXT} (14) a R_{EXT}/C_{EXT} (15) je zapojen vnější kondenzátor. Obrázek 57

7.1.4 Astabilní obvody

Definice

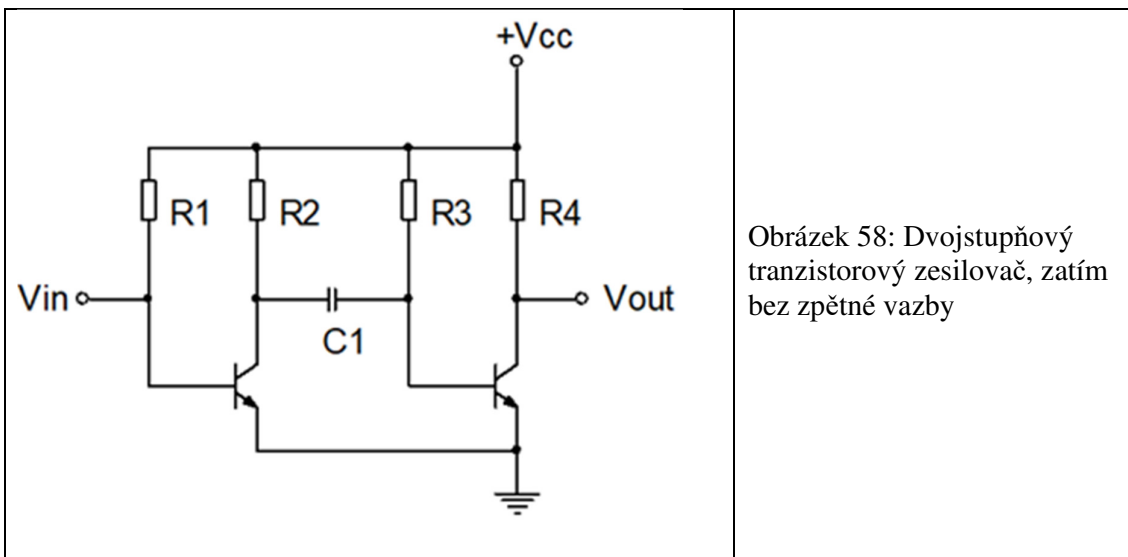
Astabilní klopný obvod (AKO) je digitální obvod, který má dva stavy, z nichž žádný není stabilní. AKO se nepřetržitě překlápí z jednoho stavu do druhého a pracuje jako generátor signálu s obdélníkovým průběhem.

a) Multivibrátor

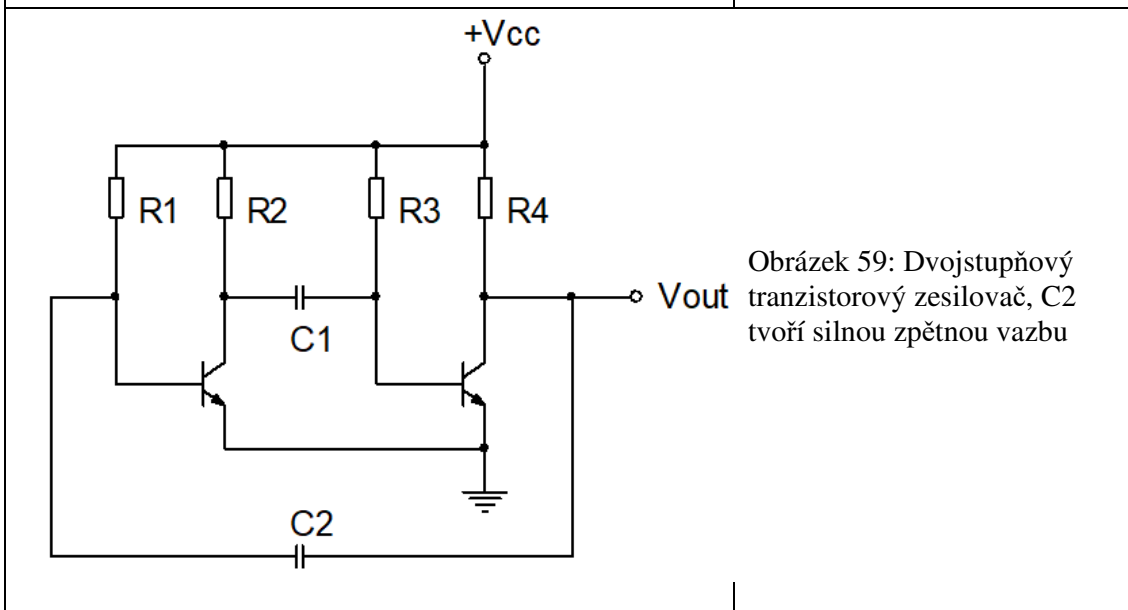
Multivibrátor je v podstatě dvojstupňový zesilovač s velkým zesílením a silnou kladnou zpětnou vazbou.

Na obrázku (Obrázek 58) je příklad jednoduchého dvojstupňového zesilovače. Nekmitá, nepřeklápí se, není to astabilní obvod, protože nemá žádnou zpětnou vazbu.

Na dalším obrázku (Obrázek 59) jsme přidali kondenzátor C2, který vede signál z výstupu zpátky na vstup. C2 tvoří kladnou zpětnou vazbu. Zesilovač teď zesiluje jen svůj vlastní signál, nepotřebuje žádný signál zvenku. Zesilovač se tak stal astabilním obvodem, překlápí se z jednoho stavu do druhého, kmitá.



Obrázek 58: Dvojstupňový tranzistorový zesilovač, zatím bez zpětné vazby

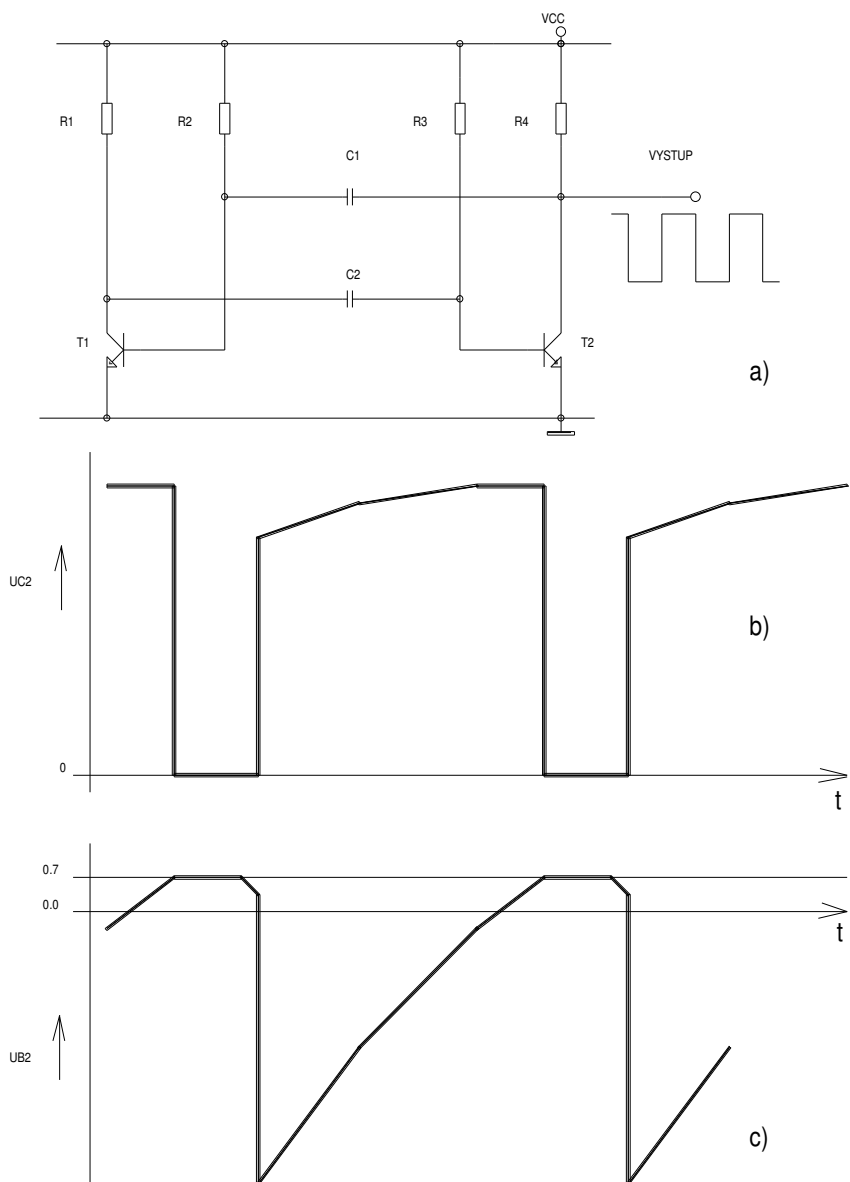


Obrázek 59: Dvojstupňový tranzistorový zesilovač, C2 tvoří silnou zpětnou vazbu

Zpětná vazba je velmi silná, zesílení je velké, proto $\beta_A \gg 1$

Výstupní napětí je proto oboustranně omezeno a je téměř obdélníkové. (Viz skriptá Elektronika, kapitola Oscilátory.)

Na dalším obrázku (Obrázek 60) je obvyklý způsob kreslení multivibrátoru. Můžete vysledovat, že obvody na tomto i předchozím obrázku jsou totožné.

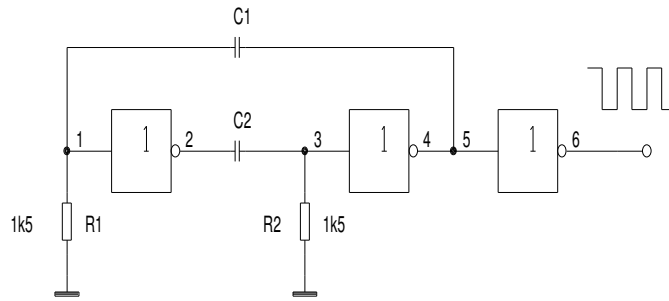


Obrázek 60: Multivibrátor. a) zapojení, b) průběh na výstupu, c) průběh na bázi tranzistoru

Kondenzátory se prudce nabíjejí přes kolektorové rezistory a přes báze tranzistorů, pomalu se pak vybíjejí přes bazové rezistory. Doby překlápění obvodu jsou dány časovými konstantami $R2C1$ a $R3C2$.

Nabíjením kondenzátorů přes kolektorové rezistory je zdeformován průběh výstupního napětí, který proto není přesně obdélníkový (Obrázek 60b).

b) Multivibrátor z invertorů



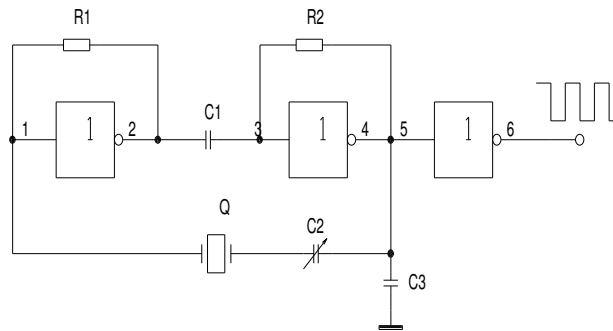
Obrázek 61: Multivibrátor z invertorů

Jeho princip je stejný jako u předešlého multivibrátoru. Místo každého tranzistoru je tu invertor, který se chová obdobně jako tranzistor v předešlém zapojení: Má velké zesílení a převrací fázi o 180 stupňů.

Rezistory R1 a R2 nastavují vstupy invertorů do zakázaného pásma v okolí rozhodovací úrovně, aby invertory ihned reagovaly na jakýkoliv podnět nahoru i dolů od rozhodovací úrovně a aby celé zapojení tudíž bylo náchylné k rozkmitání. Odporů rezistorů na obrázku jsou doporučené pro základní řadu TTL 74XX. Pro jiné řady je nutno volit hodnoty jiné.

Hrany průběhů na výstupech prvních dvou hradel vlevo jsou pokaženy nabíjením kondenzátorů C1, C2. Proto je zde zapojen ještě třetí invertor (vpravo), který výsledný průběh vytváří a dá mu přesný obdélníkový tvar.

c) Krystalový oscilátor



Obrázek 62: Krystalový oscilátor

Zapojení je podobné předešlému multivibrátoru. Místo jednoho z vazebních kondenzátorů je použit křemenný krystal, který se zde chová jako sériový rezonanční obvod: Propouští jen jediný kmitočet a na tomto kmitočtu oscilátor kmitá.

Rezistory pomocí stejnosměrné záporné zpětné vazby nastavují vstupy invertorů do okolí rozhodovací úrovně.

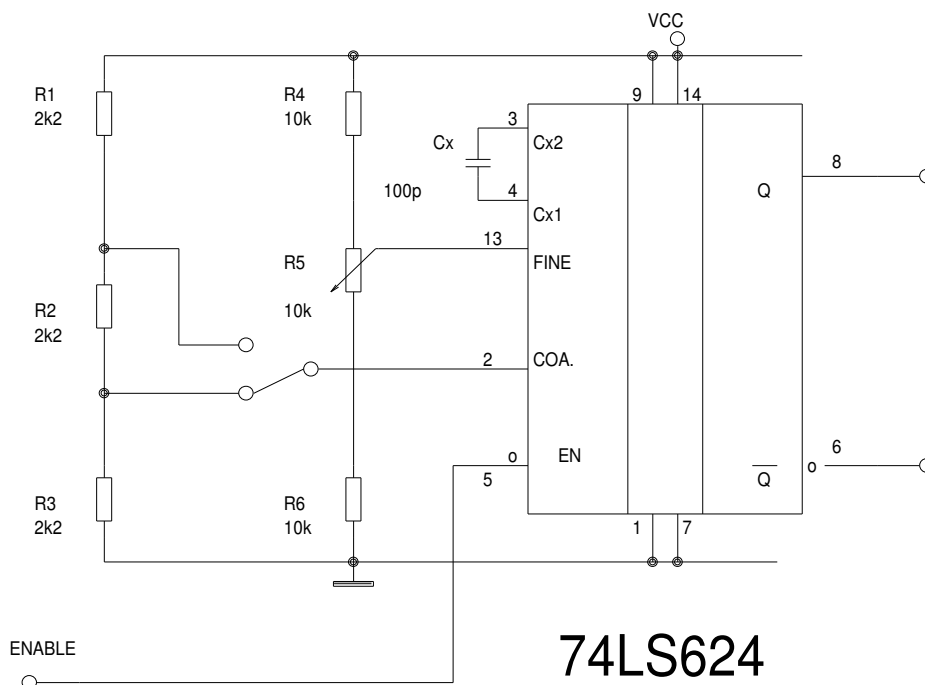
Kapacitním trimrem C2 lze kmitočet v malých mezích doladit. Kondenzátor C3 zabraňuje tvoření vyšších harmonických, tj. zkreslení signálu nebo přeskokování oscilátoru na vyšší kmitočty. Snižuje stupeň zpětné vazby pro vyšší kmitočty.

d) Cvičení: AKO ze dvou MKO

Úkol: Zapojte obě části 74123 tak, aby tvořily AKO, který bude mít samostatně nastavenou délku každé části periody: $T = T_1 + T_2 = 3 + 1 \text{ ms.}$

e) Příklad integrovaného AKO: 74LS624

74LS624 je integrovaný obvod, který slouží jako napětím řízený generátor obdélníkového průběhu.



Obrázek 63: Příklad zapojení 74LS624

74LS624 umožňuje hrubou změnu kmitočtu pomocí napětí, přivedeného na vývod 2 (Coarse = rozsah). Jemně se kmitočet doladuje změnou napětí na vývodu 13 (Fine = jemně). Vstup EN (Enable = uvolnění), je-li aktivní, umožní běh AKO. Není-li EN aktivní, AKO stojí. Na vstupy Cx1 a Cx2 se připojuje časovací kondenzátor. Perioda výstupního signálu je úměrná velikosti tohoto kondenzátoru.

74LS624 je možno ladit nejen uvedeným způsobem pomocí potenciometru, ale také pomocí napětí přivedeného na vstup 13 (jemně) nebo 2 (hrubě). Proto ho také nazýváme napětím řízený oscilátor (VCO = Voltage Controlled Oscillator).

↑ Revidováno ↑

7.1.5 Klopné obvody s hysterezí

Definice

Klopné obvody s hysterezí jsou logické obvody, jejichž rozhodovací úroveň není konstantní, ale závisí na okamžitém stavu výstupu. Nemají tedy jednu rozhodovací úroveň jako běžné logické obvody, ale mají dvě rozhodovací úrovně. Když se vstupní signál mění z úrovně L na úroveň H (stoupá), rozhodovací úroveň je vyšší. Při změně z H na L (když vstupní signál klesá) je rozhodovací úroveň nižší. Rozdíl mezi vyšší a nižší rozhodovací úrovní nazýváme *hystereze*.

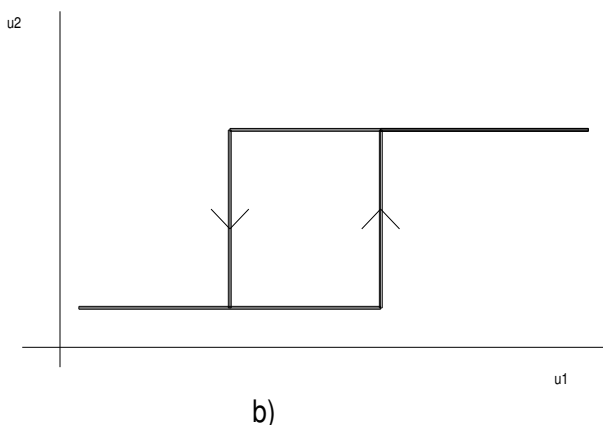
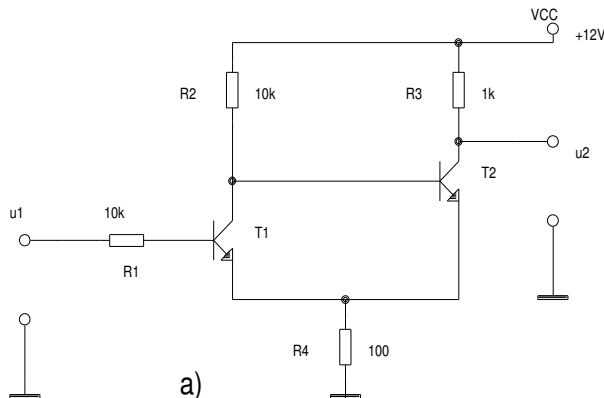
I tyto obvody patří do sekvenčních: Pamatují si, do jakého stavu byly nastaveny a podle toho se chová jejich vstup.

a) Schmittův klopný obvod

Definice

Schmittův klopný obvod (Obrázek 64) je dvojstupňový tranzistorový zesilovač s kladnou zpětnou vazbou.

Jako Schmittův obvod jsou často označovány i jiné obvody s obdobnou funkcí.



Obrázek 64: Schmittův klopný obvod. a) schéma, b) závislost u_2 na u_1

Popis

Tranzistory jsou zapojeny tak, že je sepnutý buď jeden, nebo druhý. Oba tranzistory mají společný emitorový rezistor, jsou vázány tzv. emitorovou vazbou. Proud, který protéká jedním nebo druhým kolektorovým rezistorem, vytváří na společném

emitorovém rezistoru úbytek. Tento úbytek je v obou případech různý: Kolektorové rezistory mají různé hodnoty, proto i proudy, které jimi tečou, jsou různé. Je-li sepnutý T1, rezistor R2 propustí malý proud a úbytek na R4 je malý. Je-li sepnutý T2, pak R3 propustí velký proud a úbytek na R4 je velký. Napětí báze, při kterém může T1 sepnout, je dáno součtem otevíracího napětí U_{BE} a úbytku na R4. Čím větší úbytek na R4, tím větší napětí na bázi T1 je nutné, aby T1 sepnul.

Je-li napětí na vstupu obvodu nulové, T1 je rozepnutý, protože nedostává žádný proud do báze. Přes R2 teče proud ze zdroje do báze T2, který je proto sepnutý a na výstupu obvodu je úroveň L. Do R4 teče součet proudů tekoucích přes R2 a R3. Úbytek na R4 je proto velký. Zvyšujeme-li vstupní napětí, neděje se nic, dokud vstupní napětí nepřesáhne úbytek na R4 plus otevírací napětí U_{be} . V tom okamžiku proteče proud do báze T1 a ten sepne. Proud přes R2 už nemůže téci do báze T2 a proto T2 rozepne a na výstupu se objeví úroveň H. Do R4 nyní teče proud jen přes R2, proto napětí na něm poklesne. Napětí na emitoru T1 klesne, napětí U_{be} tranzistoru T1 se zvětší. Proud do báze T1 se také zvětší a tím se překlápění obvodu urychlí a potvrdí.

Cvičení:

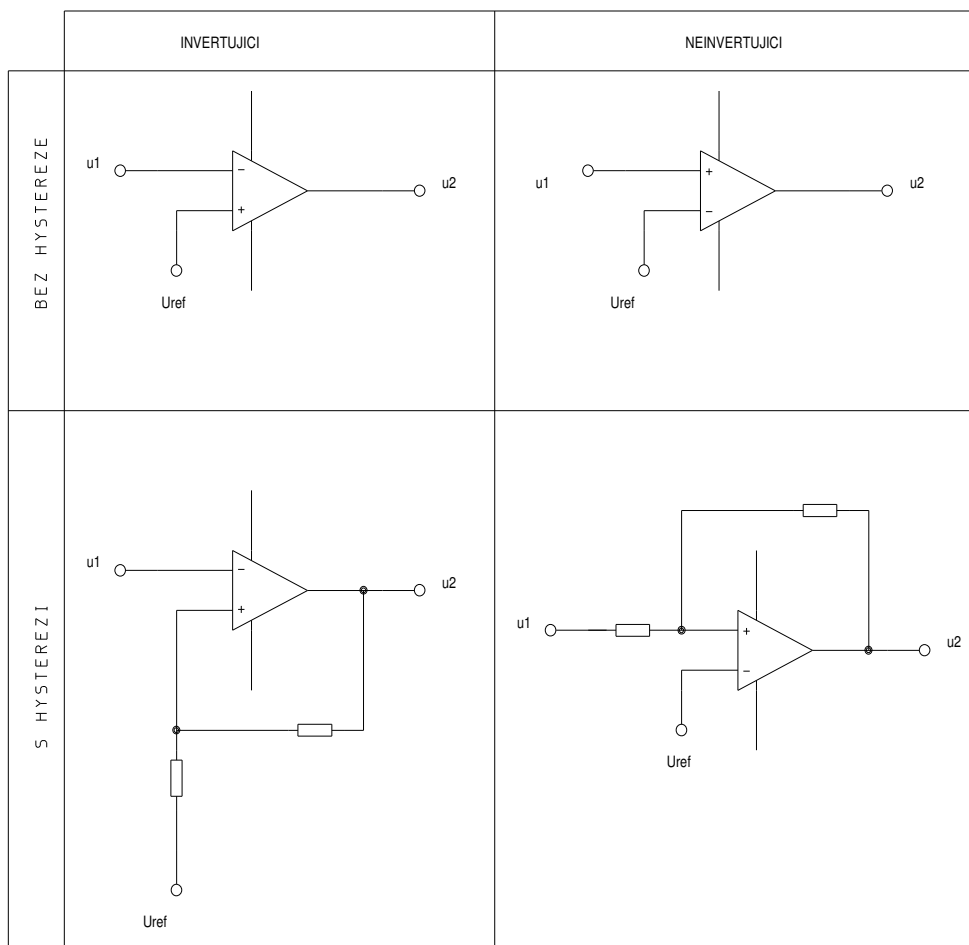
Vypočtete rozhodovací úrovně, hysterezi a výstupní napětí úrovně L a H popsaného Schmittova obvodu.

b) Komparátor s hysterezi

Komparátor je obvod, který porovnává (komparuje) dvě napětí na svých vstupech. Na výstupu dává informaci o tom, které ze vstupních napětí je větší.

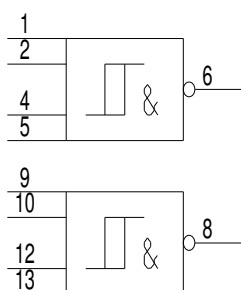
Komparátor může být realizován např. pomocí operačního zesilovače. Obrázek 65 ukazuje různé varianty. Kladná zpětná vazba zavádí do vstupu malou část výstupního napětí, která podle stavu výstupu zvětšuje nebo zmenšuje referenční napětí. Má-li komparátor změnit svůj stav když vstupní napětí stoupá, musí vstupní napětí překonat součet referenčního a zpětnovazebního napětí. Když vstupní napětí klesá, musí se dostat až pod referenční mínus zpětnovazební napětí a teprve pak dojde k překlopení komparátoru.

Některé integrované komparátory mají výstup přizpůsobený pro použití v číslicových obvodech - na výstupu mají vhodné logické úrovně.



Obrázek 65: Komparátory realizované pomocí operačních zesilovačů

c) Příklad integrovaného Schmittova obvodu: 7413

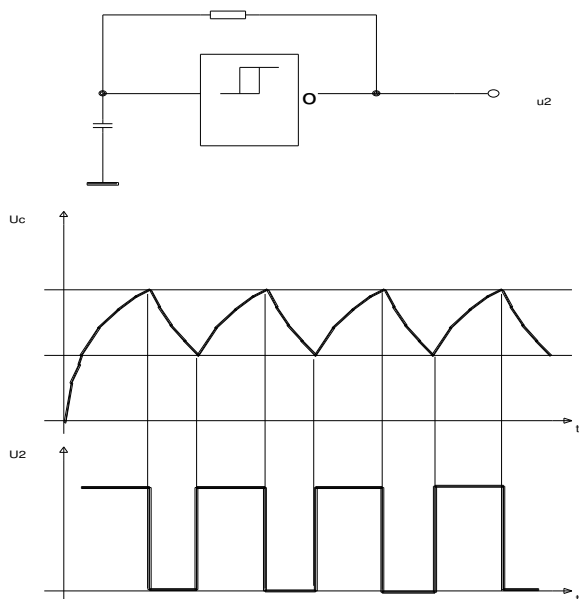


Obvod 7413 obsahuje dvě čtyřvstupová hradla NAND, která se od běžných hradel liší tím, že každý jejich vstup má hysterezi, tj. dvě různé komparační úrovně.

Obrázek 66: 7413 - Schmittův obvod jako čtyřvstupové hradlo NAND

d) Oscilátor se Schmittovým obvodem

OSCILATOR SE SCHMITTOVÝM OBVODEM



Předpokládejme, že napětí na kondenzátoru je pod dolní komparační úrovní. Výstup je ve stavu H a kondenzátor se nabíjí. Když napětí na kondenzátoru přesáhne horní komparační úroveň, výstup přejde do stavu L a kondenzátor se začne vybíjet. Když napětí na něm klesne pod dolní komparační úroveň, výstup přejde opět do stavu H a celý děj se periodicky opakuje.

Použijeme-li místo invertoru dvojevstupové hradlo, můžeme druhým vstupem hradla oscilátor startovat a zastavovat.

Obrázek 67: Oscilátor se Schmittovým obvodem; a) zapojení, b) průběhy napětí

7.2 Čítače

Definice

Čítače jsou digitální obvody, které dokáží počítat impulsy.

Celkový počet všech možných stavů, kterých n -stupňový čítač může dosáhnout, je dán vzorcem

$$C = 2^n$$

Kmitočet na nejvyšším výstupu čítače je C -krát menší, než na nejnižším vstupu. Čítač tedy dělí kmitočet číslem C .

Maximální číslo na výstupu čítače je

$$M = 2^n - 1$$

Např. pro čtyřstupňový čítač je $C = 16$, $M = 15$.

Po dosažení čísla M při čítání nahoru se dalším impulsem na čítači opět nastaví číslo 0 a cyklus čítání od 0 do M se opakuje.

7.2.1 Rozdělení čítačů

Čítače můžeme dělit podle několika kritérií, např. podle

způsobu taktování

- a) taktované sériově - asynchronní
- b) taktované paralelně - synchronní

výstupního kódu

- c) binární

d) dekadické

směru čítání

e) čítající nahoru, vzestupně

f) čítající dolů, sestupně

g) obousměrné, vratné

hrany na kterou reagují

h) reagující na vzestupnou hranu

i) reagující na sestupnou hranu

ad a) Asynchronní čítače

V asynchronním čítači se čítané impulsy přivádějí pouze na hodinový vstup prvního stupně. Vstup každého následujícího stupně je připojen na výstup předchozího. Taktování následujících stupňů je tedy odvozeno od předchozích stupňů. Určitý stupeň mění svůj stav, když se předchozí stupeň překlápí z jedničky do nuly.

Má-li např. nejvyšší stupeň čtyřbitového čítače změnit svůj stav (např. při přechodu ze stavu 0111 do stavu 1000), musí po příchodu rozhodujícího impulsu čekat na postupné překlopení všech předchozích stupňů. Stupně čítače se tedy překlápějí nesoučasně, asynchronně.

ad b) Synchronní čítače

V synchronním čítači se čítané impulsy přivádějí paralelně na hodinové vstupy všech stupňů čítače. Všechny stupně čítače, které se mají překloupat, se proto překlápějí současně, synchronně. Určitý stupeň mění svůj stav, když v době hodinového impulsu jsou všechny předchozí stupně ve stavu log. 1.

ad c) Binární čítače

Binární čítač při čítání impulsů postupně prochází všechny možné kombinace výstupů. Např. u čtyřbitového čítače jsou to kombinace 0000 až 1111.

ad d) Dekadické čítače

Cyklus čítání je u dekadického čtyřbitového čítače zkrácen tak, že po čísle 9 (1001) se čítač nastaví na nulu. Čítač tedy probíhá pouze kombinace 0 - 9 (0000 - 1001) a funguje jako dělič deseti. Hodí se tam, kde výstupem zařízení má být dekadické číslo, např. počítadlo kol u autodráhy, benzinová pumpa, počítadlo kilometrů.

ad e,f,g) Čítače čítající nahoru, dolů, vratné

Čítač čítající nahoru zvýší s každým hodinovým impulsem svůj stav o jedničku. Po dosažení maximálního stavu (např. 1111) s dalším impulsem změni svůj stav na nulu (např. 0000).

Čítač čítající dolů s každým hodinovým impulsem zmenší svůj stav o jedničku. Po dosažení nuly s dalším impulsem změni svůj stav na maximální (např. 1111).

Obousměrný (vratný) čítač může být nastaven do režimu čítání nahoru nebo dolů.

ad h,i) Čítače reagující na vzestupnou, sestupnou hranu

Čítač, reagující na vzestupnou (sestupnou) hranu, s každou vzestupnou (sestupnou) hranou hodinového impulsu změni svůj stav.

7.2.2 Asynchronní čítače

Výhody

Jednoduchost, nízká cena, snadné použití.

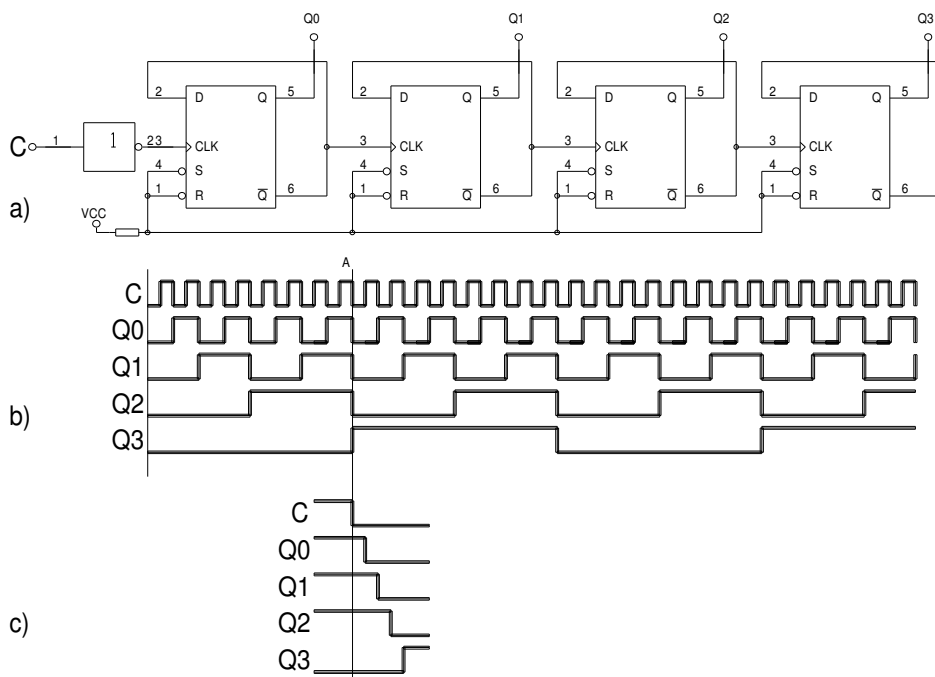
Nevýhody

Jednotlivé stupně čítače nemění svoje stavy současně, protože si předávají informaci postupným překlápěním. Má-li čítač např. změnit stav z 0111 na 1000, musí poslední stupeň čítače se svým překlápěním čekat, až se překlápí všechny předcházející stupně. Asynchronní čítače jsou proto pomalejší než synchronní. Jeli zpoždění jednoho stupně např. 30 ns, je zpoždění celého čtyřbitového čítače 120 ns. Tato doba už může být srovnatelná s periodou čítaných impulsů.

a) Příklad asynchronního čítače z obvodů D

Obrázek 68 ukazuje zapojení asynchronního čítače s obvodem 7474. Tento obvod přepisuje stav ze vstupu D na výstup Q se vzestupnou hranou hodinového impulsu.

Stupeň asynchronního čítače ale má měnit svůj stav, když předchodzí stupeň měni svůj stav z úrovně H na L, tj. při sestupné hraně. Proto by pro správnou funkci čítače byly nutné invertory na všech hodinových vstupech obvodů D. Mezi výstupem \bar{Q} jednoho stupně a hodinovým vstupem dalšího můžeme tento inverter ušetřit, když místo výstupu Q připojíme na vstup D výstup .

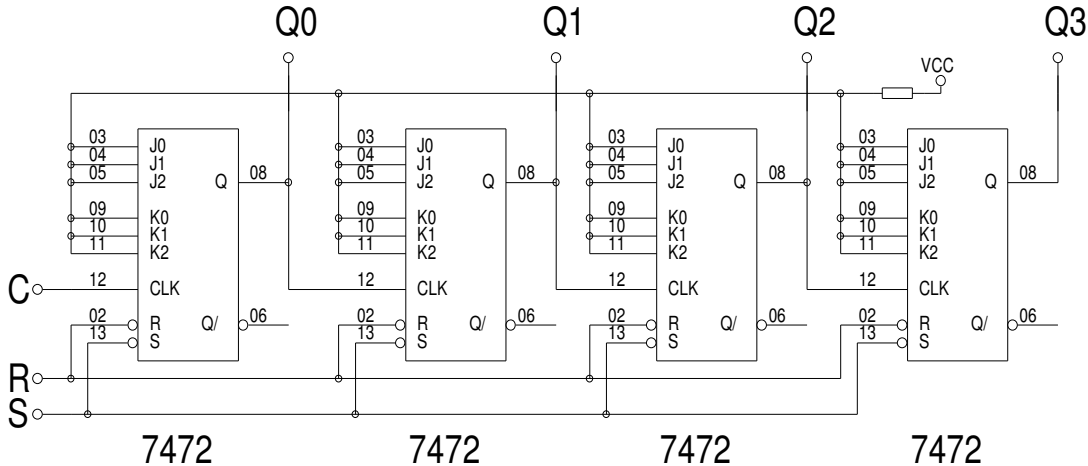


Obrázek 68: Asynchronní čítač z obvodů D; a) schéma zapojení, b) průběhy napětí na vstupu a na výstupech, c) detail průběhů, ukazující zpoždění obvodů (jiné časové měřítko než b)

b) Příklad asynchronního čítače z obvodů JK

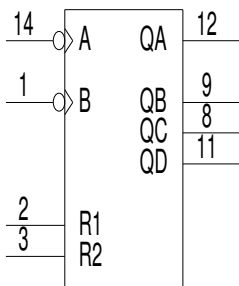
Jsou-li vstupy J,K obvodu JK připojeny na úroveň H, obvod pracuje jako dělič dvěma. Obvod 7472 se vzestupnou hranou zapisuje do obvodu master, se sestupnou přepisuje do obvodu slave a na výstup. Stav výstupu obvodu 7472 se tedy mění se sestupnou hranou hodinového impulsu, a proto tento obvod je bez dalších úprav použitelný pro asynchronní čítač.¹

Průběhy napětí na vstupu a na výstupech i zpoždění obvodů jsou u čítače z obvodů JK obdobné jako u čítače z obvodů D (Obrázek 68).



Obrázek 69: Asynchronní čítač z obvodů JK

c) Příklad integrovaného asynchronního čítače: 7493



Obrázek 70: 7493 - čtyřbitový binární asynchronní čítač

7493 je čtyřbitový binární asynchronní čítač. Skládá se ze čtyř klopných obvodů master-slave, které jsou interně propojeny tak, že vytvářejí sekci děliče dvěma (vstup A, výstup QA) a děliče osmi (vstup B, výstupy QB-QD). Každá sekce má samostatný hodinový vstup, reagující na sestupnou hranu.

Nulování obvodu je asynchronní. To znamená, že probíhá nezávisle na hodinových signálech. Nulují se obě sekce čítače najednou. Nulovací vstupy jsou dva (R1, R2) a je mezi nimi funkce logický součin. To znamená, že k vynulování čítače dojde, jsou-li oba nulovací vstupy současně v úrovni H.

Výstup děliče dvěma není uvnitř připojen k následujícím stupňům. To umožňuje provozovat čítač v různých módech: Samostatný dělič dvěma, samostatný dělič osmi, dělič šestnácti (výstup děliče dvěma připojen na vstup děliče osmi).

Jsou-li dělič dvěma a osmi provozovány samostatně, je nutno pamatovat na to, že nulování působí vždy na oba děliče současně.

Typické zpoždění jednoho stupně čítače v základní řadě TTL je asi 30 ns, v řadě LS TTL asi 18 ns.

Podobné zapojení má dekadická verze čítače 7490. Cyklus tříbitové části děliče je z osmi interně zkrácen na pět, takže celý čítač může pracovat jako dělič deseti.

¹ Byl ale patrně vyvíjen k jinému účelu, jak uvidíme dále.

Cvičení:

- Zapojte 7493 tak, aby pracoval podobně jako 7490 (tj. dělič dvěma a pěti).
- Zapojte 7490 tak, aby pracoval jako dělič deseti se střídou výstupního signálu 1 : 1.

7.2.3 Synchronní čítače

Výhody

Rychlost, současné překlápění všech stupňů.

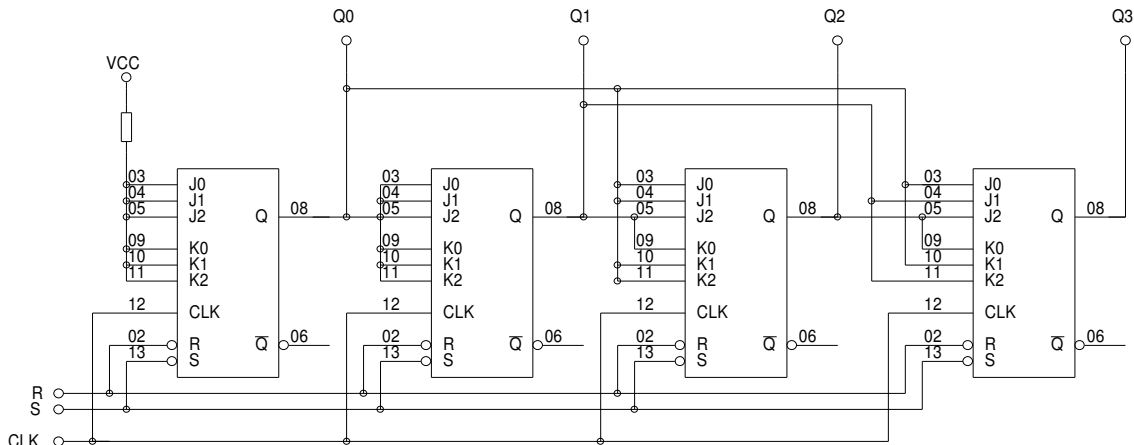
Nevýhody

Složitější konstrukce a použití, vyšší cena.

a) Příklad synchronního čítače z obvodů JK 7472

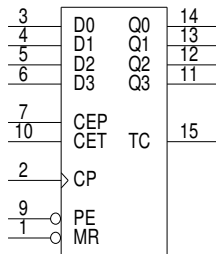
Klopný obvod JK pracuje jako dělič dvěma, pokud jsou oba vstupy, J i K na úrovni H. Stupeň synchronního čítače se překlápí, když v době hodinového impulsu všechny předchozí stupně jsou v úrovni H.

Vstupy J, K obvodu 7472 jsou zapojeny tak (Obrázek 71), aby rozpoznaly stav, ve kterém všechny předchozí stupně jsou v úrovni H. V takovém případě se příslušný klopný obvod přepoklopí do opačného stavu, jinak zůstává v klidu.



Obrázek 71: Synchronní čítač z obvodů JK 7472

b) Příklad integrovaného synchronního čítače: 74161



Obrázek 72: 74161 - čtyřbitový binární synchronní čítač

74161 je čtyřbitový binární synchronní čítač. K přenosu informace mezi IO¹ se při kaskádním řazení používá tzv. přenos s předvídáním (look-ahead carry). Ten umožňuje velmi rychlé čítání a zároveň zajišťuje opravdu synchronní provoz všech čítačů v kaskádě.

Čítače, které přenos s předvídáním nemají, např. 74193, jsou opravdu synchronní jen v rámci jednoho IO. Mezi jednotlivými IO v kaskádě je pak zpoždění.

Čítač 74161 je taktován vzestupnou hranou na hodinovém vstupu CP. Čítání je umožněno jen tehdy, jsou-li oba vstupy CET i CEP na úrovni H (CE = Count Enable = čítání umožněno).

¹ IO = integrovaný obvod

Vstup MR (Master Reset = bezpodmínečné nulování) vynuluje asynchronně, tj. okamžitě a bez ohledu na hodinový vstup i na ostatní vstupy, celý čítač.

Čítač může být nastaven do libovolného stavu pomocí vstupu PE (Parallel Enable = paralelní nastavení umožněno). Je-li PE aktivní (tj. = L), následující vzestupnou hranou hodinového impulsu CP se stavy vstupů D přepíše na výstupy Q.

Toto nastavení proběhne bez ohledu na stav vstupů CET, CEP. Je taktováno hodinovým impulsem, tedy je synchronní.

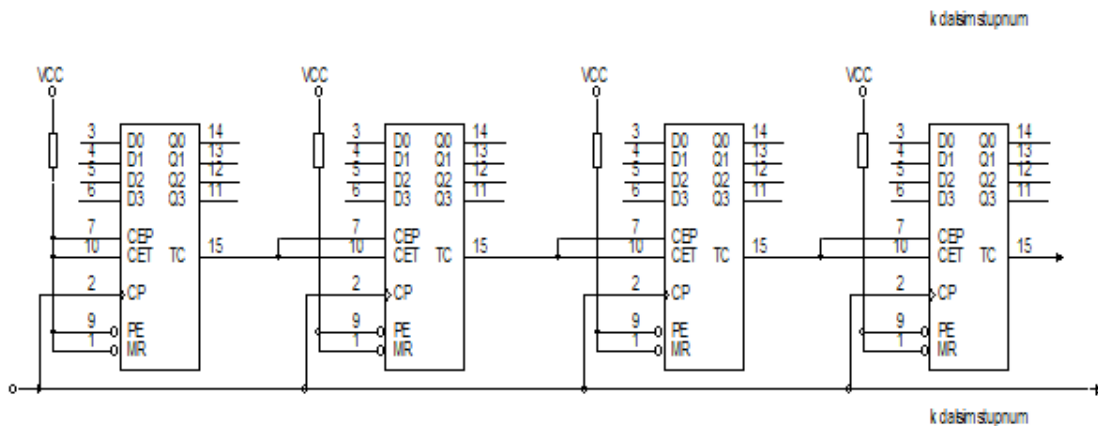
Když čítač dosáhne maximálního stavu, tj. 1111, a na vstupu CET je úroveň H, na výstupu TC (Terminal Count = konečný počet) je úroveň H. Při řazení do kaskády lze výstup TC užít ke včasnému informování následujícího IO, že s dalším hodinovým impulsem se má překloupat.

Výstup TC tedy informuje následující IO o tom, že všechny předchozí řády čítače už jsou zaplněny a že proto informace musí v následujícím taktu přetéci do dalšího řádu.

Podobnou funkci jako 74161 mají čítače 74160, 74162 (dekadický) a 74163 (binární.)

Kaskádní řazení 74161

Na obrázku (Obrázek 73) je šestnáctibitový synchronní čítač sestavený ze čtyř pouzder



Obrázek 73: Šestnáctibitový synchronní čítač z obvodů 74161

74161. Všechny IO mají hodinové vstupy CP propojeny paralelně, proto jsou taktovány synchronně. Vstupy CET, CEP dostávají z předchozích výstupů TC informaci o tom, že předchozí stupně jsou již zaplněny.

7.3 Registry

Definice

Registry jsou digitální obvody pro přechodné uložení menšího množství informace.

7.3.1 Rozdělení registrů

- a) paralelní
- b) sériové (posuvné)
 - s posunem jedním směrem
 - obousměrné, s posunem doprava i doleva
- c) kombinované
 - s paralelním vstupem a sériovým výstupem
 - se sériovým vstupem a paralelním výstupem

7.3.2 Paralelní registry

Skládají se z několika (obvykle čtyř nebo osmi) obvodů D, které mívají společné hodinové impulsy, případně i další signály. Datovými vstupy registru jsou vstupy D, datovými výstupy jsou výstupy Q.

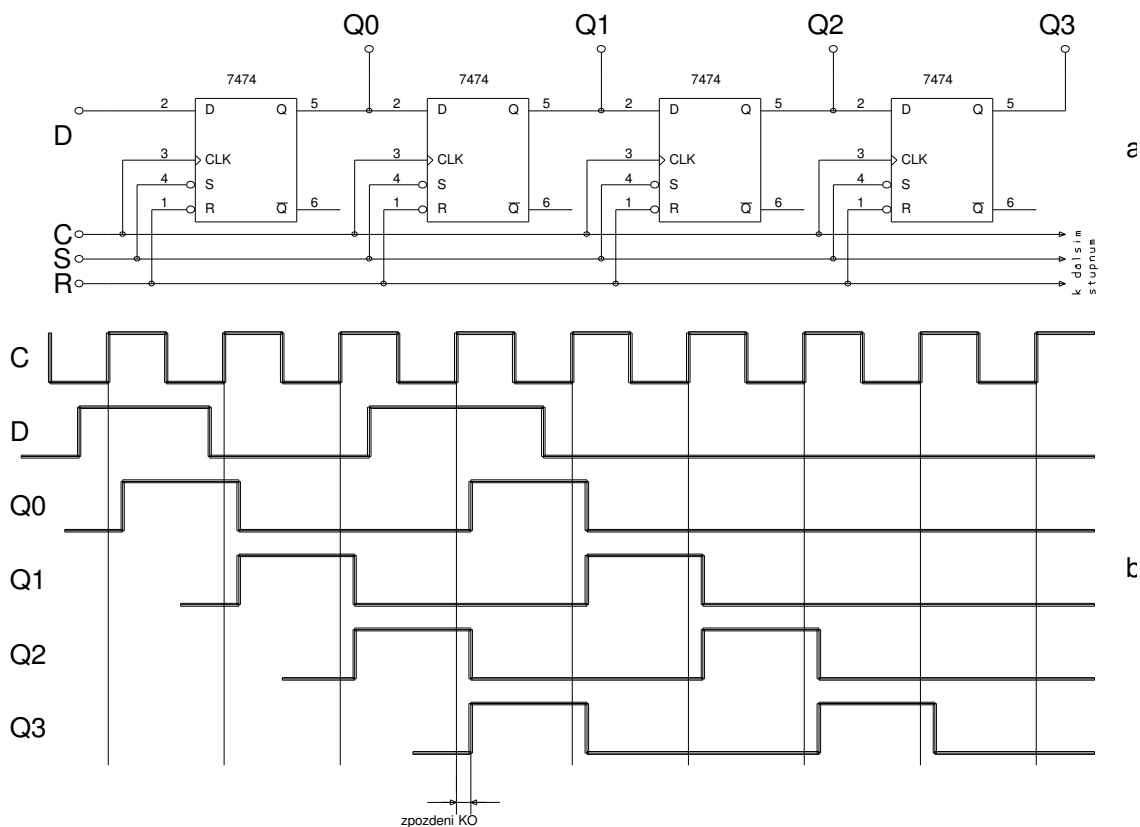
Příkladem paralelních registrů jsou obvody 74373 a 74374, probrané v části o obvodech D.

7.3.3 Sériové (posuvné) registry

Skládají se z kaskády klopných obvodů, jejichž datové vstupy jsou zapojeny na výstupy předchozích obvodů. Všechny klopné obvody dostávají společný hodinový signál. Informace, přicházející na vstup prvního klopného obvodu se s každým hodinovým impulsem posouvá na další a další klopné obvody.

a) Příklad posuvného registru z obvodů D

Vzestupnou hranou hodinového impulsu se do každého klopného obvodu zapíše hodnota z výstupu Q předchozího klopného obvodu. Informace, zapsané v registru, se tedy s každým hodinovým impulsem posouvou o jeden klopný obvod doprava.

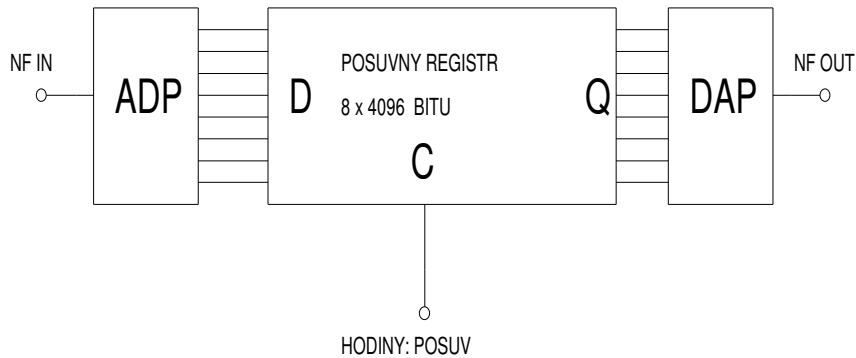


Obrázek 74: Posuvný registr z klopných obvodů D; a) schéma zapojení, b) průběhy signálů

Přitom se nemůže stát, že by se informace "prokopírovala" přes více klopných obvodů najednou. Díky zpoždění obvodů setrvává původní informace na výstupech Q během hrany hodinového impulsu i nějakou dobu po ní. To je také důvod, proč všechny obvody mají dostatek času pro zápis informace.

b) Příklad užití posuvných registrů: zpožďovací linka

Vstupní analogový signál se v analogově - digitálním převodníku vzorkuje a převádí na posloupnost čísel (vzorků), odpovídajících okamžitým hodnotám signálu. Vzorky jsou posouvány registrem a za určitou dobu se objevují na jeho výstupu. Digitálně - analogový převodník je převádí zpět na analogový signál.

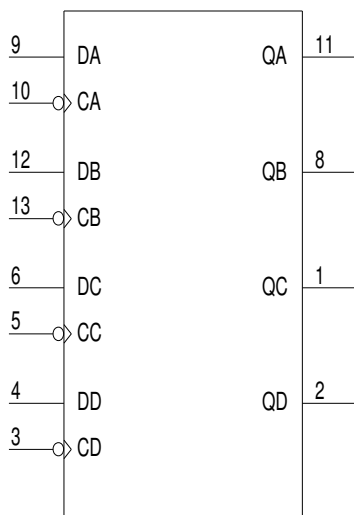


Obrázek 75: Zpožďovací linka s posuvnými registry

Otázky:

- Čím je dáno zpoždění signálu ve zpožďovací lince?
- Jakého zpoždění lze dosáhnout s daným zapojením při vzorkovacím kmitočtu 44,1 kHz?
- Jaké dynamiky lze dosáhnout s daným zapojením ?

c) Příklad integrovaného posuvného registru: 4731



4731 obsahuje čtyři 64-bitové statické posuvné registry. Každý z registrů má samostatný datový vstup (DA - DD), datový výstup (QA - QD) a hodinový vstup (CA - CD). Data jsou registrem posouvána vždy se sestupnou hranou hodinového impulsu.

"Dynamický" posuvný registr musí stále dostávat hodinové impulsy, jejichž kmitočet nesmí klesnout pod určitou minimální hodnotu, jinak může svoji informaci zapomenout. "Statický" registr může mít hodinové impulsy libovolně pomalé. Viz podobnost s "dynamickými" a "statickými" paměťmi RAM.

Obvod 4731 je vyroben technologií CMOS.

Obrázek 76: 4731 - Čtyřnásobný statický posuvný registr

7.3.4 Kombinované registry

Definice

Kombinované registry jsou posuvné registry, které mají i možnost paralelního, tj. současného, vstupu informace do všech stupňů najednou a/nebo možnost paralelního výstupu ze všech stupňů najednou.

a) Příklady užití kombinovaných registrů

Násobení, dělení binárního čísla

Posun čísla doleva s doplněním nul zprava znamená v každé číselné soustavě zvětšení čísla o jeden řád, tj. násobení základem číselné soustavy. Např. posunem desítkového čísla 195 doleva

195

1950

dostaneme číslo 1950, tj. desetkrát větší. Posunem dvojkového čísla 0101 (desítkově 5) doleva

0101

1010

dostaneme číslo 1010 (desítkově 10), tj. dvakrát větší.

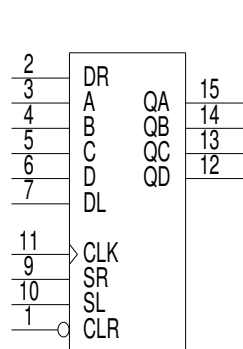
Podobně posunem doprava dostaneme číslo o řád menší, tj. dělení základem číselné soustavy.

Kombinované posuvné registry lze proto využít k násobení nebo dělení binárních čísel dvěma.

Převod paralelního vyjádření binárního čísla na sériové

Při přenosu binárních čísel lze ušetřit na počtu vodičů tak, že se všechny bity čísla nepřenášejí po vedení najednou (paralelně), ale postupně (sériově). Pomocí registru s paralelními vstupy a sériovým výstupem se na vysílací straně čísla převádějí do sériové podoby. Na přijímací straně se do původní podoby převádějí pomocí registru se sériovým vstupem a paralelními výstupy.

b) Příklad integrovaného kombinovaného registru: 74194



Obrázek 77: 74194 -
čtyřbitový
kombinovaný registr
paralelní registr z obvodů D.

Vstup DR je sériovým vstupem registru při posouvání doprava, DL při posouvání doleva.

74194 obsahuje jeden čtyřbitový obousměrný posuvný registr s možností paralelního vstupu i výstupu.

Nulování obvodu vstupem CLR (Clear = mazání) je asynchronní, tj. nezávislé na stavech ostatních vstupů. Všechny ostatní činnosti jsou synchronní, tj. ovládané vzestupnou hranou hodinového signálu CLK (Clock = hodiny).

Je-li vstup SR (Shift Right = posuv doprava) na úrovni H, obsah registru se hodinovými impulsy posouvá doprava. *SL přitom musí být na úrovni L.*

Je-li vstup SL (Shift Left = posuv doleva) na úrovni H, obsah registru se hodinovými impulsy posouvá doleva. *SR přitom musí být na úrovni L.*

Jsou-li SR i SL na úrovni L, neděje se nic. Jsou-li oba na úrovni H, obsah datových vstupů A-D se s hodinovým impulsem přepíše do výstupů QA-QD. *Obvod při tom tedy pracuje jako*

7.4 Paměti RAM

Definice

Paměti RAM¹ jsou polovodičové obvody pro přechodné uložení většího množství informace. Paměť RAM je určena pro zápis i čtení informace. Místo v paměti, do kterého se bude zapisovat nebo ze kterého se bude číst, je určeno adresovými vstupy. Při vypnutí napájení RAM svoji informaci ztrácí.

7.4.1 Základní rozdělení RAM

- a) statické
- b) dynamické

7.4.2 Statické paměti RAM

U statické paměti RAM jsou paměťové buňky tvořeny klopnými obvody. Jednou zapsaná informace v buňce zůstává až do vypnutí napájení nebo dokud není přepsána jinou informací.

Použití statických pamětí je jednodušší. Nedá se ale u nich dosáhnout tak velké integrace (=> kapacity) jako u pamětí dynamických.

7.4.3 Dynamické paměti RAM

U dynamické paměti jsou paměťové buňky tvořeny kapacitami integrovaných kondenzátorů. Protože se tyto integrované kondenzátory samovolně vybíjejí, je nutno jejich náboje pravidelně obnovovat (refresh = obnovení, občerstvení), aby paměť svoji informaci "nezapomněla". Náboj paměťových buněk se obnovuje při každém jejich čtení. Proto je nutné v pravidelných intervalech (po několika ms) vždy znovu všechny buňky paměti přečíst. Přitom není nutné číst každou buňku zvlášť, což by trvalo dlouhou dobu. Při obnovování se čte mnoho buněk paměti najednou.

Dynamické paměti umožňují dosažení větší kapacity, protože jejich paměťová buňka je jednodušší, menší. Jejich použití je náročnější, konstruktér se musí postarat o obnovování paměti.

Je-li obnovování vyřešeno špatně, může způsobovat zpomalení činnosti systému - občas se musí čekat, než paměť dokončí obnovovací cyklus. Většinou se ale dá obnovování vyřešit tak, že probíhá např. v době, kdy procesor paměť určitě nepotřebuje.

Některé paměti mají obvody pro obnovování vestavěné, takže z hlediska konstruktéra se tváří skoro jako statické.

7.4.4 Ovládání paměti

Činnost paměti bývá řízena několika vstupy. Mezi nejdůležitější řídicí vstupy patří

- a) adresové vstupy
- b) výběr čipu
- c) uvolnění výstupu
- d) řízení zápisu

a) Adresové vstupy

Adresové vstupy určují místo v paměti, na které se bude zapisovat nebo ze kterého se bude číst. Je-li počet adresových vstupů n , pak počet N adresovatelných míst v paměti je dán vzorcem

$$N = 2^n$$

¹ RAM = Random Access Memory = paměť s náhodným přístupem

Přitom každé adresovatelné místo v paměti může obsahovat jeden nebo více bitů a to podle organizace paměti (viz dále).

Otázka: Jak se změní kapacita paměti přidáním jednoho adresového vstupu?

b) Výběr čipu

Vstup "Výběr čipu" (např. CE = Chip Enable, CS = Chip Select) aktivuje celý integrovaný obvod. Žádná činnost paměti není možná, pokud tento vstup není aktivní. U některých pamětí tento vstup podstatně ovlivňuje spotřebu. Není-li aktivní, spotřeba klesá na pouhý zlomek.

Není-li vstup "Výběr čipu" aktivní, výstupy paměti jsou ve třetím stavu.

c) Uvolnění výstupu

Vstup "Uvolnění výstupu" (např. OE = Output Enable) způsobí aktivaci výstupu paměti, nebo naopak jeho uvedení do třetího stavu. Přitom ostatní činnosti paměti nejsou obvykle ovlivněny. Např. lze uvést paměť do pohotovosti aktivací výběru čipu a přivedením adresových signálů, a přitom nechat výstupy zatím odpojené od sběrnice.

d) Řízení zápisu

Vstup "Řízení zápisu" (např. WE = Write Enable) dává povel k tomu, aby se do místa paměti, určeného adresovými vstupy, zapsala hodnota, která je právě na datovém vstupu paměti. Přitom musí být aktivní vstup "Výběr čipu".

7.4.5 Parametry pamětí

Dále uvedené parametry se používají nejen pro RAM, ale i pro ostatní polovodičové paměti, např. ROM.

- a) kapacita
- b) organizace
- c) rychlost

a) Kapacita

Kapacita paměti se vyjadřuje v bitech nebo bajtech a jejich násobcích (kilo, mega, ...).

Z reklamních důvodů se pro paměti užívají častěji bity, i když je paměť třeba organizována po bajtech: Počet bitů je větší, údaj proto vypadá lépe.

b) Organizace

Organizací paměti rozumíme počet a způsob využití vývodů, především datových.

Můžeme mluvit i o vnitřní organizaci, tj. způsobu, jak jsou uspořádány paměťové buňky uvnitř IO. Tuto vnitřní organizaci uživatel obvykle ani nepotřebuje znát.

Z informací uložených v paměti mohou být v jednom okamžiku najednou přístupné pouze jeden až několik bitů, což je dáno omezeným počtem vývodů pouzdra. Má-li např. paměť s kapacitou 16 kb jeden datový vývod (společný vstup - výstup), mluvíme o organizaci 16k x 1. Má-li paměť s kapacitou 128 kb osm datových vývodů, má organizaci 16k x 8.

Datové vstupy jsou často společné s výstupy: Vstupy i výstupy se totiž tak jako tak připojí na společnou sběrnici systému.

Aby se omezil počet potřebných adresových vstupů, mívají dynamické paměti tento počet poloviční a adresa se do paměti "nahrává" nadvakrát. Jedna polovina adresy se pak nazývá adresa řádků, druhá polovina se nazývá adresa sloupců.

To budí dojem, že paměťové buňky jsou uvnitř RAM uspořádány v řadách a sloupcích. Skutečně vnitřní uspořádání ale může být jiné.

c) Rychlost

Rychlost práce s pamětí často určuje rychlost celého systému, např. počítače. Proto je důležité, aby čtení z paměti a zápis do ní byly co nejrychlejší. Od vyžádání informace do

okamžiku, kdy paměť informaci dodá, uplyne určitý čas. Podobně uplyne určitý čas od povelu k zápisu do jeho provedení. Tyto časy bývají pro jednotlivé řídicí vstupy rozdílné.

Pro uživatele paměti jsou důležité dva pojmy: Doba přístupu a doba cyklu paměti.

Doba přístupu je čas, který uplyne od aktivace příslušného řídicího vstupu do ustálení dat na výstupu paměti. Doba přístupu bývá pro adresové vstupy a výběr čipu delší než pro uvolnění výstupu.

Doba cyklu je čas, který je nutný pro pravidelné opakování nějaké operace. Udává se obvykle doba cyklu čtení, zápisu a případně ještě doba cyklu čtení - zápis.

Doba cyklu je vždy delší než doba přístupu, protože v ní jsou zahrnuty i časy, nutné pro "vzpamatování" paměti mezi jednotlivými přístupy.

Cyklus čtení - zápis obsahuje

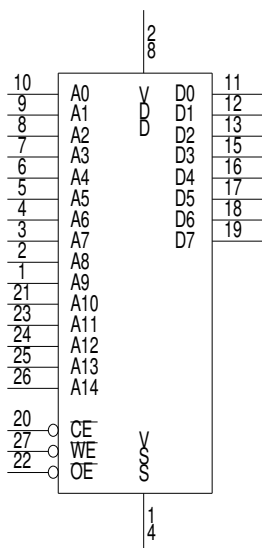
- čtení informace z paměťového místa
- zápis jiné informace do téhož místa
- nutné časy na "vzpamatování"

7.4.6 Příklad paměti RAM: 61C257

61C257 je statická paměť CMOS RAM o kapacitě 256 kb, organizovaná jako 32768 slov po osmi bitech. Paměť má velmi malý příkon, obzvláště v režimu standby, když vstup CE není aktivní. Proto je vhodná pro aplikace s bateriovým zálohováním.

V režimu zálohování stačí napájecí napětí 2V.

Vstupy a výstupy jsou TTL - kompatibilní. Bez stejnosměrné zátěže jsou na výstupech úrovně CMOS- kompatibilní.



CE	OE	WE	činnost	datové vývody
H	X	X	obvod nevybrán => žádná	3. stav
L	L	H	čtení	výstupy
L	X	L	zápis	vstupy
L	H	H	připraven ke čtení	3. stav

Tabulka 10: Pravdivostní tabulka 61C257

Vstup CE aktivuje celý obvod. Není-li aktivní, pak na úrovni ostatních vstupů nezáleží. Všechny funkce paměti jsou podmíněny aktivitou CE.

Vstup OE aktivuje výstupy.

15 adresových vstupů A0-A14 určuje, které z 32768 paměťových míst se bude zapisovat nebo číst ($2^{15} = 32768$).

Je-li vstup WE aktivní, hodnota čísla na datových vývodech se zapíše do paměťového místa, daného adresovými vstupy.

Obrázek 78: 61C257 - statická paměť CMOS RAM 256 kb

8. Analogově digitální převodníky

Definice

Analogově digitální převodník (ADP) je zařízení, které převádí vstupní analogové napětí na číslo.

ADP je obsažen např. v číslicových voltmetrech, paměťových osciloskopech, zvukových kartách pro PC, v zařízeních pro nahrávání CD.

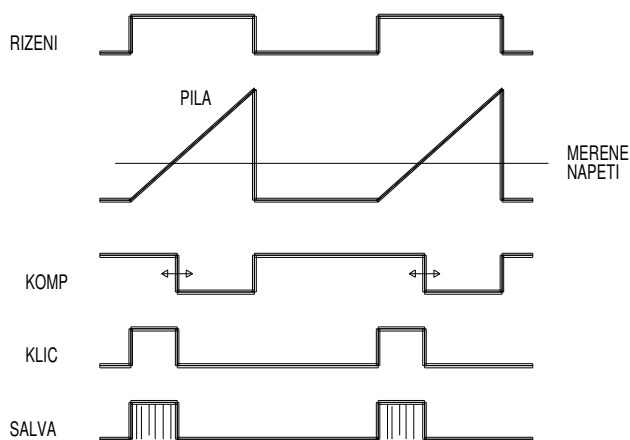
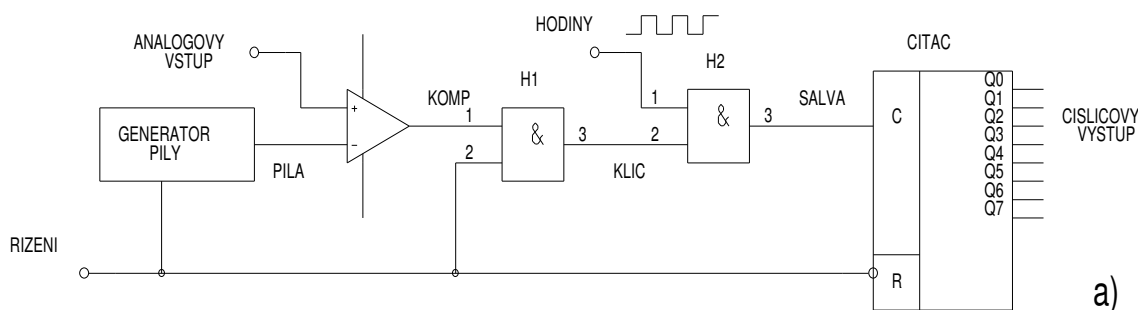
Důležité parametry ADP:

- rozlišovací schopnost (tj. počet rozlišitelných úrovní analogového signálu)
- rychlost převodu (vyjadřuje se pomocí vzorkovacího kmitočtu nebo periody vzorkování)

8.1 ADP s mezipřevodem na časový interval

Princip

ADP s mezipřevodem na časový interval (Obrázek 79) převádí měřené napětí na impuls, jehož délka je úměrná velikosti měřeného napětí. Délka impulsu se změní pomocí čítače.



Obrázek 79: ADP s mezipřevodem na časový interval; a) blokové schéma, b) průběhy signálů

Funkce

Měřené napětí se komparátorem porovnává s lineárně rostoucím pilovým napětím. Čím je měřené napětí větší, tím delší dobu trvá, než pila dosáhne jeho úrovně a tím dále se hrana průběhu KOMP posune doprava. Impuls KLIC je součinem průběhů RIZENI a KOMP. Jeho délka je úměrná měřenému napětí. Po dobu impulsu KLIC procházejí impulsy HODINY do čítače. Jejich počet je úměrný délce impulsu KLIC a tedy i měřenému napětí. Číslo na výstupu čítače (= počet impulsů) proto vyjadřuje velikost měřeného napětí. Průběh RIZENI se používá také k vynulování čítače po změření každého vzorku napětí.

Nevýhody

- Malá odolnost proti rušení. Rušivý signál, superponovaný na měřeném napětí, způsobuje náhodné posouvání okamžiku překlopení komparátoru a tím i ovlivnění výstupního čísla.
- Pomalost. Na vyrobení jednoho vzorku je nutno přivést do čítače mnoho hodinových impulsů.
- Náročnost na přesnost a dlouhodobou stabilitu mnoha veličin: hodinový kmitočet, referenční napětí, součásti obvodu pro výrobu pily.

Úkoly

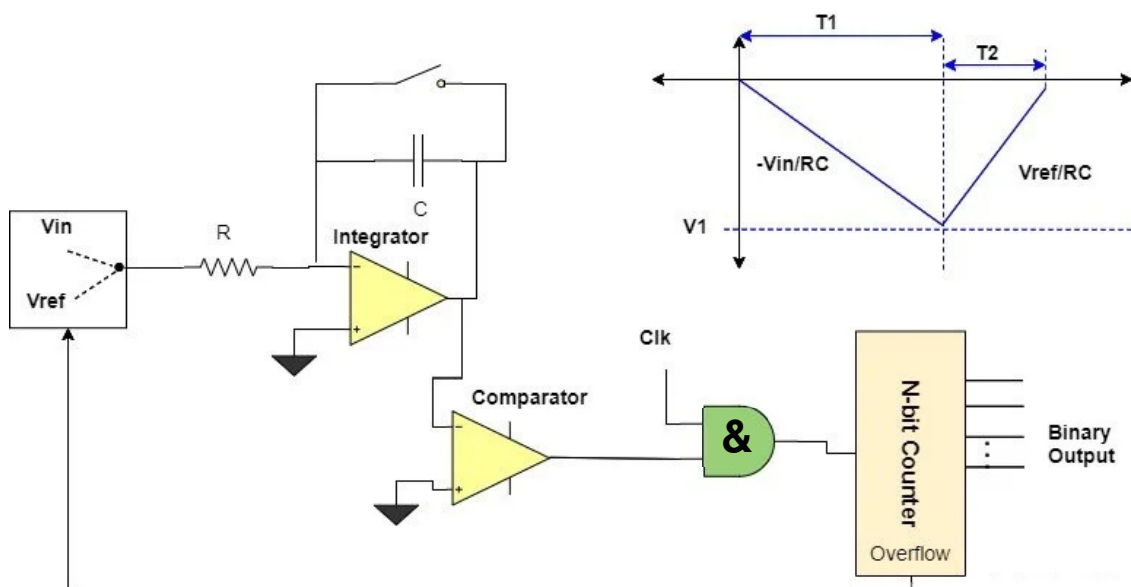
Doplňte obvod tak, aby číslo na jeho výstupu stále ukazovalo naposled změřenou hodnotu napětí.

Jak dlouho potrvá výroba jednoho vzorku u desetibitového ADP, je-li kmitočet signálu HODINY 10 MHz?

8.2 ADP s dvojí integrací

a) Popis

Základem ADP s dvojí integrací (Obrázek 80) je integrátor, který se nejdříve po určitou konstantní dobu T_1 "nabíjí" kladným měřeným napětím V_{in} . Výstup integrátoru teď jde dolů. Napětí V_1 , dosažené na jeho výstupu, je úměrné měřenému napětí V_{in} . Pak se integrátor vybíjí záporným konstantním napětím V_{ref} . Výstup integrátoru se teď vrací nahoru. Měří se doba T_2 , za kterou se dostane zpět na nulu. Tato doba T_2 je úměrná měřenému napětí V_{in} : Čím víc se předtím za konstantní dobu T_1 nabil, tím déle teď trvá, než se referenčním napětím V_{ref} vybije.



Obrázek 80: ADP s dvojí integrací; blokové schéma, průběhy signálů

b) Funkce

V době T_1 je na vstup integrátoru připojené měřené napětí V_{in} . Je kladné, proto žene výstup integrátoru do záporného napětí. Dokud je výstup integrátoru záporný, na výstupu komparátoru je úroveň H a součinnové hradlo propouští hodinové impulsy Clk do čítače.

Když čítač dopočítá do své maximální hodnoty, přetočí se do nuly (jako tachometr) a signálem na výstupu Overflow (přetečení) přepne vstup integrátoru z kladného měřeného napětí na záporné referenční napětí. Tím skončila doba T_1 , začíná doba T_2 .

Výstup integrátoru za dobu T_1 dosáhnul napětí V_1 . Jeho velikost je úměrná měřenému napětí V_{in} .

Záporné referenční napětí teď žene výstup integrátoru nahoru. Čítač stále počítá hodinové impulsy Clk.

Když integrátor dosáhne nuly a přejede do kladného napětí, na výstupu komparátoru se objeví úroveň L a hradlo zablokuje průchod hodinových impulsů Clk do čítače.

Tím skončila doba T_2 a na výstupech čítače je číslo, úměrné měřenému napětí. Proč?

Čím větší je měřené napětí, tím hlouběji integrátor v době T1 zajel, tím delší dobu T2 pak referenčnímu napětí trvá, než ho vrátí nahoru na nulu, a tím více impulzů Clk naběhlo za dobu T2 do čítače.

Před celým popsaným měřicím cyklem musí být čítač a integrátor vynulovány. Nulování není pro jednoduchost podrobně nakresleno.

c) Vlastnosti

Zapojení není citlivý na pravidelné rušení (např. síťový brum): Toto rušení je vyhlazeno integrátorem.

Pro přesnost převodu není nutná dlouhodobá stabilita hodinového kmitočtu, ani stabilita hodnot R a C integrátoru. Chyba způsobená v první části měřicího cyklu (kdy napětí na integrátoru stoupá) je totiž kompenzována ve druhé části cyklu.

Proto stačí pouze krátkodobá stabilita uvedených veličin, a to po dobu měřicího cyklu. Takové stability lze snadno dosáhnout. Dlouhodobě stabilní musí být pouze referenční napětí.

Tento převodník je pomalý. Je ještě pomalejší než ADP s převodem na časový interval. Při použití v měřicích přístrojích, např. multimetrech, ale pomalost nevádí.

d) Použití

ADP s dvojitou integrací je pro svoji přesnost používán v měřicích přístrojích, kde pomalost nevádí.

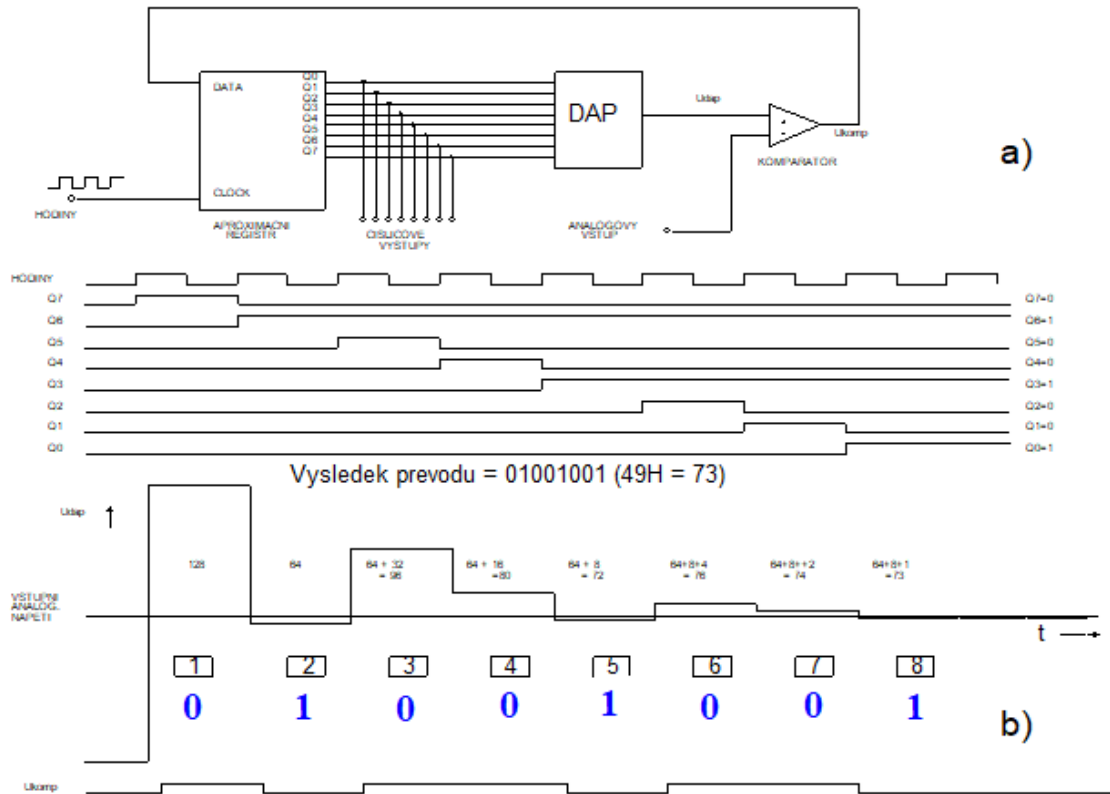
e) Úkol

Vypočtete a zdůvodněte, kolikrát je tento převodník pomalejší než ADP s převodem na časový interval, u kterého jsou minimalizovány "mrtvé" časy mezi pilami. Ilustrujte časovými průběhy.

8.3 ADP s postupnou aproximací (kompenzační)

a) Princip

Zatímco ADP s převodem na časový interval nebo s dvojí integrací potřebují k dosažení osmibitového výsledku minimálně 255 hodinových impulsů, ADP s postupnou aproximací (Obrázek 81) dosáhne osmibitového výsledku během osmi hodinových impulsů. Ke správné hodnotě se dostává postupně, zkusmo, metodou "pokusů a omylů".



Obrázek 81: ADP s postupnou aproximací; a) blokové schéma, b) průběhy signálů

b) Popis

Zapojení se skládá z aproximačního registru, DA převodníku a komparátoru. Obvod je zapojen jako uzavřená smyčka se zpětnou vazbou. Uzavřením DAP do smyčky zpětné vazby se dosáhne funkce inverzní, tj. ADP.

Uzavřeme-li do smyčky ZV napěťový dělič, dostaneme inverzní funkci: násobení konstantou neboli zesílení napětí - viz zapojení s OZ. Uzavřeme-li do smyčky ZV dělič kmitočtu, dostaneme násobič kmitočtu - viz např. frekvenční syntézu nebo stereofonní dekodér.

c) Funkce

Aproximační registr postupně "zkusmo" nastavuje jednotlivé bity výsledného čísla a to počínaje od MSB. Po každém pokusu se nastavené číslo pomocí DAP a komparátoru porovná s měřeným napětím. Pokud nastavené číslo je příliš velké, naposled nastavený bit se opět vynuluje a jde se na další, nižší.

V příkladu průběhu podle obrázku převodník postupuje takto:

Krok 1: Aproximační registr nastavil úroveň H na výstupu Q7, zatímco ostatní výstupy jsou na úrovni L. Hodnota na číslicových výstupech tedy odpovídá dekadickému číslu 128.

Napětí na výstupu DAP je větší než měřené napětí, nastavené číslo je tedy moc velké. Proto v dalším kroku bude bit Q7 vynulován.

Krok 2: Nastaví se H na Q6. Hodnota na číslicových výstupech odpovídá dekadickému číslu 64. Napětí na výstupu DAP je menší než měřené napětí. Nastavené číslo je moc malé, bit Q6 proto zůstane nastavený.

Kroky 3, 4: K nastavenému bitu Q6 z kroku 2 se zkusmo přidávají bity Q5, Q4. V obou případech je nastavené číslo příliš velké, proto jsou oba vynulovány.

Kroky 5-8: Postupuje se podobně jako v předchozích krocích. Výsledkem je, že napětí na výstupu DAP i číslo na výstupech se stále více přibližují správné hodnotě.

d) Vlastnosti

Na výrobu jednoho vzorku je zapotřebí pouze osm činných hodinových impulsů plus jeden "služební" na návrat obvodů do základního stavu. Hodinové impulsy nemohou být tak krátké jako u předchozích ADP, protože v každém kroku se musí čekat nejen na logické obvody, ale především na ustálení DAP, který je nejpomalejší částí obvodu. Přesto je tento ADP mnohonásobně rychlejší než předchozí typy.

Rozlišovací schopnost, přesnost, linearita jsou velmi dobré. Závisí především na vlastnostech DAP.

e) Použití

Tento ADP se pro svoji přesnost a rychlost používá např. v paměťových osciloskopech, kardiomonitorch a jiných zařízeních pro zobrazování analogových signálů.

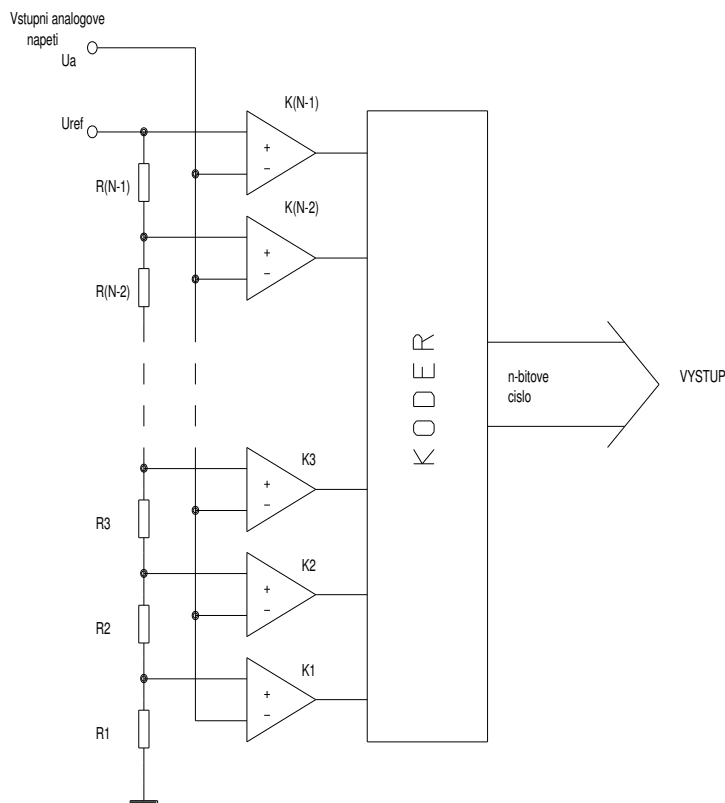
f) Úkol

Nakreslete průběh na výstupu DAP, je-li AD převodník buzen trojúhelníkovým napětím, které se mění od minima do maxima rozsahu převodníku.

8.4 Paralelní ADP

a) Princip

Paralelní ADP porovnává vstupní analogové napětí s odstupňovanými referenčními úrovněmi. K výsledku se dostává prakticky v jediném kroku: Rozhodne, která z daných referenčních úrovní je vstupnímu napětí nejbližší.



Obrázek 82: Paralelní ADP

b) Popis

Obvod obsahuje sadu komparátorů, které jsou připojeny na přesný odporový dělič. Dělič je napájen referenčním napětím. Každý následující komparátor je tak připojen na přesné referenční napětí o něco vyšší, než předcházející komparátor. Výstupy komparátorů jsou připojeny na kodér, na jehož výstupu je výsledné číslo.

c) Funkce

Na vstup přivedeme analogové napětí. Ty komparátory, u kterých vstupní analogové napětí přesáhne jejich referenční napětí, se překloupí do úrovně L (ty dolní). Ostatní komparátory (ty zbývající, horní) zůstanou překloupené v úrovni H.

Kodér je převodník kódu 1 z N na binární kód. Na jeho výstupu se objeví binární číslo odpovídající pořadí nejvyššího z těch dolních komparátorů, které se už překloupily do úrovně L. Toto číslo zároveň odpovídá velikosti vstupního analogového napětí.

Pro kodér mohou být použity např. obvody 74148. Právě jim byla přizpůsobena polarita komparátorů: 74148 vyhodnotí, kam až došla nejvyšší nula z překloupených komparátorů.

ADP, který má dávat n-bitové binární číslo a rozlišovat

$$N = 2^n$$

úrovni, musí mít N-1 komparátorů. Například 8-bitový převodník rozlišující 256 úrovní má 255 komparátorů.

d) Vlastnosti

Tento ADP je velmi rychlý, protože o výsledku rozhoduje prakticky v jediném kroku. Proto se hodí např. pro digitální osciloskopy.

S počtem bitů výstupního čísla roste počet potřebných komparátorů velmi rychle. Např. pro devítibitový převodník by bylo zapotřebí 511, pro desetibitový 1023 atd. komparátorů. Zároveň neúměrně vzrůstá technologická náročnost. Při velkém počtu komparátorů je např. obtížné udržet jejich stabilitu, tj. zabránit rozkmitání.

9. Digitálně - analogové převodníky

Definice

Digitálně - analogový převodník (DAP) je obvod, který převádí číslo (obvykle binární) na analogové napětí nebo proud (obvykle lineárně).

Číslo na vstupu DAP může nabývat pouze určitých diskretních hodnot. Proto i analogový výstup může nabývat jen určitých hodnot. Připojíme-li např. na číslicové vstupy DAP výstupy čítače, čítajícího nahoru, na výstupu DAP dostaneme pilové napětí se schodovitým průběhem.

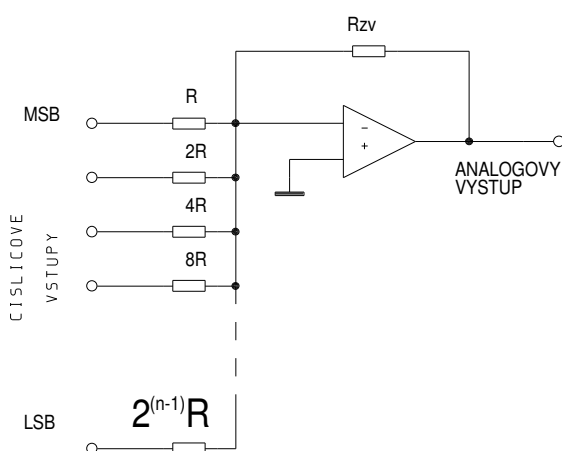
9.1 DAP se sčítacím zesilovačem

a) Princip

Využívá invertujícího zapojení OZ, které díky virtuální zemi na vstupu (-) dokáže sčítat příspěvky z jednotlivých vstupů tak, že se vstupy vzájemně neovlivňují.

b) Popis

Převodník má n číslicových vstupů a jeho výstupní napětí tedy může rozlišit 2^n úrovní.



Obrázek 83: DAP se sčítacím zesilovačem

Obvod je zapojen jako invertující zesilovač s více vstupy. Jednotlivé vstupy se vzájemně neovlivňují, protože jsou od sebe odděleny virtuální zemí na vstupu (-) OZ.

c) Funkce

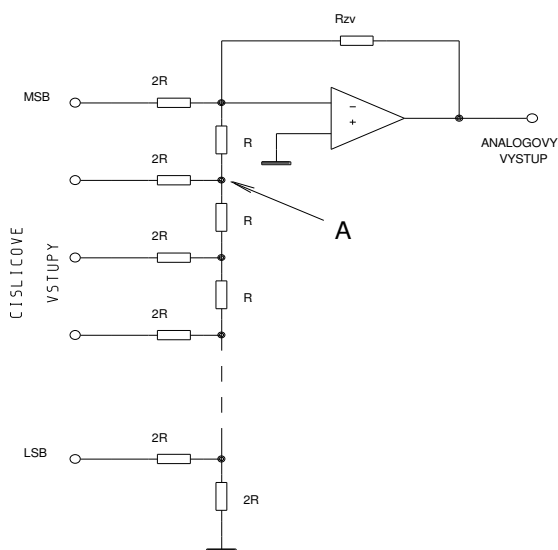
Největší vliv na velikost výstupního napětí má rezistor s nejmenší hodnotou odporu (horní), protože do společného uzlu vnucuje největší proud. Každý následující rezistor má dvojnásobnou hodnotu a jeho vliv je proto poloviční proti předcházejícímu. Poslední rezistor s největší hodnotou odporu má tedy na výstupní napětí nejmenší vliv.

Velikostí zpětnovazebního odporu R_{ZV} lze nastavit zesílení zesilovače a tím i velikost výstupního analogového napětí.

d) Vlastnosti

Při větším počtu číslicových vstupů roste počet potřebných hodnot přesných rezistorů a také roste poměr mezi největším a nejmenším rezistorem. To je velmi nevýhodné zvláště při realizaci převodníku integrovaným obvodem.

9.2 DAP s příčkovým děličem



Obrázek 84: DAP s příčkovým děličem

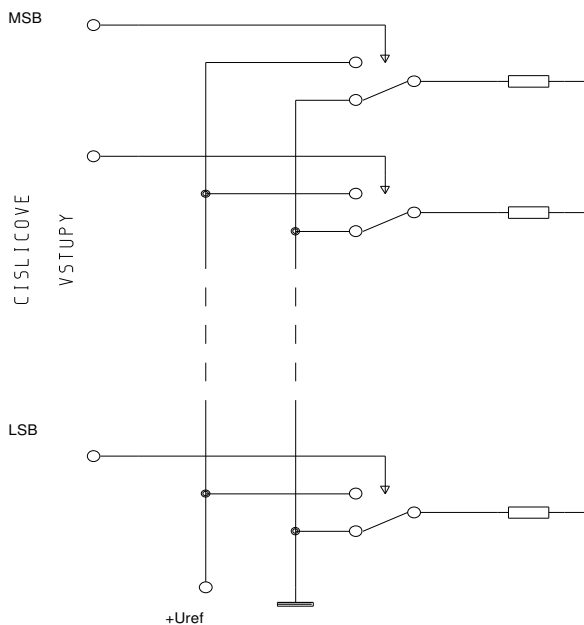
přesné hodnotě. To je velmi výhodné při integraci.

Cvičení

Jaké je napětí v bodě A (Obrázek 84), je-li na číslicových vstupech číslo **0100 0000 (MSB ... LSB)**

a logické úrovně na číslicových vstupech mají hodnoty $L = 0,0 \text{ V}$, $H = 5,0 \text{ V}$?

9.3 Vnitřní zapojení DAP



Obrázek 85: Skutečné zapojení vstupních obvodů DAP

a) Princip

Pro zmenšování vlivu méně významných bitů nepoužívá stále větších odporů, ale postupně stále více dělí jejich příspěvek pomocí odporového děliče s příčkovou (žebříčkovou) strukturou.

b) Funkce

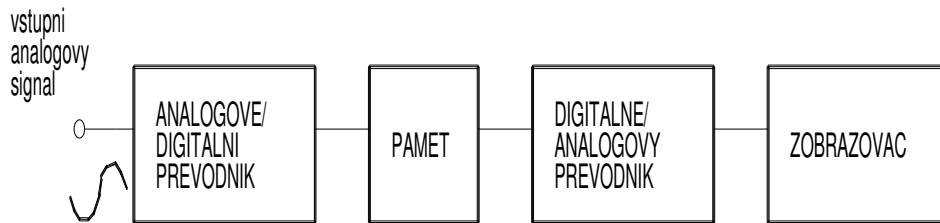
Účinek horního vstupu (MSB) je největší, protože působí přímo do invertujícího vstupu OZ, zatímco účinky dalších vstupů se stále více ztrácejí v příčkovém děliči.

V příčkovém děliči jsou použity pouze dvě hodnoty odporů. Přitom celková přesnost a linearita záleží více na vzájemném poměru odporů, než na jejich

U obou uvedených zapojení by přesnost a linearita přímo závisely na hodnotách logických úrovní na číslicových vstupech DAP. To je samozřejmě zcela nepřijatelné. Proto ve skutečném zapojení (Obrázek 85) číslkové vstupy ovládají elektronické přepínače, kterými se jednotlivé vstupy odporové sítě připojují buď na referenční napětí nebo na zem.

9.4 Příklad použití DAP

Když vstupy DAP spojíme s výstupy paměti, do které jsme předtím zaznamenali řadu vzorků nějakého průběhu a tyto vzorky z paměti budeme postupně rovnoměrně vypisovat, dostaneme rekonstrukci původního analogového signálu. Pokud budeme vzorky z paměti cyklicky vypisovat synchronně s během časové základny osciloskopu, dostaneme na obrazovce stojící obraz zaznamenaného analogového signálu. To je princip paměťového osciloskopu (Obrázek 86).



Obrázek 86: Blokové schéma paměťového osciloskopu

10. Technologie logických obvodů

Úvod

Způsoby výroby neboli technologie logických obvodů jsou různé: Od zastaralých obvodů RTL, DTL, které se vyráběly z diskretních součástí, až po nejmodernější integrované obvody. Budeme-li mluvit o technologiích logických obvodů, budeme mít dále na mysli logické obvody integrované.

Každou technologií je vyráběn ucelený sortiment obvodů, které jsou v rámci řady obvykle označovány čísly. Proto také mluvíme o řadách integrovaných obvodů, např. řada TTL, CMOS, ECL.

Jednotlivé řady se od sebe liší rychlostí, příkonem, cenou, dosažitelnou hustotou integrace. Za vyšší rychlost obvykle platíme vyšším příkonem.

10.1 Řady logických obvodů

Nejběžnější řady logických obvodů jsou

- TTL
- CMOS
- ECL
- I²L

Tyto řady se dále dělí podle pokrokovosti nebo podle vlastností. Např. řadu TTL dále dělíme na standardní, S, F, LS, ALS atd.

10.2 Technologie TTL

10.2.1 Vlastnosti

a) přijatelný kompromis mezi rychlostí, příkonem a cenou, především u moderních

řad

b) malý výstupní odpor

c) nejširší sortiment vyráběných obvodů

d) zaměnitelnost ekvivalentních typů od různých výrobců

e) mezinárodně normalizované napájecí napětí (5V) a logické úrovně

f) menší šumová imunita (nízká rozhodovací úroveň)

10.2.2 Značení obvodů TTL

Obvody jsou značeny kombinacemi písmen a číslic. Popíšeme na příkladu:

MH74ALS193S

První skupina písmen udává výrobce. Např. skupina MH znamená (bývalou) Teslu Rožnov.

První skupina číslic udává rozsah vnějších teplot a napájecích napětí, při kterém obvody ještě zaručeně budou pracovat. Číslo 74 je pro komerční obvody. Znamená rozsah teplot od 0 do +70 stupňů a napájecích napětí od 4,75 do 5,25 V. Číslo 54 je tzv. vojenské provedení pro teploty od -55 do +125 stupňů a napájecí napětí od 4,5 do 5,5 V.

"Vojenské" provedení obvodů je podstatně dražší než komerční a při běžném použití nepřináší žádné výhody.

Druhá skupina písmen blíže určuje, kterou z technologií TTL byl obvod vyroben. Např. zkratka ALS znamená "Advanced Low Power Schottky" (bude vysvětleno dále). Pokud tato skupina písmen chybí, patří obvod do standardní řady TTL.

Druhá skupina číslic je z celého označení nejdůležitější. Udává funkci obvodu. Např. číslo 193 znamená "nastavitelný čtyřbitový binární obousměrný synchronní čítač".

Poslední písmeno nebo skupina písmen, pokud se vyskytuje, má u různých výrobců různý význam, např. může určovat druh pouzdra. Písmeno "S" u obvodů Tesla znamená "obvod se zvýšenou spolehlivostí".

Opět nemá význam pro běžné použití připlácet za naději na vyšší spolehlivost. Stává se ale, že jsou obvody řady 54 s příponou S nabízeny za velmi nízké ceny. Obvykle se jedná o výprodej přebytných zásob z vojenských skladů. Není důvod takový obvod pro amatérské použití nekoupit.

10.2.3 Charakteristika řad TTL

74	- standardní řada TTL
74L	- Low Power TTL - nízká spotřeba, nižší rychlost
74H	- High Power TTL - vyšší spotřeba, vyšší rychlost
74S	- Schottky TTL - vyšší rychlost
74AS	- Advanced Schottky - vylepšená Schottky
74LS	- Low Power Schottky TTL - kombinace L a S
74ALS	- Advanced Low Power Schottky TTL - vylepšená LS
74F	- Fast Schottky TTL - rychlá Schottky

10.2.4 Historický vývoj řad TTL

Standardní řada 74 byla vyvinuta jako první. Konstruktoři se pak snažili odstranit její nedostatky - pomalost a velkou spotřebu.

Proto byly vyvinuty řady 74H a 74L, které jsou zapojeny stejně jako 74, ale jsou u nich použity rezistory s jinými odpory. Řada 74H má odpory menší. Tím je dosaženo větší rychlosti, ovšem za cenu dalšího zvětšení spotřeby. Řada 74L má odpory větší. Má proto menší spotřebu, ale je pomalejší.

Podstatným pokrokem byla technologie Schottky (viz dále), která umožnila dosáhnout větší rychlosti, aniž by se musela úměrně zvýšit spotřeba (74S), nebo menší spotřeby, aniž by se musela úměrně zhoršit rychlost (74LS).

Řady "Advanced" a "Fast" přinesly další podstatné zlepšení vlastností.

10.2.5 Srovnání řad TTL

Řada	Zpoždění hradla [ns]	Příkon hradla [mW]	Součin zpoždění*příkon	Vstupní proud [mA]	Max. proud výstupu [mA]
74ALS	4	1	4	-0,1	8
74F	2	4	8	-0,6	20
74AS	1,5	10	15	-0,6	48
74LS	9,5	2	19	-0,36	8
74L	33	1	33	-0,18	3,6
74S	3	19	57	-2,0	20
74	10	10	100	-1,6	16
74H	6	22,5	135	-2,0	20

Tabulka 11: Srovnání některých parametrů řad TTL

Záporné znaménko u vstupního proudu naznačuje, že tento proud vytéká ze vstupu ven.

Zpoždění a příkon hradla mají být co nejmenší. Jelikož zmenšování příkonu obvykle znamená růst zpoždění, je součin zpoždění a příkonu dobrým ukazatelem toho, jak se řada podařila.

Vstupní proud v tabulce je proud, který vytéká ze vstupu ve stavu L. Max. proud výstupu je takový proud, který ještě výstup dokáže absorbovat v úrovni L, aniž by se zhoršila kvalita log. úrovně.

10.2.6 Vzájemné kombinace řad TTL

Všechny řady TTL mají vstupní a výstupní úrovně zaručované tak, že je lze mezi sebou libovolně kombinovat.

Některé obvody TTL mají zaručené vyšší výstupní napětí při úrovni H, aby se usnadnila jejich spolupráce s obvody MOS a CMOS. To ale nemá vliv na kompatibilitu s ostatními obvody TTL.

Při kombinování obvodů z různých řad TTL, případně obvodů TTL s obvody z jiných řad je nutno dbát na to, aby vstupním proudem připojených vstupů nebyly přetíženy výstupy. Kolik vstupů jedné řady TTL je možno připojit na výstup obvodu jiné řady vypočteme vydělením maximálního proudu výstupu vstupním proudem připojených obvodů.

Např. na výstup standardního obvodu řady 74, který má povolený maximální proud 16 mA, můžeme připojit až 40 vstupů řady 74LS se vstupním proudem 0,4 mA. Na výstup obvodu řady 74L, který má povolený maximální proud 3,6 mA, můžeme připojit jen jeden vstup řady 74S se vstupním proudem 2 mA.

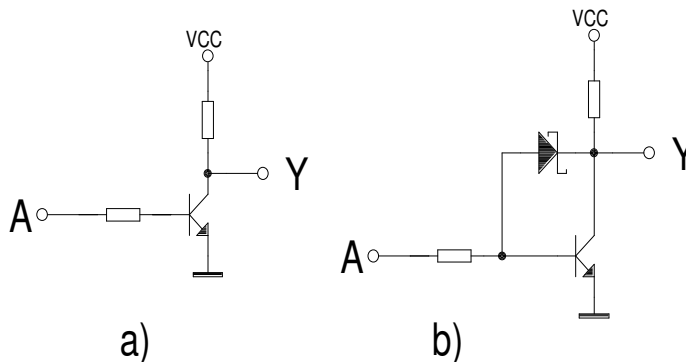
10.2.7 Technologie Schottky

Zpoždění logických obvodů je způsobeno jednak parazitními kapacitami, které se při činnosti obvodu stále musí nabíjet a vybíjet, jednak nedokonalostí tranzistorů.

V obvodech TTL se u tranzistorů střídají stavy sepnuto - rozepnuto. Přechody mezi těmito stavy opět nějakou dobu trvají. Má-li být tranzistor sepnutý, musí do báze dostat alespoň takový proud, který se rovná proudu kolektoru lomeno zesilovací činitel tranzistoru:

$$I_B \geq \frac{I_K}{\beta}$$

Aby byl tranzistor dobře sepnutý za všech okolností, musí být proud do báze ještě podstatně větší. Tím dojde k přesycení tranzistoru nosiči náboje. Má-li tranzistor opět rozepnout, musí tyto nosiče náboje ze struktury tranzistoru opět zmizet. Čím více byl tranzistor přesycený, tím déle trvá odstranění nosičů náboje a tím déle trvá i rozepnutí tranzistoru.



Obrázek 87: Jednoduchý invertor s tranzistorem; a) v klasickém zapojení, b) se Schottkyho diodou

neuplatňuje se. Přivedeme-li na vstup invertoru úroveň H, tranzistor spíná, napětí na jeho kolektoru klesá. Když napětí na kolektoru klesne pod napětí báze (tj. asi 0,7 V), dioda začíná vést a odvádí část bázového proudu přes tranzistor do země. Obvod se ustálí v takovém stavu, ve kterém je tranzistor sice dobře sepnutý, ale přitom do báze teče jen takový proud, který je nezbytně nutný. Odstranění nosičů náboje a rozepnutí tranzistoru proto trvá podstatně kratší dobu.

Když zapojíme jednoduchý invertor s tranzistorem (Obrázek 87) podle obr. a), bude mít obvod uvedené nevýhody. Přidejme podle obr. b) mezi bázi a kolektor tranzistoru speciální tzv. Schottkyho diodu s malým úbytkem napětí v propustném směru. Je-li na vstupu invertoru úroveň L, tranzistor je rozepnutý, dioda je v nepropustném směru a

10.3 Technologie MOS

10.3.1 Princip

Technologie MOS využívá tranzistory jednoho typu vodivosti, narozdíl od CMOS, která využívá komplementární dvojice tranzistorů obou typů vodivosti. V současné době je užívána především technologie nMOS s kanálem typu N. Technologií nMOS jsou vyráběny především obvody velmi vysoké integrace, např. mikroprocesory a paměti.

10.3.2 Vlastnosti ve srovnání s technologií TTL

- méně výrobních kroků
- větší hustota integrace
- menší příkon
- velmi vysoký statický vstupní odpor
- citlivost na výboje statické elektřiny

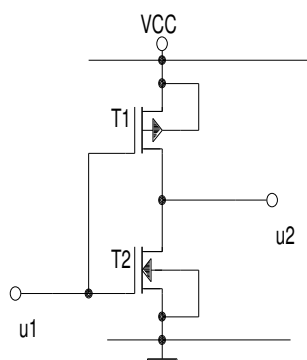
10.3.3 Kompatibilita

Moderní obvody nMOS jsou TTL kompatibilní: Mají odpovídající hodnoty vstupních a výstupních logických úrovní, napájecí napětí je 5V, zatížitelnost výstupů je dostatečná pro připojení obvodů TTL.

Obvody MOS jsou stále více nahrazovány obvody CMOS, které mají především menší spotřebu.

10.4 Technologie CMOS

typu



Je-li Obrázek 88: Invertor CMOS
výstupu je úroveň H.

Technologie CMOS využívá komplementární dvojice unipolárních tranzistorů, z nichž vždy jeden je sepnutý, druhý je rozeprtý. Tím je dána velmi malá spotřeba ve statickém režimu.

Nejjednodušší invertor CMOS se skládá pouze ze dvou tranzistorů. Tranzistor s vodivostí typu N (T2) spíná, když je jeho báze¹ kladnější než emitor². Tranzistor s vodivostí P (T1) spíná, když je jeho báze zápornější než emitor. Je-li na vstupu úroveň H, tranzistor T1 rozeprne, T2 sepne a na výstupu je úroveň L. na vstupu úroveň L, T2 rozeprne, T1 sepne a na

¹ Pro jednoduchost zde pro řídicí elektrodu tranzistoru MOS používáme stejný název jako u tranzistorů bipolárních. Správněji by se řídicí elektroda tranzistoru MOS měla nazývat hradlo. Tento název by se ale v číslicové technice mohl plést s logickým členem.

² Emitor se u tranzistorů MOS často nazývá „source“.

10.4.1 Vlastnosti obvodů CMOS

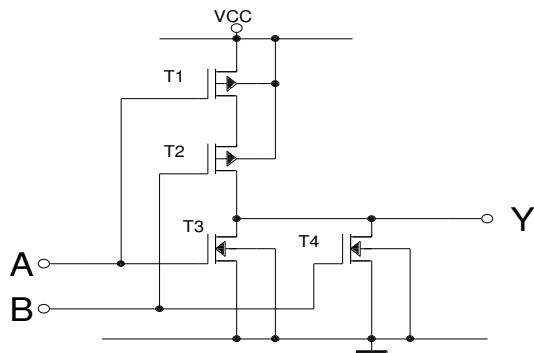
- velmi malá spotřeba
- velká šumová imunita
- velký rozkmit výstupního signálu (rovný prakticky velikosti napájecího napětí)
- kompatibilita s TTL u řady HCT
- velký logický zisk (50)
- závislost spotřeby na kmitočtu
- menší hustota integrace než u MOS
- velmi vysoký statický vstupní odpor
- citlivost na výboje statické elektřiny

V okamžiku změny stavu jsou na okamžik sepnuty oba tranzistory z komplementární dvojice. V tomto okamžiku tedy obvod odebírá proud. Čím častější změny stavů, tím větší odběr.

Proto je nutné nepoužité vstupy obvodů CMOS připojovat na napájecí napětí nebo na zem. Jinak se díky velké impedanci může na vstupu ustálit i napětí, které leží v zakázaném pásmu a při kterém jsou sepnuty oba tranzistory. To způsobí velký odběr proudu nebo dokonce poškození obvodu.

10.4.2 Vývoj řad CMOS

První řada 4000 používala pro logické členy nejjednodušší možné zapojení. Obrázek 89 ukazuje příklad dvojjstupového hradla NOR.



Obrázek 89: Dvojjstupové hradlo NOR CMOS
výstupním odporem nabíjejí a vybíjejí rychleji.

Toto zapojení s posílenými výstupy se používá i u všech následujících řad.

Vyvinutím řady HIGH-SPEED-CMOS (vysokorychlostní CMOS, 74HC) se podařilo dosáhnout stejných rychlostí a výstupních proudů jako u řady LS TTL.

Plné kompatibility s obvodem TTL (logické úrovně, proudy, rozložení vývodů) bylo dosaženo u obvodů řady 74HCT. Další vývoj vedl k řadám ADVANCED-CMOS (vylepšené CMOS) 74AC a 74ACT, které dosahují rychlosti řady 74S.

Je-li výstup v úrovni H, výstupní odpor je dvojnásobný, protože tranzistory T1 a T2 jsou zapojeny v sérii. U trojjstupového hradla by byl výstupní odpor trojnásobný, atd. Tím se velmi zhoršují statické i dynamické parametry obvodů.

Proto byla vyvinuta řada 4000B (B = Buffered = posílený), která má za výstup každého hradla zařazen jeden nebo dva invertory. Tyto invertory zajišťují malý výstupní odpor a zlepšují i rychlost obvodů, protože parazitní kapacity se malým

Veličina	Označení	4000B	74HC	74HCT
Vstupní napětí [V]	U_{ILmax}	1,5	1,0	0,8
	U_{IHmin}	3,5	3,5	2,0
Výstupní napětí [V]	U_{OLmax}	0,05	0,1	0,1
	U_{OHmin}	4,95	4,9	4,9
Výstupní proud [mA]	I_{OLmin}	0,44	5,0	5,0
	I_{OHmin}	0,44	5,0	5,0

Tabulka 12: Vybrané vlastnosti některých řad CMOS

Cvičení

a) Na základě analogie s invertorem (Obrázek 88) popište funkci dvojevstupového hradla NOR CMOS (Obrázek 89).

b) Nakreslete dvojevstupové hradlo NAND CMOS a vysvětlete jeho funkci.

10.5 Technologie ECL

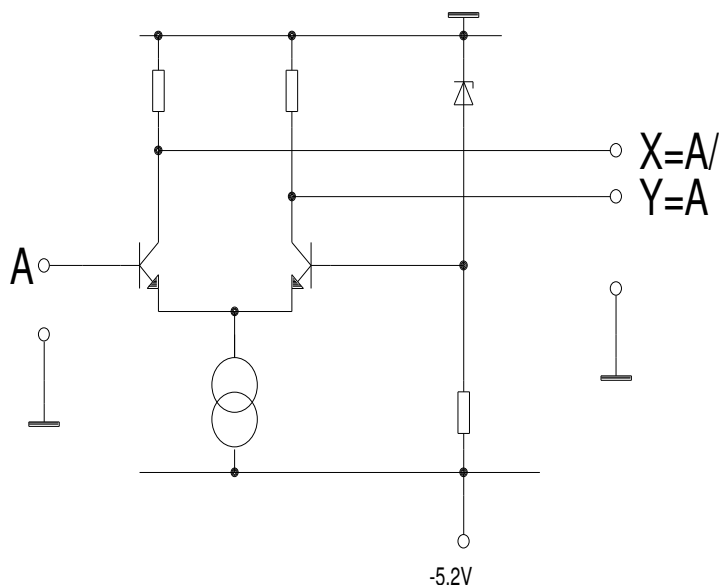
10.5.1 Princip

ECL

ECL

jsou
jako

své



Zkratka znamená Emitter Coupled Logic = emitorově vázaná logika. Technologie využívá dvojici bipolárních NPN tranzistorů, které zapojeny podobně diferenciální zesilovač: Jsou spolu vázány pomocí emitorů. Tranzistory se při činnosti nikdy nedostávají do saturace, stále pracují v lineárním režimu. Tím je umožněna velká rychlost obvodů.

Obrázek 90: Zjednodušené zapojení invertoru - budiče ECL

dalo panu Schottkymu, než vymyslel svůj geniální způsob nepřesycování tranzistorů nosiči náboje!

10.5.2 Vlastnosti

- nejmenší zpoždění, asi 0,5 až 2 ns na hradlo
- velký logický zisk
- jen nepatrné zatěžování zdrojů signálu
- spotřeba nezávislá na pracovním kmitočtu
- velká spotřeba
- malý rozkmit výstupního napětí
- žádná přímá kompatibilita s obvody TTL

Obvody ECL mají záporné napájecí napětí, proto i jejich logické úrovně jsou záporné. Napájecí napětí je $-5,2V$, napětí úrovně H je $-0,8V$, úrovně L je $-1,8V$.

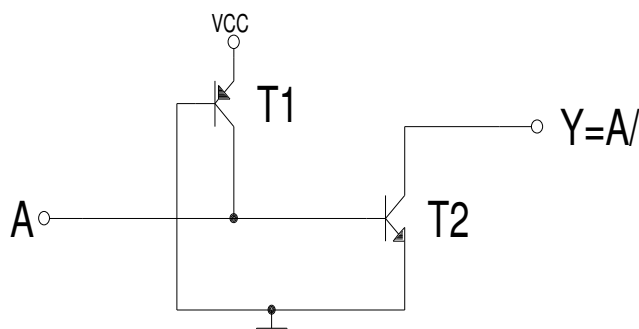
10.5.3 Použití

Obvody ECL se používají pro velmi rychlé aplikace, např. jako předděličky pro číslicovou stupnici rozhlasového přijímače. Pro vazbu s obvody TTL se používají speciální převodníky.

Nebo se to nějak ubastlí tak, že zvláštní zdroj $-5,2V$ není nutný a obvod ECL se napájí ze zdroje $+5V$. Viz např. některá zapojení číslicových stupnic v Amatérském rádiu.

10.6 Technologie I²L

10.6.1 Princip



Obrázek 91: Zapojení invertoru I²L

úroveň H, kolektorový proud T1 teče do báze T2. T2 sepne a na výstupu Y je úroveň L. Je-li na vstupu A úroveň L, kolektorový proud T1 teče přes vstup A do země. T2 rozezne a na výstupu Y je úroveň H.

10.6.2 Vlastnosti

- velmi dobrá poměr příkon / rychlost
- velká hustota integrace
- malé provozní napětí
- malý počet výrobních kroků
- velký logický zisk

Obvody I²L nejsou napájeny zdrojem napětí jako ostatní logické řady, ale jsou napájeny zdrojem proudu. U některých IO se do série mezi obvod a napájecí zdroj zařazuje rezistor, jiné mají omezovací člen v sérii s napájením vestavěný.

Rychlost obvodů I²L je přímo úměrná napájecímu proudu. Velikostí napájecího proudu (tj. např. velikostí sériového odporu zařazeného do napájecího přívodu) lze rychlost i spotřebu měnit v širokých mezích.

Logické úrovně I²L jsou velmi zvláštní. Vyplývá to i z uvedeného způsobu napájení i z popisu činnosti invertoru (Obrázek 91). Obvody však mívají vestavěné převodníky úrovní tak, aby na vstupech i výstupech byly TTL kompatibilní.

10.6.3 Použití

Obvody I²L netvoří žádnou ucelenou řadu. Vyrábějí se z nich speciální zákaznické obvody, např. děliče kmitočtu, hodiny, časovače, obvody pro spotřební elektroniku.

Obvody I²L mohou také tvořit podsestavy uvnitř IO, vyráběných jinými technologiemi.

I²L (IIL = Integrated Injection Logic = integrovaná injekční logika) je technologie, která využívá pouze aktivních součástí, a to bipolárních tranzistorů. Rezistory jsou nahrazeny zdroji proudu s tranzistory.

Jednoduchý invertor I²L (Obrázek 91) pracuje takto: Tranzistor T1 je bez ohledu na stav obvodu stále ve vodivém stavu. Pokud je na vstupu A

11. Literatura

- [1] Bernard, J.M.-Hugon, J.-Le Corvec, R.: Od logických obvodů k mikroprocesorům. 2. vyd. Praha, SNTL 1988, 688 s.
- [2] Bičík, I.: Katalog elektronických součástek. 1. vyd. Praha, TESLA ELTOS 1986, 658 s.
- [3] Häberle, G. a kol.: Fachkunde Informationstechnik und Industrieelektronik. 5. vyd. Haan-Gruiten, VERLAG EUROPA LEHRMITTEL 1994, 672 s.
- [4] Janů, K.: Paměti a řadiče. 2. vyd. Praha, ČV SE ČSVTS 1987, 283 s.
- [5] Lindner, H.: Taschenbuch der Elektrotechnik und Elektronik. 5. vyd. Leipzig, Fachbuchverlag 1993, 688 s.
- [6] Pütz, J. a kol.: Úvod do číslicové techniky. 1. vyd. Praha, SNTL 1983, 480 s.
- [7] Rost, A.: Grundlagen der Elektronik. 3. vyd. Berlin, Akademie Verlag 1992, 324 s.
- [8] Sobotka, Z.: Přehled číslicových systémů. 1. vyd. Praha, SNTL 1981, 504 s.
- [9] Welter, M.: TTL 7400 - Integrierte Schaltungen. 1. vyd. München, ECA - Electronic Acoustics GmbH 1993, 1121 s.

12. Rejstřík

2		E	
2764	42	EEPROM	42
		emitor	17, 24
7		enable	36, 37
7402	30	EPROM	41, 42
7404	26, 27	EXCLUSIVE-OR	30, 31, 38, 40
7405	26		
7408	40	F	
74123	54, 55, 59	fáze	58
7413	62		
74138	37	G	
74148	34, 83	gate	29
74253	36		
7430	30	H	
74373	49, 50, 69	harmonická vyšší	59
74374	50, 69	hodnota	
7447	32, 33	typická	18
7472	53, 67	hradlo	15, 29
7483	40, 41	EXCLUSIVE-OR	30, 31, 38, 40
7485	39	NAND	15, 19, 20, 23, 24, 30, 46, 62
7486	30, 40	hrana vzestupná	31, 50, 54
74LS624	59	hystereze	60
8		I	
8286	29	imunita šumová	17, 88, 92
		invertor	26, 31, 58, 90, 91
A			
ADP	48, 76, 77, 78, 79, 80, 81, 82, 83, 84	K	
ASCII	32	kaskádní	39, 41
		kód	
B		1 z 8	34
baterie	22	ASCII	32
BCD	32, 33, 38	binární	34, 83
budič	28	komparátor	38, 39, 61, 80, 83
obousměrný	28, 29, 72, 89	kontakt	47
buffer	28	krystal	58
C		M	
carry	39, 40, 67, 79	master	51, 53, 66, 68
CE	42, 67, 73, 74, 75	mikroprocesor	26
člen		MKO	53, 54, 59
diodový	22	multiplexer	35, 36
logický	21	multivibrátor	55
s kontakty	21		
CMOS	18, 23, 73, 74, 75, 88, 90, 91, 92, 93	N	
		NAND	19, 20, 23, 24, 30, 46, 62
D		napětí	
dekodér	37, 81	otvírací	57, 61
demultiplexer	35, 36, 37	referenční	61
dioda	7, 17, 22, 24, 90	nesymetrie	57
DTL	23, 88		
DVM	48		

O	
obvod	
klopný	43
astabilní	45, 55, 59
bistabilní	20, 44, 45, 46, 48, 49, 51, 53
D 48	
JK	51
monostabilní	53, 54, 59
RS	20, 44, 45
Schmittův	60
kombinační	19, 20, 43
s otevřeným kolektorem	25
sekvenční	20, 42, 43, 60
odolnost proti rušení	17, 88, 92
OE	42, 49, 73, 75
oscilátor	63
krytalový	58
řízený napětím	59
Output Enable	49

P	
paměť	20, 26, 41, 43, 72, 73, 74
RAM	20, 26, 28, 42, 43, 71, 72, 74
ROM	26, 41, 74
pásmo zakázané	16
perioda	58
přenos	39, 67
přepínač	35, 36, 37, 38, 47, 79
digitální	35, 36
elektronický	35, 36
převodník	32, 34, 37, 70, 76, 80, 81, 82, 83, 84, 85
priorita	34
programátor	42
PROM	41, 42
proud	
svodový	25
vstupní	25
typický	25
pull-up resistor	25

R	
RAM	20, 26, 28, 42, 43, 71, 72, 74
reset	45, 53, 68
ROM	26, 41, 74
rušení	17, 88, 92

S	
sčítačka	39
sedmissegmentový	32
segment	32
segmentovka	33
set	45, 53
slave	51, 53, 66
soustava	
desítková	8, 32
dvojková	8
římská	8
šestnáctková	8
základ	8

spojení	
kaskádní	39
stav	
neurčitý	17, 48
stabilní	44, 45
třetí	26, 28, 36, 49
střadač	48

T	
technologie	
CMOS	18, 23, 73, 74, 75, 88, 90, 91, 92, 93
TTL	16, 17, 18, 23, 24, 25, 66, 75, 88, 89, 90, 91, 92, 93, 94, 95
teorie	
kvantová	6
trimr	59
TTL	16, 17, 18, 23, 24, 25, 66, 75, 88, 89, 90, 91, 92, 93, 94, 95

U	
ultrafialový	41, 42
úroveň	
komparační	63
logická	16
rozhodovací	17, 24, 25, 60
vstupní	16
výstupní	17
UV	41, 42

V	
vazba	
emitorová	60
zpětná	19, 20, 43, 58
vazba zpětná	19, 20, 43, 58
VCO	59
veličina	
kvantování	7
Voltage Controlled Oscillator	59
vstup	
adresový	36, 42, 73, 74, 75
datový	36, 37, 39, 48, 51, 71
hodinový	48
vyšší harmonická	59
výstup	
datový	48, 71
s otevřeným kolektorem	25
třístavový	26, 28, 29, 36, 49

Z	
zápis	41, 42, 70, 72, 73, 74
zdvojovač	31
zesilovač	55, 60, 85, 93
zisk logický	18, 92, 93, 95
zobrazení	
analogové	6
číslicové	6
digitální	6
spojité	6
zpoždění	39, 65, 66, 67, 70, 71, 89, 93